

UNIVERSIDAD NACIONAL DE INGENIERIA
FACULTAD DE INGENIERIA ELECTRICA Y ELECTRONICA



DISEÑO DE UN SISTEMA DE CONTROL AUTOMATICO
PARA EL APARATO DE PROPULSION DE FRAGATAS.

TESIS

PARA OPTAR EL TITULO PROFESIONAL DE:
INGENIERO ELECTRONICO

HECTOR HUGO MIRANDA TEJADA.

Promoción 1988 - 1

LIMA - PERU - 1994

SUMARIO

Las Centrales de Propulsión de las Fragatas de la Armada Peruana son gobernadas por computadores para su funcionamiento automático, en donde una parte de éstos tales como los bancos de memoria de tecnología de núcleos magnéticos, están inoperativos y obsoletos, dejando a parte de dicha flota seudoinmovilizada, teniéndose la urgencia de darle solución a corto plazo.

Se hizo un análisis evaluatorio del Hardware de la problemática de dichos computadores, aplicando Ingeniería de Reversa a la información que sólo era confidencial al fabricante, para diseñar el reemplazo de esta obsolescencia, que tiene tecnología moderna como lo son las memorias no volátiles de estado sólido, tal que sean adaptables al sistema, aprovechando al máximo esta innovación.

Ahora se tiene al sistema con mucha menor frecuencia de fallas, e incluso con una pequeña mejora en su respuesta de acción.

2

“ DISEÑO DE UN SISTEMA DE CONTROL AUTOMÁTICO
PARA EL APARATO DE PROPULSION DE FRAGATAS ”

EXTRACTO

TITULO: DISEÑO DE UN SISTEMA DE CONTROL AUTOMATICO
PARA EL APARATO DE PROPULSION DE FRAGATAS.

AUTOR : HECTOR HUGO MIRANDA TEJADA.

TESIS PARA OPTAR EL TITULO PROFESIONAL DE
INGENIERO ELECTRONICO.

FIEE - UNI

Lima, Diciembre de 1993.

La generación, desarrollo y ejecución de este proyecto de Actualización Tecnológica por Obsolescencia, se ha estructurado del modo más conveniente, dividiéndolo en cuatro capítulos bien demarcados que siguen una secuencia lógica y que permiten al investigador comprender completamente el tema desarrollado.

En el Capítulo I, se hace una revisión de las filosofías de los sistemas de propulsión naval, para luego describir nuestro sistema por diagramas de control.

Luego en el Capítulo II, se hace un análisis evaluatorio del Hardware de los computadores implicados en la problemática de la central de propulsión de dichas naves de combate.

En el Capítulo III, se da la teoría indispensable tanto de la tecnología involucrada en la obsolescencia,

y como la de su reemplazo, con la finalidad de que ruere asequible a cualquier estudiante de electrónica y que ésta sirva como consulta de los Capítulos II y IV.

Y en el Capítulo IV, se desarrolla y se pone en marcha nuestro diseño electrónico, remarcando y justificando al detalle antes los pasos realizados.

Al final se agrega un material de referencia que incluye un apéndice que detalla informaciones que son necesarias para el entendimiento de la presente tesis.

INDICE

	<u>Página</u>
INTRODUCCION	1
CAPITULO I	
REVISION DE SISTEMAS DE CONTROL DE PROPULSION NAVAL	
1.1 Filosofías de los Modos de Comando para Propulsión Naval.(¹)	3
1.1.1 Comando Directo o Local.. . . .	3
1.1.2 Telecomando.	4
1.1.3 Comando Automático.	4
1.2 Descripción de nuestro Sistema.(¹)	4
1.2.1 Generalidades.	7
1.2.2 Filosofía del Control de la Propulsión	10
1.2.3 Limitaciones Automáticas.	17
1.2.4 Componentes.	21
1.3 Operación.(¹)	27
1.3.1 Modos de Operación.	27
1.3.2 Puestos de Control.	29
1.3.3 Condiciones de Operación.	30
CAPITULO II	
ANALISIS DE LOS COMPUTADORES DE LA CENTRAL DE PROPULSION Y SU PROBLEMATICA	
2.1 Interconexión de los Computadores por Módulos.	34

2.1.1 Sistema de Control Automático del Aparato de Propulsión. ⁽¹⁾	34
2.1.2 Sistema de Control de Medidas y Alarmas. ⁽¹⁾	40
2.2 Descripción de los Módulos.	40
2.2.1 Módulo AN 610/00. ⁽¹⁾	40
2.2.2 Módulo AN 610/01. ⁽¹⁾	41
2.2.3 Módulo AN 611 Y AN 610. ⁽¹⁾	42
2.2.4 Módulo AN 412/01. ⁽¹⁾	45
2.2.5 Micro Computador ULP32. ⁽¹⁾	49
2.2.6 Tarjetas Especiales de Interface. ⁽¹⁾	49
2.3 Funcionamiento del Minicomputador ULP12. ⁽²⁾ . .	54
2.3.1 Organización del Hardware.	55
2.3.2 Organización del CPU.	57
2.3.3 Organización EU.	59
2.4 Análisis del Hardware de las Tarjetas Implicadas en la Problemática. .	62
2.4.1 Organización del Bus EU.	63
2.4.2 Diagrama de Bloques de las Tarjetas MEM.	67
2.4.3 Descripción Funcional de la Tarjeta INT.	78

CAPITULO III

FUNDAMENTOS TEORICOS BASICOS DE LAS TECNOLOGIAS A TRATAR

3.1 Revisiones Preliminares Básicas.	90
3.1.1 Circuitos Lineales de Primer Orden. ⁽³⁾ . .	90
3.1.2 Líneas de Transmisión. ⁽⁴⁾	95
3.1.3 Conceptos Magnéticos. ⁽⁴⁾	97
3.1.4 Diodos de Conmutación. ⁽⁴⁾	103

3.1.5 Transistores de Juntura o Bipolares. ⁽⁵⁾	105
3.1.6 Dispositivos CMOS. ⁽⁵⁾	108
3.2 Dispositivos TTL(Transistor-Transistor Logic).	109
3.2.1 Características Típicas. ⁽⁶⁾	109
3.2.2 Características Principales. ⁽⁶⁾	110
3.2.3 Tipos de Dispositivos TTL. ⁽¹³⁾	114
3.3 Dispositivos de Memoria.	120
3.3.1 Memorias que no usan Semiconductores. ⁽⁷⁾	121
3.3.2 Memorias a Semiconductores. ⁽⁹⁾	124
3.4 Memorias de Núcleo Magnético(Magnetic Core Memory).	135
3.4.1 Almacenamiento en un Simple Nucleo de Conmutación. ⁽⁸⁾	135
3.4.2 Organización de los Arreglos de Memoria ⁽⁸⁾ .	142
3.4.3 Consideraciones de los Circuitos de Entrada y Salida. ⁽⁸⁾	147
3.5 Memorias CMOS SRAM.	152
3.5.1 Revisión de las Tecnologías Intel. ⁽⁹⁾	152
3.5.2 Construcción del Dispositivo. ⁽⁹⁾	154
3.6 Criterios de Diseño para Tarjetas de Memorias No Volátiles.	158
3.6.1 Diseño de un Sistema de Alta Velocidad. ⁽⁹⁾	158
3.6.2 Diseño de un Microsistema para Ambientes de Bajo Consumo. ⁽⁹⁾	164

CAPITULO IV

DESARROLLO DEL DISEÑO CIRCUITAL A IMPLEMENTAR

4.1 Elección del Tipo de Tecnología Disponible.	171
---	-----

4.1.1	Tipo de Tecnología de Memoria.(9,10,11,12)	172
4.1.2	Bloque Memoria.	177
4.1.3	Diagrama de Bloques del Diseño Circuital.	178
4.2	Diseño Circuital del Bloque de Decodificación de Direcciones.	178
4.2.1	Bloque Selector de Board.	178
4.2.2	Bloque Retención de Direcciones.	184
4.3	Diseño Circuital de los Bloques de Temporización	184
4.3.1	Bloque Temporización del Ciclo de Lectura.	185
4.3.2	Bloque Temporización del Ciclo de Escritura.	186
4.4	Diseño Circuital de los Bloques de Control	188
4.4.1	Bloque Control de Memoria.	188
4.4.2	Bloque Control de Encendido.	190
4.5	Diseño Circuital de los Bloques de Adquisición de Datos.	193
4.5.1	Bloque Salida de Datos.	193
4.5.2	Bloque Entrada de Datos.	193
4.6	Diseño Circuital de los Bloques de Alimentación.	195
4.6.1	Bloque Conmutación de Alimentación.	195
4.6.2	Bloque Battery Back Up	198
4.7	Diseño del Circuito Impreso.(14)	201
4.8	Evaluación Económica.	206
4.9	Optimización de la Temporización del Ciclo de Memoria.	209

4.10 Eliminación del Semiciclo de Reescritura.	211
CONCLUSIONES	216
BIBLIOGRAFIA	221
APENDICE A: Tablas de Limitaciones para el SCAP.	223
APENDICE B: Diagramas de tiempo medidos con el Analizador Lógico HP1653B.	227
APENDICE C: CMOS sRAM Data Sheet.	235
APENDICE D: TTL Data Sheets.	240
APENDICE E: BATTERY BACKUP Data Sheet.	252
APENDICE F: Voltajes medidos con el Analizador Lógico HP1653B.	254

INTRODUCCION

En la era inicial de la navegación marítima sus aparatos de propulsión respondían a acciones directas del operador humano. Con el avance de la tecnología se llegó a la posibilidad de optimizar tales procesos de maniobra, donde la automatización planteó un nuevo panorama dentro de la evolución de ésta; la electrónica con soporte de computadores harían el control automático del proceso secuencial de maniobras y auxiliares de dichos aparatos de propulsión, y sólo con la supervisión e intervención humana para situaciones eventuales.

La Marina de Guerra del Perú adquiere entre otros, Fragatas Misileras de tecnología de punta a fines de la década de los setenta, donde sus aparatos de propulsión y alarmas son controlados automáticamente por cuatro minicomputadores de nivel industrial los cuales se encuentran en una central de propulsión. En la actualidad parte de estos computadores se encuentran obsoletos, dejando casi inmovilizada a parte de la flota en mención. La firma fabricante cobra \$30.000/computador por la solución a tal problemática, la cual incluye los

respectivos repuestos actualizados.

La presente tesis tiene como propósito dar solución inmediata a la problemática planteada de dicha flota, donde con recursos propios se debe resolver el reemplazo de tales módulos obsoletos implementando una tecnología más reciente y vigente en el mercado local. La materia del problema en cuestión recae en el área de la electrónica digital y de control, en donde nuestro diseño debe adaptarse al sistema de control automático existente, y además aprovechar en lo que fuera posible su tecnología actualizada para mejorar el rendimiento del sistema, a mucho menor costo. La poca información o literatura existente fueron las principales limitaciones que se tuvo que afrontar para el desarrollo del diseño, pero que fueron superándose con la perseverante experimentación y búsqueda de información.

Por lo anterior deseo expresar mi agradecimiento al Ing. Juan Tisza por su gentil colaboración para el desarrollo y culminación exitosa de esta tesis. Igualmente al Capitán de Navío (AP) Ricardo Fernández Lino por el invaluable apoyo y confianza depositada para la ejecución del presente trabajo, y así mismo a otros que apoyaron desinteresadamente para este fin, como lo fue el técnico especialista Técnico Supervisor Primero (AP) Orlando Navarrete, entre otros.

EL AUTOR.

CAPITULO I

REVISION DE SISTEMAS DE CONTROL DE PROPULSION NAVAL

Empezaremos haciendo un bosquejo de las filosofías más conocidas acerca de los métodos de propulsión naval, para luego hacer una descripción de nuestro Sistema de Control Automático de la Propulsión y Auxiliares como punto de partida del proyecto.

1.1 Filosofías de los Modos de Comando para Propulsión Naval (1)

Primeramente un buque (mercante, pesquero, de guerra, etc.) puede ser movido o propulsado por un (o dos) eje (s) de propulsión a máquina de motor (es) Diesel (MD) o turbina (s) a gas (TAG). De estos dependerá la velocidad de la nave (en nudos) y el ángulo de inclinación de las palas de la hélice o paso de la hélice (en grados sexagesimales) aumentarán la velocidad de la nave.

1.1.1 Comando Directo o Local

El operador en la sala de máquinas de la nave interviene directamente sobre los actuadores de potencia (mecánicos, neumáticos, hidráulicos, eléctricos, etc.) de cada máquina según la

indicación de los instrumentos.

1.1.2 Telecomando

El operador ya sea desde el puente de comando (PL) o de la central de propulsión (CP) interviene en una especie de comando remoto a través de servomecanismos eléctricos o neumáticos a los actuadores de potencia de cada máquina, teniéndose como soporte los instrumentos y alarmas.

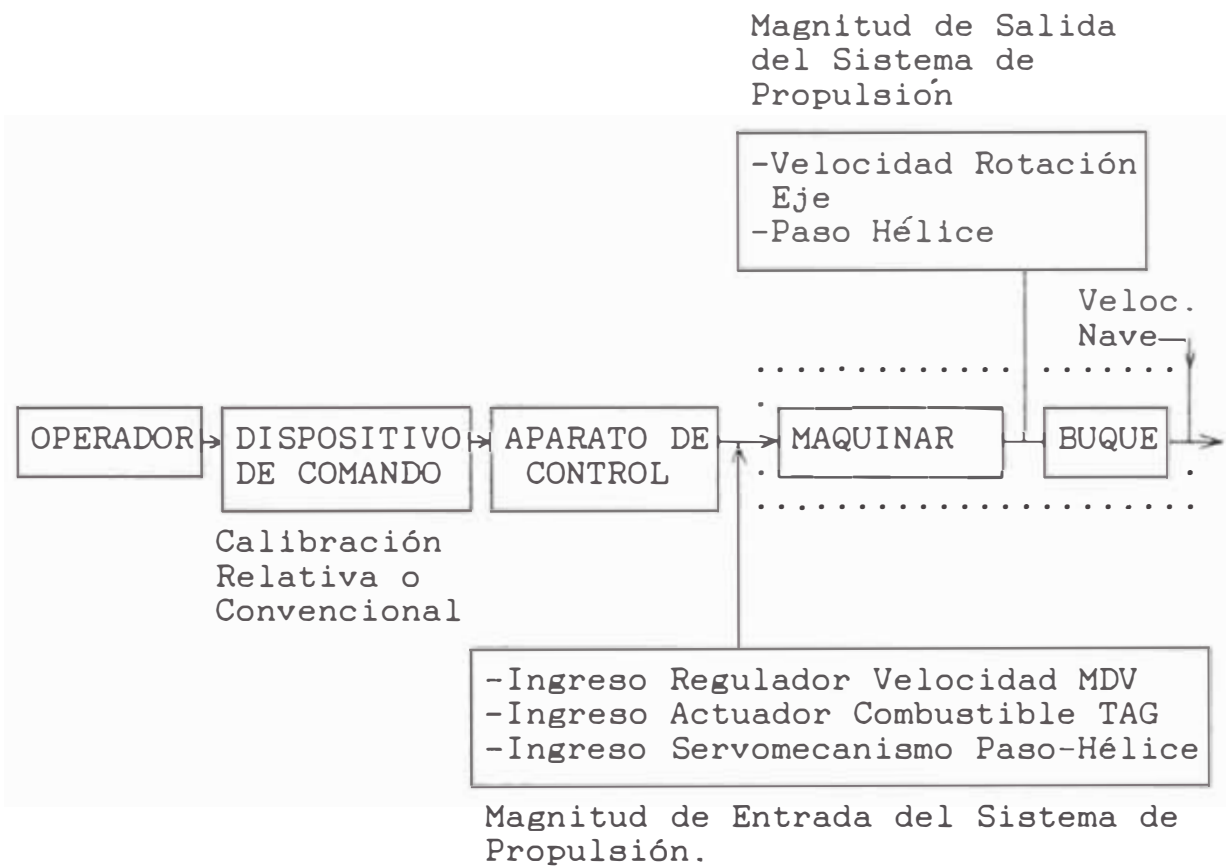
1.1.3 Comando Automático

El operador ya sea desde el PL o la CP, a través de un dispositivo de comando (que puede ser una leva) entrega sólo la información relativa a un ajuste final esperado (RPM, PASO, etc.), y un aparato automático (o computador) hace el trabajo requerido mediante una serie de secuencias de operaciones, indicadores de instrumentos, alarmas, etc. (Ver Fig.1.1.1). Se definirá un sistema de control adecuado (simulado por un calculador) que conecte el órgano de comando a disposición del operador (leva) a las magnitudes de dichas entradas, para obtener el control de las magnitudes de sus salidas.

1.2 Descripción de nuestro Sistema ⁽¹⁾

El Sistema de Control Automático de la Propulsión (SCAP) tipo CODOG (Combinación Diesel o Gas) para Fragatas Misileras (FM), es una solución electrónica de características avanzadas el cual nos permite en modo automático realizar las siguientes operaciones:

- a. La operación de la maquinaria de propulsión y sus auxiliares.
- b. Las secuencias de arranque y parada de las TAG y MD a propulsión.
- c. El cambio de propulsión MD a TAG y viceversa.



(Fig.1.1.1) Sistema de Propulsión Genérico para Comando Automático

El control de las revoluciones del eje y el ángulo de las palas de la hélice es efectuado en modo combinado desde el puente a través de una leva para cada eje. Un par de levas similares se encuentran en la central de propulsión (C.P.). Durante la operación del buque el SCAP mantiene una combinación óptima de velocidad del eje/ángulo de palas en todas las condiciones operativas; incluyendo maniobra, zarpe de emergencia, para anticolisión, así como mantener una elevada performance durante todas las condiciones transitorias. El sistema es totalmente computarizado, utiliza dos microcalculadores ULP-32 (SEPA) y un minicalculador ULP-12 (SEPA) por cada eje. Estas computadoras controlan la propulsión en un modo digital directo, asesorando al operador y seleccionando cursos de acción en caso de una emergencia, tan pronto como se presenta la anomalía. El sistema incluye además, un equipo computarizado de telemedida y alarmas (CED) para todo el sistema de propulsión y auxiliares, el cual es independiente del anterior. Las señales eléctricas de los transductores de la planta industrial son pre-elaboradas por seis unidades concentradoras de datos (CCD), montadas en la sala de máquinas, éstas transmiten sus datos a una minicalculadora ULP-12 a través de una línea de transmisión bifilar (con otro par de reserva). Con esto se reduce drásticamente la cantidad de cables entre las salas de máquinas y la C.P., así como el peso, espacio y

facilidad de instalación (Ver Fig.1.2.1). El sistema es altamente flexible y su expandibilidad ha permitido la introducción sin modificaciones sustanciales de funciones adicionales, tales como la presentación de datos en listados de impresora, periódicos o al momento de la alarma.

El sistema automático SEPA 7206 ha sido diseñado en base, a un estudio de simulación de un modelo matemático el cual ha permitido la optimización de las filosofías de control. La información suministrada por los fabricantes para el estudio de simulación fue aprovechada por una computadora híbrida, siendo posible el análisis y optimización de las soluciones. Los estudios complementarios del modelo matemático relacionadas a las diferentes acciones fueron realizados en computadoras digitales, las cuales se usan también para el test de las unidades aisladas. Se usaron para la evaluación final las medidas abordo y los resultados de las pruebas en la mar. (Ver Fig.1.2.2)

1.2.1 Generalidades

El Sistema de Comando y Control de la Propulsión ha sido realizado por el SEPA (Sociedad Electrónica para la Automatización) utilizando unidades modulares del tipo normalizado, contruidos por la misma SEPA sobre la base de la experiencia en el campo naval. En virtud de este tipo de modularidad, el sistema es susceptible,

CONTROL STATIONS AND SIGNAL FLOW SCHEMATICS

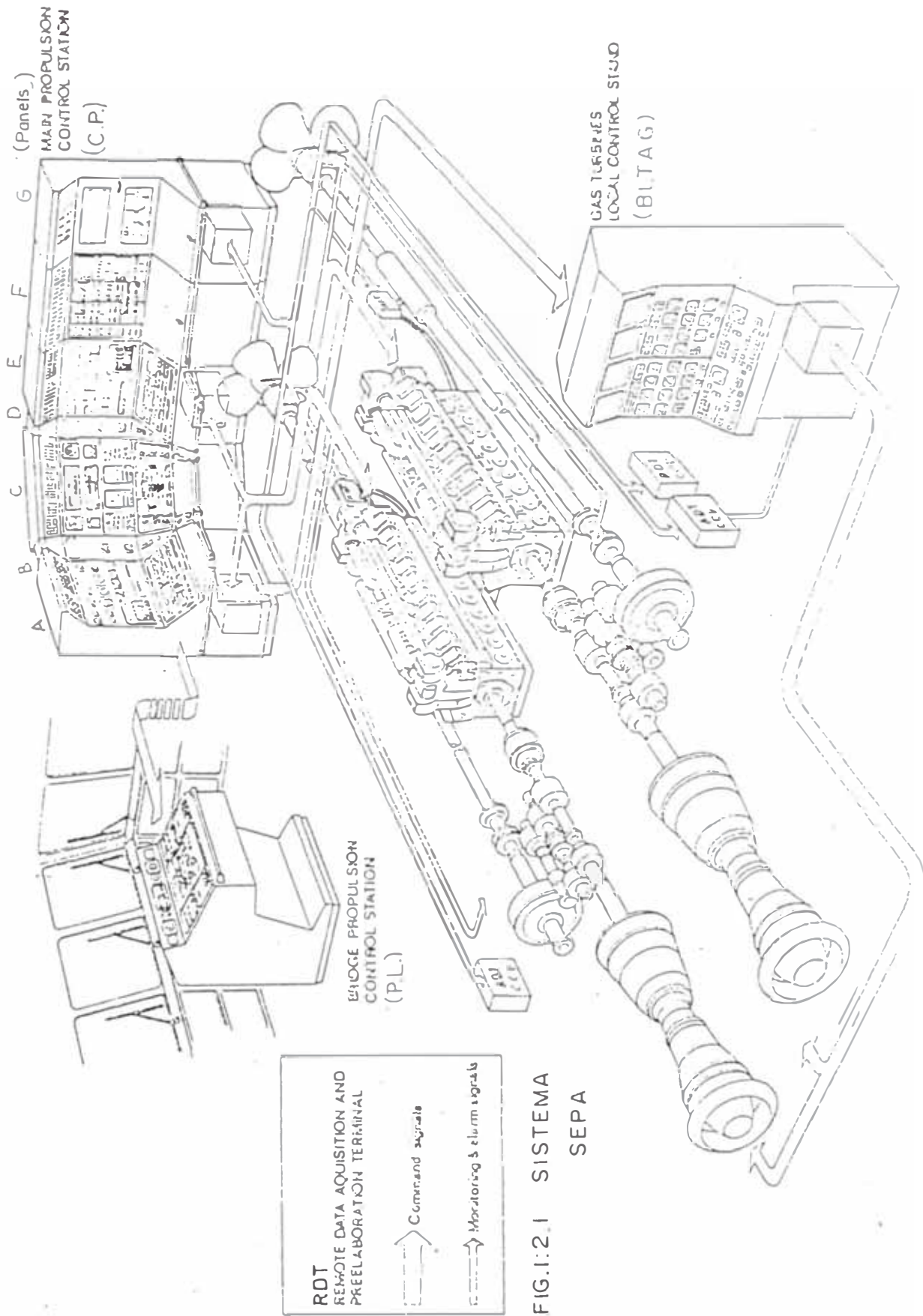
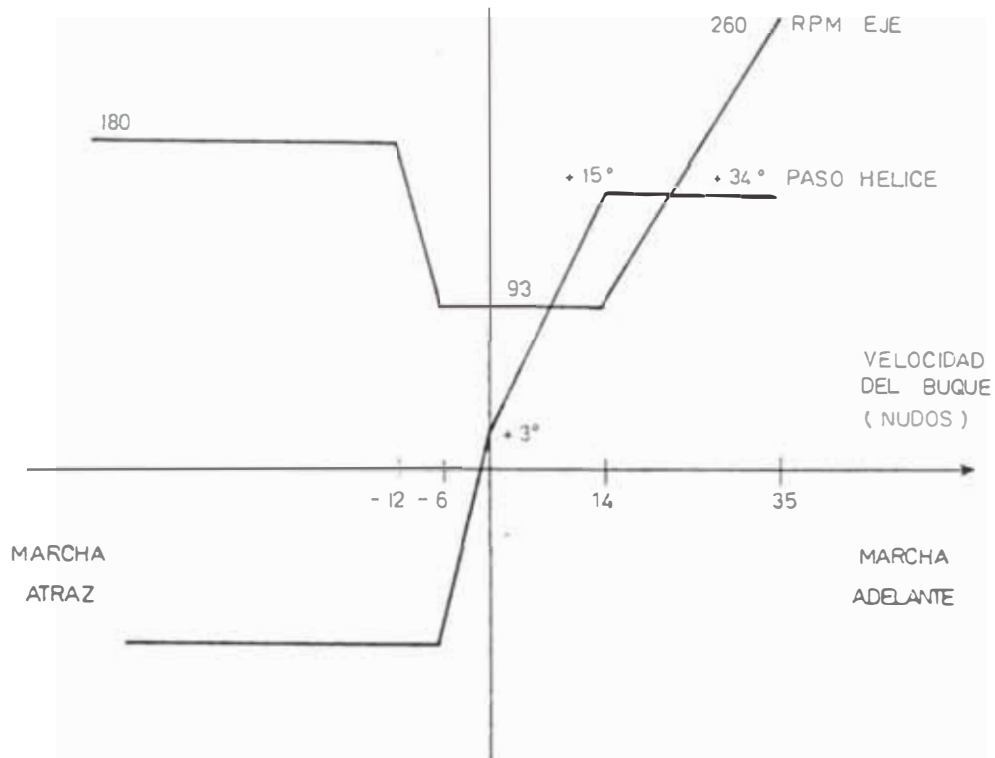


FIG.1.2.1 SISTEMA SEPA

sin requerir modificaciones, a ser idóneo a la automatización de otros equipos de a bordo e inclusive a la elaboración de datos por medio de calculadoras.



(Fig. 1.2.2) Modelo Matemático del Comando Combinado Automático
RPM Eje Propulsor/Angulo de Paso Hélice-
Velocidad del Buque

Este sistema está basado en un nivel primario que es el "Comando Combinado Automático" que es una automatización en la combinación de revoluciones de los ejes propulsores regulado por las máquinas (MP o TAG) y el ángulo de paso de hélice ya sea desde el PL o la CP.

El Sistema de Propulsión de las FM está compuesto por:

- 2 Turbinas a gas FIAT/GE LM 2500
- 2 Motores DIESEL GMT/FIAT A. 230 M

acoplables al sistema de reducción del buque por medio de un acoplamiento neumático de fricción (WHICHITA) en el caso de los MD y un acoplamiento autosincrónico (MAAG) en el caso de las TAG, según la configuración CODOG. La transmisión de potencia es a 2 ejes independientes con hélice de paso variable. (Ver Fig. 1.2.3)

1.2.2 Filosofía del Control de la Propulsión

Mediante las levas de comando del PL (1) o de la CP (2) se envía al sistema, a través de una lógica de cambio de comando (3) que habilita el comando a una de las dos levas, una señal de velocidad requerida (Ver Fig. 1.2.4). La señal de velocidad requerida entra al bloque lógico del comando combinado (5) en el cual se descompone en tres señales:

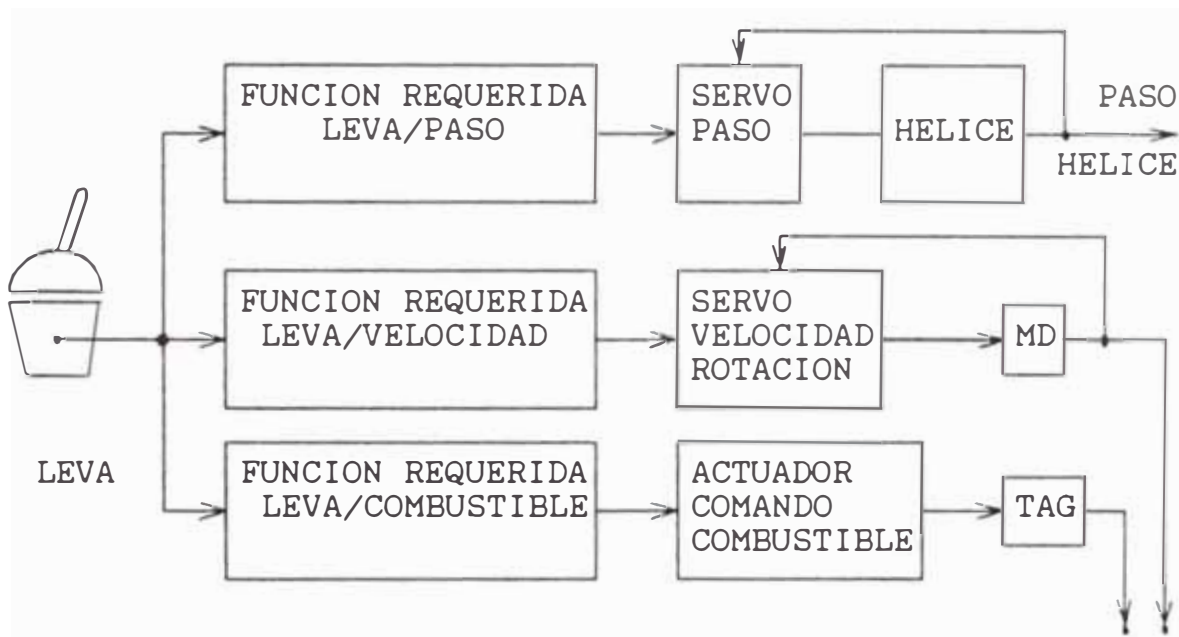
- Requerimiento de paso de la hélice.
- Requerimiento de combustible para la TAG.
- Requerimiento de velocidad MD (Ver fig.1.2.4)

Los datos de velocidad MD, % combustible TAG y paso hélice ingresan al generador de posición, levas equivalente a los comandos manuales (4), este bloque se encarga de recibir estos datos y dárselos al bloque 5 con lo cual se consigue mantener actualizado al sistema cuando se opera en telecomando o en manual.

La señal de requerimiento de paso de hélice ingresa al bloque 7, en el cual se encuentra

memorizada la curva de valores de paso de hélice, de aquí la señal ingresa al bloque 10 en donde se limita la velocidad de variación del paso de hélice en relación a las RPM de las hélices.

Luego de la comparación, sale del bloque 23 la señal de paso de hélice ordenado que pasando a través del switch S1 (en posición horizontal para el comando automático) ingresa al servo actuador (POT-MOT).



(Fig.1.2.4) Esquema Funcional Simplificado del Sistema de Control

(Velocidad y Paso de Hélice en forma Mecánico-Hidráulica sobre las dos Máquinas)

La señal de paso de hélice requerido limita en su velocidad de variación, entra al bloque 23 comando del servo actuador, el cual compara la señal de paso de hélice requerido con el de paso de hélice ordenado.

El servo actuador comanda directamente la electroválvula de paso de hélice (29). Esta señal de comando a la E/V es utilizada para realimentar en el bloque (23) la orden dada a la E/V.

Sobre la señal de comando a la E/V puede superponerse la señal manual (desde la Consola C del C.P.) de regulación fina del paso de hélice, la cual sólo actúa si está comandado en automático (leva).

El paso de hélice puede ser comandado desde la consola de C.P. a través del potenciómetro motorizado correspondiente, para lo cual el switch S1 se encontrará en su posición vertical.

Asimismo, quitando el seguro mecánico sobre el cuerpo de comando del paso de hélice en el túnel y desplazando la leva manualmente (en el mismo cuerpo comando) se puede comandar el paso, con lo cual se excluye la posibilidad de comandar el paso a distancia (C.P., Sala de MD o Sala TAG) o automático.

La señal de requerimiento combustible TAG entra al bloque 8 en el cual se encuentra memorizada la curva de valores del % de entrada de

combustible a la TAG.

La señal de % de combustible TAG requerido ingresa al bloque 11 a donde también entra la señal proveniente del bloque 6.

En el bloque 6 se recibe la señal del paso existente y en base a ella se adecúa la de requerimiento combustible; para impedir que cuando el paso tenga un valor bajo aún, la TAG puede entrar en sobrevelocidad por un aumento brusco de combustible.

En el bloque 11 el combustible requerido es limitado en función de la señal de relación paso/combustible del bloque 6.

La señal de requerimiento RPM ingresa al bloque 9 en donde se encuentra memorizada la curva de valores de las RPM. La señal de requerimiento RPM sale del bloque 9 para entrar a los bloques B y 22.

Al bloque B (diferenciador) ingresa la señal RPM requerida y la señal de realimentación de RPM del eje. Del bloque B sale la señal de error de RPM la cual llega al bloque A a través de un regulador veloz (12), se ha fijado la condición de maniobra al sistema o a través de un regulador lento (13) si la condición fijada es de navegación.

En el bloque A (diferenciador) la señal de combustible requerido es modificada constante-

mente si está en condición de maniobra; pues esta condición implica que el sistema debe mantener las RPM compensando el efecto de las fuerzas externas (viento, corriente, estado del mar, etc.)

Si se está en condición de navegación esta modificación del combustible requerido TAG se efectúa sólo periódicamente (aprox. cada 15 minutos) si las fuerzas externas continúan afectando las RPM eje.

Al bloque 14 ingresan 2 señales: realimentación del paso de hélice y posición de la leva. Este bloque, en caso de que el paso tenga un ángulo positivo y la leva ordene un paso negativo (o viceversa), de una señal de comando al bloque 16, por la cual se lleva la TAG al mínimo (como % de combustible).

El bloque 16 es un conmutador automático que deja pasar normalmente la señal del programa de requerimiento combustible TAG (8), pero que en caso de discrepancia leva/paso conmuta para dar paso a la señal que comanda el combustible al mínimo.

La señal que sale del bloque 16 ingresa al bloque 19, el cual es un conmutador automático que da la posibilidad de seleccionar entre los programas del bloque 8 o del 18.

El bloque 18 tiene memorizadas las secuencias

de lanzamiento, paradas y cambio de máquinas, recibe los comandos para las secuencias de cambio de máquina del bloque 20, el cual a su vez es autorizado por el bloque 17 que recibe las señales del paso de hélice, RPM eje, velocidad TAG y velocidad MD.

La señal de combustible requerido sale del bloque 19 y entra al comando del servo actuador (24) el cual a su vez recibe la señal de realimentación de la ordenada al regulador de combustible.

La señal de comando de % de combustible entra al servo-actuador en C.P. (POT-MOT) a través del switch S2, el cual en automático se encuentra en su posición horizontal.

Esta señal de comando de % de combustible que sale del servo actuador C.P. va a comandar el PLA (Power Level Actuator) del regulador de combustible TAG a través del servo-actuador en consola TAG.

El PLA puede ser también controlado en telecomando manual desde la consola local TAG, en este caso el switch S2 asume la posición vertical.

La señal RPM requerida entra al bloque 22, en el cual al igual que en el 19 se efectúa la selección de programas que llegan del bloque 9 ó 21.

Al salir del bloque 22 ingresa al comando del servo-actuador (25), el cual recibe también la señal realimentada de orden al regulador de combustible MD.

Del bloque 25 sale la orden de RPM requerida que ingresa al servo-actuador (POT-MOT) en C.P. a través del switch S3 (en posición horizontal para el comando automático).

La señal que sale del servo-actuador en C.P. va a comandar directamente al ME del regulador y el combustible MD (WOODWARD).

Es posible comandar desde la C.P. (POT-MOT Consola C) para lo cual el switch S3 asume la posición vertical. También puede comandarse manualmente el regulador de combustible.

1.2.3 Limitaciones Automáticas

En el SCAP cuando se opera con TAG están presentes las siguientes limitaciones para protección automática de la máquina:

- Limitación en la solicitud de velocidades desiguales.
- Limitación en la solicitud de combustible TAG en función de la velocidad del eje.

Ambas protecciones son independientes y que según sea el caso interviene una de ellas, ambas o ninguna.

En el caso de propulsar con MD la protección para velocidades desiguales permanece activa

pero no entra en acción por estar calibrada a valores superiores a los alcanzables con este tipo de protección. Existe además incluida en el regulador mecánico de velocidades del MD la limitación de posición máxima alcanzable por la cremallera en función de la solicitud de velocidad de rotación del regulador que actúa como limitador de par. Las limitaciones se describen detalladamente en los párrafos sucesivos y en el **Apéndice A** donde están los valores de las limitaciones y de las funciones del Programa Combinado.

a. Limitación en la Solicitud de Velocidades Desiguales de los Ejes

El sistema de control de cada eje recibe información de la velocidad del otro eje. En función de la velocidad del otro eje, viene calculado el valor máximo aceptable del comando en la leva si el valor solicitado por la leva es superior al límite expuesto, esta solicitud viene limitada al máximo aceptable. En función de la leva de control calibrada en nudos, vienen introducidos gracias al programa combinado, las solicitudes de posición del paso y de velocidades de rotación del eje, para lo cual existe una correspondencia biunívoca entre el valor "leva" y la solicitud de velocidad. La función de la limitación

es calculada de modo que el eje rote a velocidad más elevada y no gire a una velocidad tal de absorber un par superior a aquel proyectado.

b. Limitación en la Solicitud de Combustible TAG en Función de la Velocidad del Eje

El sistema de control recibe información de la velocidad del eje y a través de la función de limitación adecúa el valor del comando de combustible de la turbina, cuando la solicitud de combustible proveniente del programa es superior al alcanzable para estas revoluciones (por tal motivo las revoluciones serán inferiores a lo solicitado, debido a ese estado particular de carga).

La función de limitación es subdivisible en tres zonas:

-La primera es un sector constante a 20% para velocidades inferiores a 40 RPM. Esta sirve para impedir que pueda intervenir la protección en la turbina que fuerza, el combustible al mínimo cuando la graduación de la "farfalla" es superior a 34 grados (aprox. 25% comb.) con velocidad de la turbina de potencia inferior a 100 RPM (aprox. 10 RPM en el eje).

-La segunda es un sector con pendiente creciente con la velocidad del eje, ha sido

calculado en modo que el par máximo entregable de la TAG sea inferior al par máximo nominal aumentado en 20%.

-La tercera es un sector constante a 82% calculado en modo tal que la TAG no entregue una potencia máxima superior a aquella máxima nominal.

c. Ejemplo de Intervención de las Limitaciones

Para facilitar la comprensión de la intervención de las limitaciones se presenta a continuación un ejemplo numérico:

Supongamos que propulsamos con TAG en comando combinado con ambos ejes. La leva de Er comanda 15 nudos, lo cual corresponde de acuerdo al programa combinado un paso de hélice de 35 grados y 93 RPM del eje. La leva de Br comanda 30 nudos, a lo cual corresponde un paso de 35 grados con una velocidad de eje de 215 RPM. El eje de Er, con una solicitud de 93 RPM gira a 100 debido a que es arrastrado por el otro. La función limitante del eje de Br, debido al dato del otro eje (100 RPM), limita la solicitud a 24 nudos, correspondiente según programa combinado a 35 grados de paso y 116 RPM, véase que pese a ordenársele 30 nudos, el sistema actúa un comando de 24 nudos. Pero todavía no podemos decir que esta será la situación futura, pues

la limitación de combustible máximo con 166 RPM permite sólo 68%, si las condiciones de absorción de carga requiere para alcanzar las 166 RPM un combustible mayor de 68%, la velocidad del eje será inferior y el punto de trabajo estable será más bajo.

1.2.4 Componentes

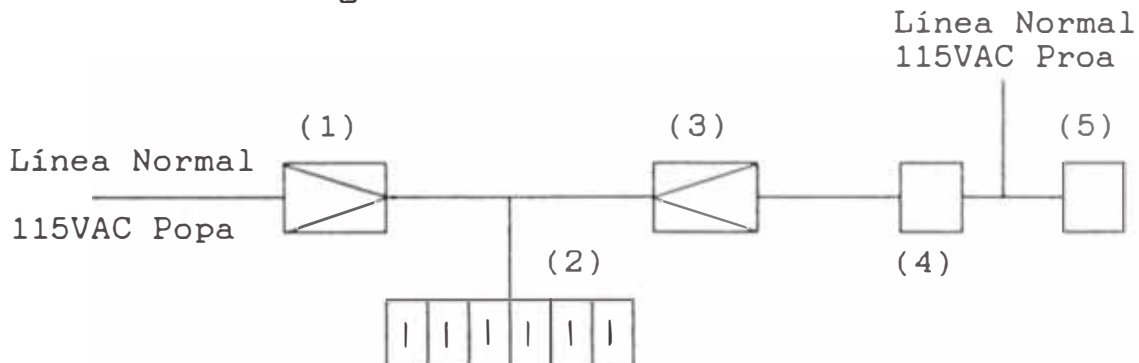
a. Sistema de Continuidad

Función.- Garantizar la continuidad de la alimentación al SCAP, compensando pequeñas variaciones de voltaje y suministrando alimentación de emergencia por espacio de 10 m. en caso de un Black-Out.

Conformación.- El sistema de alimentación al SCAP denominado Sistema INVERTER está conformado por los siguientes componentes:

- Un Rectificador(1)
- Un Banco de Baterías (2)
- Un Inversor (3)
- Un Conmutador Manual (4)
- Un Panel de Interruptores, Consola F (5)

Diagrama:



Funcionamiento.- El Sistema INVERTER recibe alimentación de 115 VAC e ingresa al Rectificador (1) en donde la corriente es rectificadora a 115 VDC. De la salida del rectificador se divide en dos, una línea ingresa al Banco de Baterías (2) y la otra al Inversor (3) La línea que ingresa al Banco de Baterías tiene dos funciones

- Recibe carga tapón del rectificador para mantener la carga de las baterías estable.
- Entregar la carga de la batería al SCAP por espacio de 10 m. en caso de un Black-Out. La otra línea ingresa al Inversor en donde la corriente de 115 VDC es invertida a 115 VAC para ingresar al Conmutador Manual (4) en donde se selecciona la alimentación normal del Inverter o de Reserva al SCAP, esta última proveniente de la Línea Normal de 115 VAC del tablero de proa. Por último la salida de este conmutador ingresa al Panel de Interruptores (5) de la Consola F de la C.P. la cual distribuye la alimentación a los usuarios del SCAP.

b. Consola Central de Propulsión

Consola A y E:

- Función: Control de la Propulsión del Eje de Br y Er respectivamente.
- Conformación:

- *Panel de alarmas
- *Panel de instrumentos
- *Panel de pulsantes
- *Sección de calculadores ULP-12, ULP-32,

Módulo AN 610/00, tarjetas de interfase,
y fuentes de poder.

Estas dos (2) consolas permiten el control de los ejes tanto operando con TAG o MD en forma teleprogramada para fines de lanzamiento, parada, acople y desacople.

Consola B y D: Consolas auxiliares en las cuales se encuentra repetidores de ángulo de timón, corredera, anunciador de máquinas 2MC y manómetros de presión de aceite de reductores y hélice de Br y Er respectivamente.

Consola C:

-Función: Control Automático de la Propulsión, para la variación de velocidades y cambio de TAG-MD y viceversa.

-Conformación:

- *Panel de alarmas
- *Panel de instrumentos y cuadro sinóptico.
- *Panel de comando
- *Sección de fuentes de poder, tarjetas de control de los potenciómetros motorizados.

Esta consola es la de mayor importancia,

puesto que en ella se encuentran las LEVAS de comando para el control de la propulsión y de los potenciómetros motorizados de paso de hélice, % TAG y RPM MD para el control de las máquinas en telecomando.

Consola F:

-Función: Control de los equipos auxiliares de la propulsión.

-Conformación:

*Panel de alarmas

*Panel de instrumentos y pulsantes.

*Panel de interruptores para la alimentación del SCAP.

A través de esta consola es posible el control a distancia de los siguientes auxiliares:

*Agua de mar:

·E/B Refrigeración aceite reductores

·E/B Refrigeración A.M.

*Combustible:

·E/B Combustible TAG

·E/Válvulas sistema combustible

·E/B Trasvase combustible

*Aire

·E/Compresoras de A.P.

·E/Compresoras de B.P.

*Lubricación

·E/B lubricación reductores

- E/B aceite hélice
- Purificador aceite
- *Calderas
- *Evaporadoras
- *Ventilación y extracción de las salas de máquinas.

Consola G.

-Función: Control del Estado del SCAP, Control de Parámetros Operativos de las Máquinas a través del calculador ULP-12 (Módulo AN 610/01).

-Componentes:

- *Panel de alarma
- *Panel del estado del SCAP
- *Unidad condicionadora de canales
- *Central elaboradora de datos CED, Módulo AN 610/01.

c. Consola Local TAG (BLTAG)

-Función: Control de las Turbinas en Local.

-Componentes:

- *Panel de alarmas
- *Panel de instrumentos
- *Panel de pulsantes
- *Sección calculador ULP-32(Módulo AN 611/00)

d. Consola Local del Puente

-Función: Control de la Propulsión en Automático desde el puente exclusivamente para variación de velocidades, no pudiendo

efectuar maniobras de lanzado, parada, acoplamiento, desacoplamiento "cambio de máquinas".

-Conformación:

*Panel de instrumentos y cuadro sinóptico

*Panel de comando y órdenes de maniobra y velocidad.

e. Software

El Software conforma el grupo de Programas Operativos y de Base para la Operación y Mantenimiento del SCAP respectivamente.

*Programas Operativos:

-Instrucciones Inicializar la memoria (poner en cero): nos permite acerar la memoria de los calculadores de la CP.

-Instrucciones Bootstrap: nos permite cargar en la memoria central del elaborador de datos programas escritos en formatos U-Boot sobre banda perforada.

-Programa Binary Loader: permite cargar en la memoria central del elaborador, programas en formato binario.

-Programa de maniobras I y II, nos permite cargar el programa que efectúan el control de las maniobras de los ejes Br y Er.

-Programa CED I y II, nos permite cargar el programa que controla los canales de alar-

mas de los diferentes parámetros operativos de las máquinas propulsoras y sus auxiliares.

*Programas Bases: Son programas que tienen por finalidad diagnosticar el estado del SCAP y efectuar mantenimiento, siendo los más importantes:

-ULP 12

-Interfase

-Comando Automático

-Periféricos Programas Test I y II, etc.

-Test Torresan

-Test Unimax TAG

1.3 Operación ⁽¹⁾

1.3.1 Modos de Operación

a. Operación en Automático

Permite la operación en forma automática de las máquinas principales, esto incluye operaciones de lanzamiento, parada, acoplamiento, desacoplamiento, cambio de motores a turbinas o viceversa y variación de la velocidad así como el control de la propulsión mixta, con un eje arrastrado o trancado. Estas operaciones son realizadas con ayuda de calculadores electrónicos.

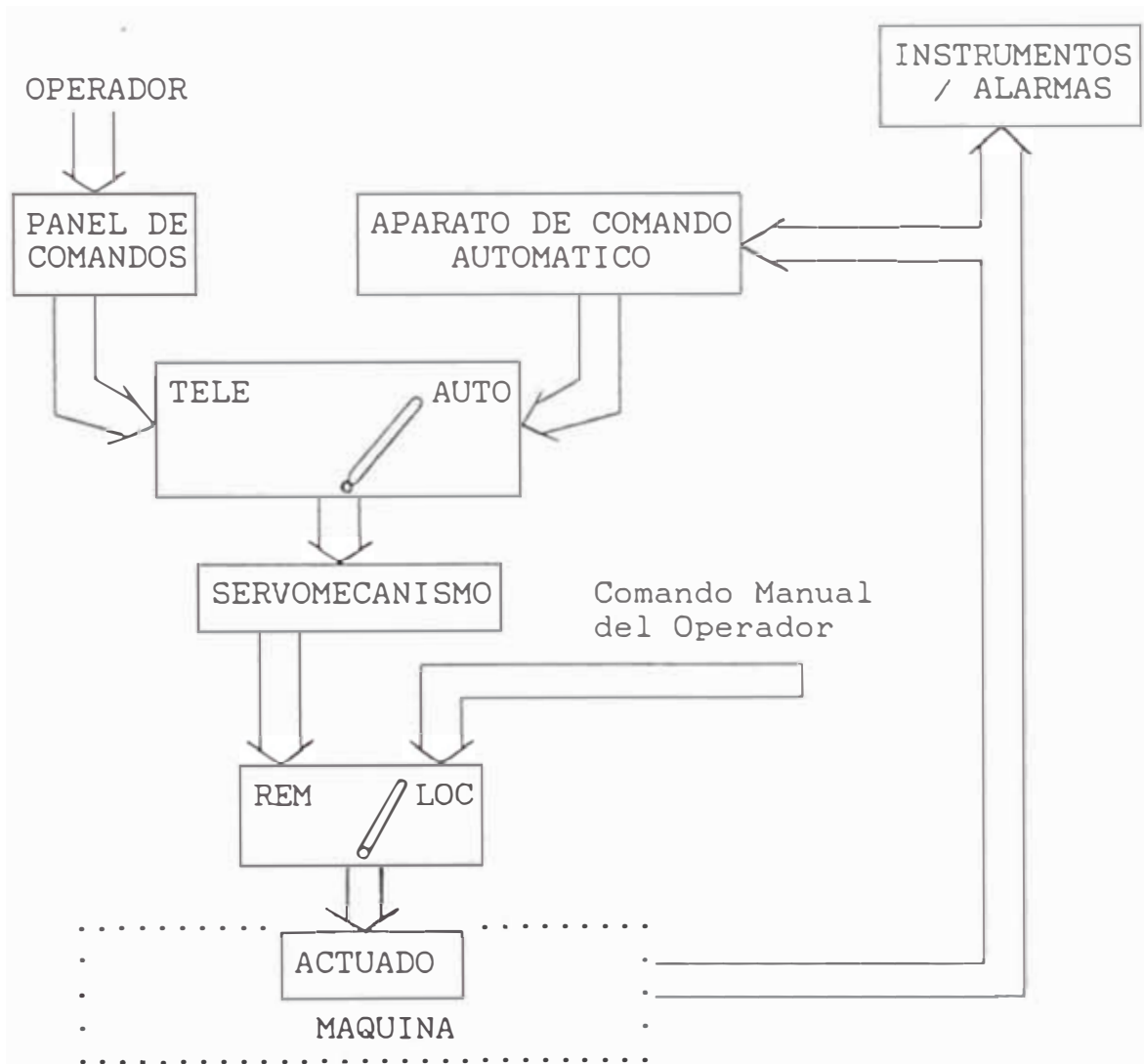
b. Operaciones de Telecomando

Permite la operación en forma telecomandada de la planta de propulsión, esto incluye

todas las operaciones descritas en la operación en automático. La diferencia está en que éstas son realizadas por el Ingeniero de Guardia y no por los calculadores electrónicos.

c. Operación en Local

Permite la operación de las máquinas desde el mismo lugar de donde se encuentran. Estas operaciones son realizadas en forma manual,



(Fig.1.3.1) Esquema a Bloques de la Filosofía de los Modos de Comando

excepto para las TAG que por sus características requieren de una consola de control fuera del módulo de propulsión. (Ver fig.1.3.1)

1.3.2 Puestos de Control

a. Central de Propulsión

Permite la operación de los MD y TAG en forma automática o telecomandada, con todas las operaciones posibles, incluyendo el paso de las hélices y acoplamiento de los MD y TAG.

b. Consola del Puente

Permite solamente el control de la velocidad de los MD y TAG una vez obtenido el control desde el puente.

c. Sala TAG

Permite el control de las TAG desde la consola local, ya sea en automático para fines de lanzamiento y parada o en telecomando para todas las operaciones posibles, incluyendo el paso de las hélices y el acoplamiento de la TAG.

d. Sala MD

Permite el control de la MD desde la misma máquina en forma manual, el paso de las hélices y el acoplamiento se realiza en forma telecomandada. Cabe mencionar que el control del paso de las hélices pueden ser operado en

local en forma manual desde el mismo cuerpo de comando ubicado en los túneles, asimismo el acoplamiento de la TAG puede ser accionado en local en forma manual desde la sala de reductores.

La siguiente relación resume los modos de operación y los diferentes lugares desde donde se puede operar la planta de propulsión:

- Central de Propulsión: TAG y MD en automático o telecomando con todas las operaciones posibles, incluyendo paso de hélice y acoplamiento.
- Consola Puente: TAG o MD en automático, solamente variación de velocidad incluyendo el paso de las hélices, una vez obtenido el comando.
- Sala TAG: TAG en automático para fines de lanzado y parada y en telecomando para todas las operaciones posibles incluyendo control del paso de hélice y acoplamiento.
- Sala MD: MD en forma manual y el paso de hélice y acoplamiento en telecomando.
- Túneles: Control de paso en forma manual.
- Reductores: Control de acoplamiento TAG en forma manual.

1.3.3 Condiciones de Operación

Para consentir la máxima flexibilidad del sistema y las respuestas más óptimas a las variables de operación del buque, está predispuesta las siguientes condiciones de operación,

mediante la selección manual respectiva :

-Navegación

-Maniobra

-Emergencia

a. Comportamiento de la TAG con c/u de ellas

En Condición de Navegación: El control de las TAG viene efectuado de manera de "hacer corresponder a cada posición del dispositivo de regulación RPM/Paso un set fijo de combustible y de paso"; las revoluciones de eje que se derivan están sujetas a variaciones del ambiente externo: olas, viento, estado del mar, etc. Este dispositivo regulador lleva la velocidad del eje al valor correspondiente, al ser fijado.

La Condición de Navegación es excluida en :

-Selección Manual de la Condición de "Maniobra".

-Selección Manual de la Condición de "Emergencia".

-Selección Manual del Nivel de "Operación de Telecomando".

-Marcha Atrás.

En Condición de Maniobra: El control de las TAG viene efectuado de manera de hacer corresponder a cada posición del dispositivo de regulación RPM/Paso un set fijo de revoluciones y de paso. El sistema de automatismo lle-

va al eje rápidamente al régimen de velocidad requerida y lo estabiliza con la máxima precisión consentida por las máquinas.

La Condición de Maniobra es excluida en:

- Selección Manual de la Condición de Navegación.
- Selección Manual del Nivel de Operación Telecomando.

La Condición de "Maniobra" es incluida en :

- Selección Manual de la Condición de Maniobra.
- Selección Manual de Condición de Emergencia
- Marcha atrás.
- Cada vez que se ordene con levas un cambio de velocidades mayor de 2 nudos.

En Condición de Emergencia: La regulación de las TAG viene efectuada de la misma manera que en la condición de maniobra, excluyéndose además de todos los bloques de seguridad de las TAG, excepto:

- Falta de presión de aceite de lubricación de TAG y reductores.
- Incendio en los módulos.
- Sobrevelocidad de las turbina de potencia.
- Falta de señal continua taquimétrica de la turbina de potencia.

b. Comportamiento de los MD con c/u de ellas

En Condición de Navegación: No se explica la

condición de navegación a la propulsión con MD, ya que el regulador de combustible WOODWARD montado en el motor mismo, mantiene constante el número de revoluciones de la máquina correspondiente a cada set del comando.

En Condición de Maniobra: La regulación de los MD se efectúa bajo la misma modalidad que la condición de maniobra TAG, siendo efectuada esta regulación con el regulador de combustible WOODWARD, montado en el motor mismo.

En Condición de Emergencia: La regulación de los MD viene efectuada de la misma manera que en la condición de maniobra, excluyéndose todos los bloques de seguridad de los motores, excepto:

- Falta de presión de aceite de lubricación en motores y reductores.
- Sobrevelocidad del motor.

CAPITULO II

ANALISIS DE LOS COMPUTADORES DE LA CENTRAL DE PROPULSION Y SU PROBLEMATICA

Después de haber revisado el aparato de propulsión por diagrama de control, nos dedicaremos a describir primeramente como están interconectados los computadores que la gobiernan para su programación en forma automática, prosiguiendo con una descripción de cada uno de ellos, para luego enfocar la problemática que es objeto de esta tesis haciendo un análisis de Hardware de la misma, el cual nos conducirá en el Capítulo IV a diseñar una solución de dicha problemática. Cabe resaltar que sólo presentaremos la evaluación detallada de las señales de control, direccionamiento y datos de las tarjetas involucradas.

2.1 Interconexión de los Computadores por Módulos.

El aparato de propulsión para su operación en forma automática utiliza una red de 7 computadores, 5 que se encuentran en la CP y 2 en el BLTAG haciendo estos un control de planta industrial, así:

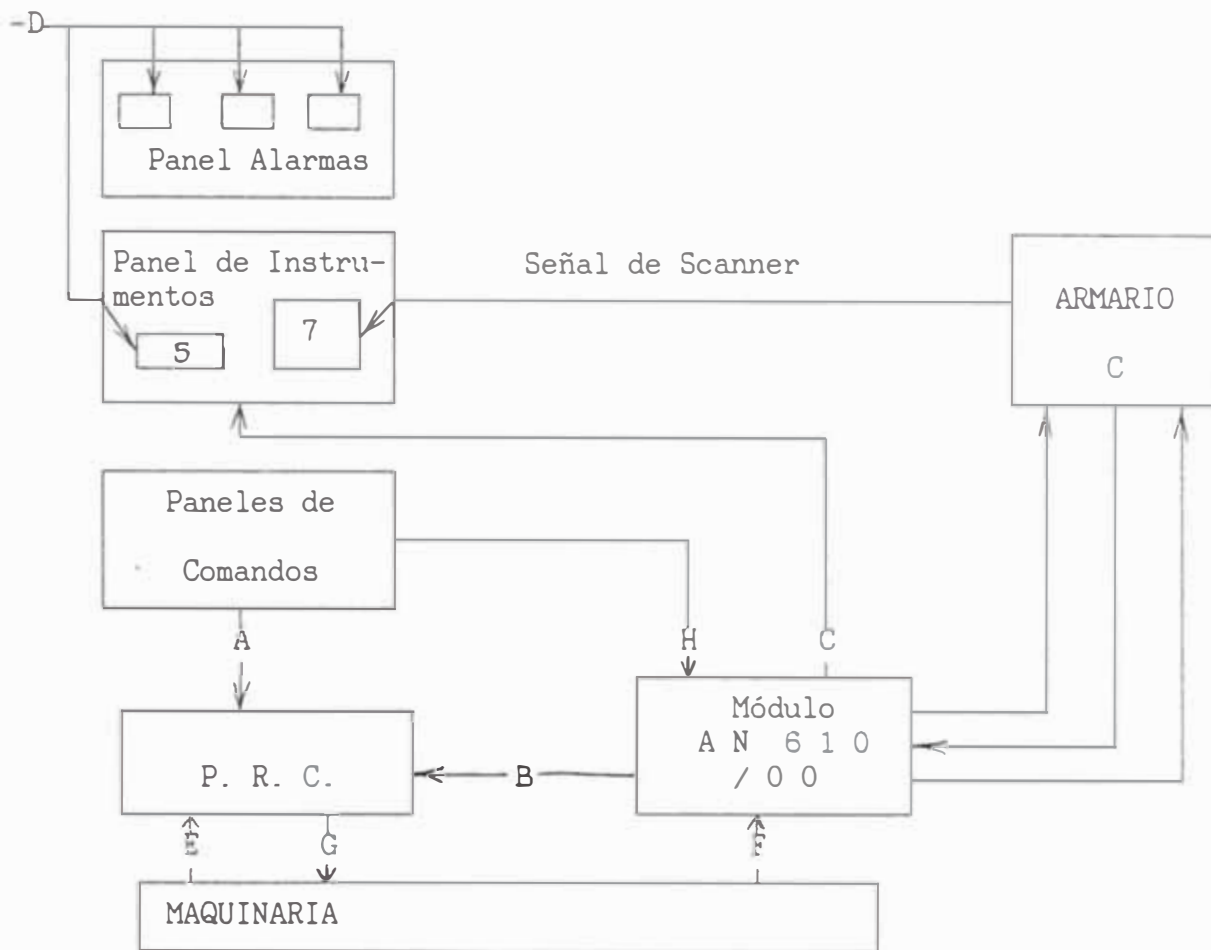
2.1.1 Sistema de Control Automático del Aparato de Propulsión. (1)

Dos módulos de la CP y tres que se encuentran en BLTAG hacen el trabajo de la propulsión y servicio auxiliar, donde el operador entrega información relativa a un ajuste final y el programa de proceso de órdenes de manio- bra del comando automático combinado (giro/ paso de hélice) ejecuta el control para MD o TAG de Er o Br respectivamente.

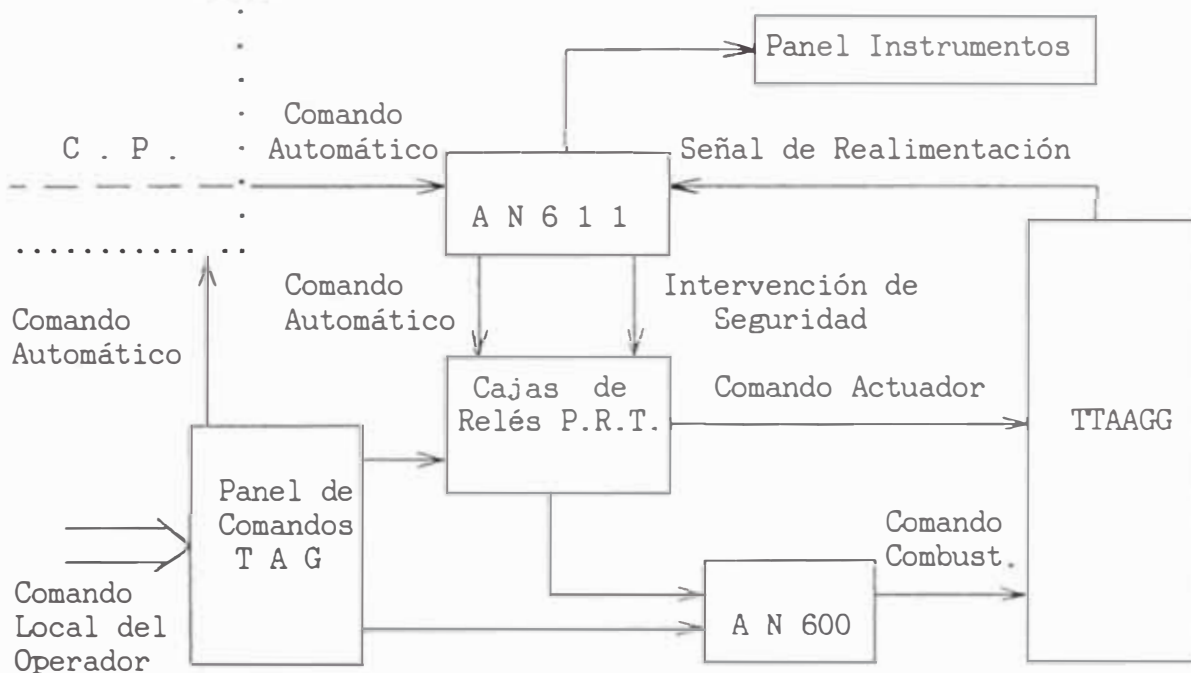
Para la (Fig.2.1.1):

- A. Telecomandos de Panel
- B. Comandos para Secuencia Automática e Intervención de Seguridad
- C. Señales Pilotos de Instrumentación
- D. Comandos de la CED
- E. Señales de Realimentación de Campo (ON/OFF)
- F. Señales de Realimentación de Campo Analógicas
- G. Comandos Directos a la Maquinaria
- H. Comandos Automáticos de Panel
- 5. Visualizador de Datos (AN 030/03)
- 7. Registrador de Temperatura del Gas de Descarga

El trabajo de automatismo lo hace el Compu- tador Módulo AN 610/00 tanto para el SCAP. La maquinaria de propulsión lo componen los módu- los AN 611 y AN 600, la caja de relés P.R.T., P.R.C., los pares de TAG y MD (Fig. 2.1.1), y relacionados. En particular, cuando funcionan en automático el BLTAG se tiene un esquema que representaría una maquinaria de propulsión(Ver



(Fig.2.1.1) Esquema del flujo de las señales que van dentro del armario A y E.



(Fig.2.1.2) Esquema del Flujo de Funciones Componentes del Control del BLTAG.

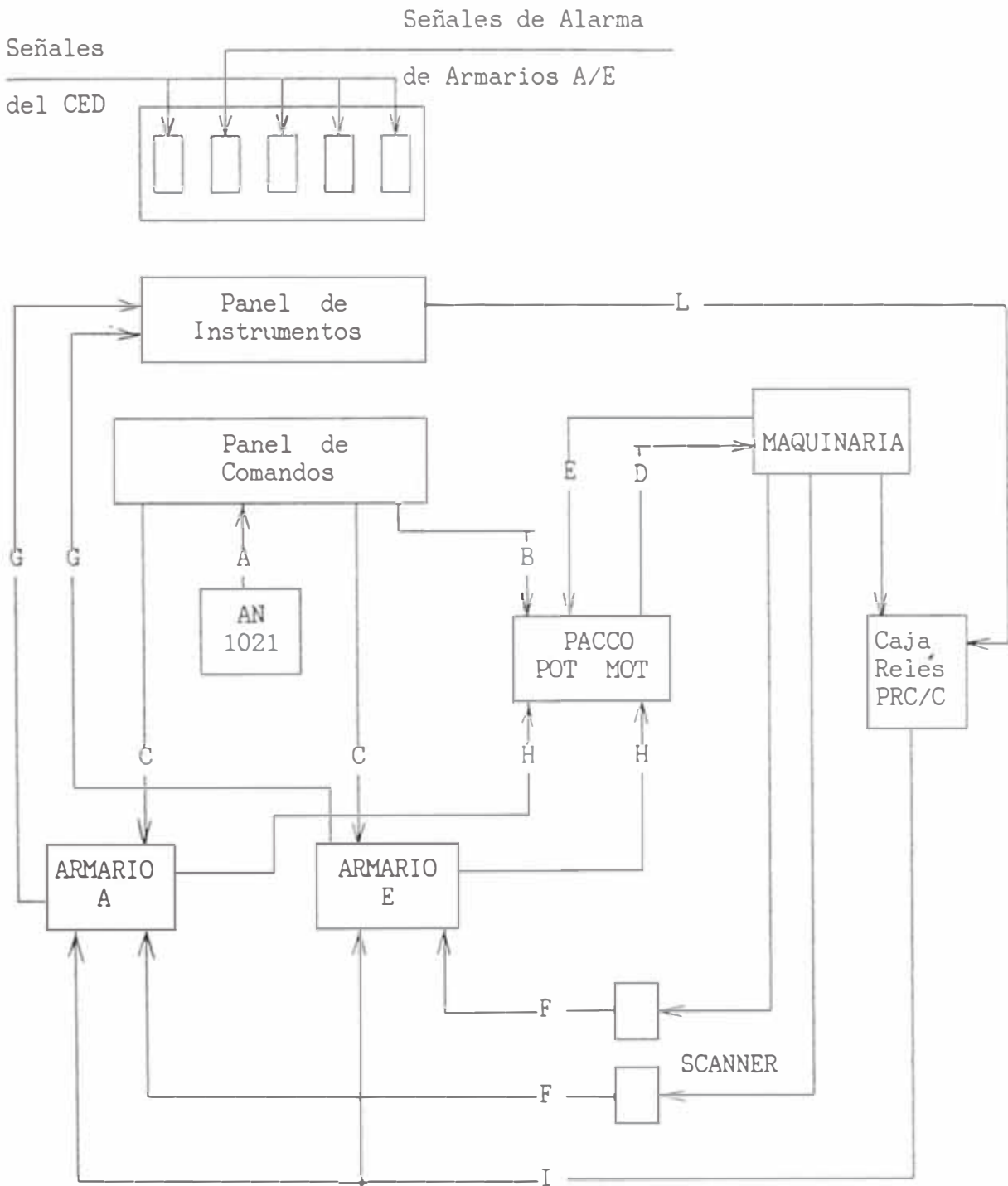
Donde: P.R.T. Relays que se interfazan a los actuadores ON/OFF con el teclado de comando.

Fig. 2.1.2). Las operaciones de control de la propulsión en Modo completamente automático son posibles desde un armario C que está instalado mecánicamente entre los armarios A y E a través de dos angulares B y D. Además son disponibles al operador los comandos y señalizaciones idóneas al control de la maquinaria y señalización de alarmas de ejes asociados. De su panel de comandos también es posible la regularización de la velocidad de la nave en modo automático y/o en telecomando. La (Fig. 2.1.3) describe un esquema del flujo de señales hacia los demás módulos:

- A. Alimentación a potenciómetros motorizados y levas
- B. Telecomandos desde panel de comandos
- C. Comandos automáticos desde panel de comandos
- D. Comandos Directos a Maquinaria
- E. Señales de Feedback de maquinaria
- F. Señales para registradores gas de descarga
- G. Señales para panel de instrumentos
- H. Señales de comando automático para Pacco Pot Mot
- I. Señales de consenso manual/automático
- L. Señales de impostación manual/automático de operador

Módulo AN 1021 Alimentador de 6 VDC para módulos AN 087 y AN 088.

Módulo AN 087 Módulo telecomando motorizado (POT MOT) compuesto de un juego coaxial de manivela-motor-potenciómetro en el



(Fig.2.1.3) Esquema del Flujo de Señales que van dentro del Armario C.

cual se transfiere una señal eléctrica (del potenciómetro) a los órganos de maniobra de la maquinaria de propulsión y a los órganos de variación de paso de hélice:

En C.P.: Paso de Hélice, Velocidad MD, Combustible de TAG.

En BLTAG · Combustible de TAG.

Módulo AN 088

Comúnmente llamada Leva de Comando, órgano a través del cual el operador entrega un pedido de velocidad de la nave (mediante la variación combinada del paso y giro de la hélice) a través de una señal eléctrica (del potenciómetro) equivalente a la velocidad deseada.

PACCO POT MOT

Paquete de tarjetas de interfase POT MOT (14,7 por c/eje) que permite el telecomando a través de los potenciómetros motorizados de : paso de hélice, velocidad MD y combustible TAG.

Cajas de Relés

Memoriza las condiciones de funcionamiento del (PRC/C) arreglo de la maquinaria: Modo de operación, maquinaria en ejercicio y transitorios de funcionamiento.

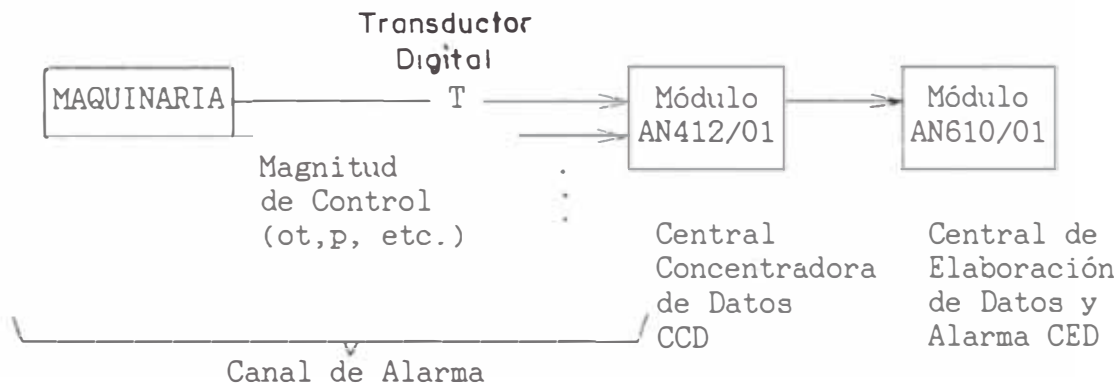
SCANNERS

Envía una señal proporcional a la temperatura del gas de descarga a la sa-

lida de los cilindros y la turbo soffiante del MD, hacia los registradores SPEEDOMAX W.

2.1.2 Sistema de Control de Medidas y Alarmas. (1)

Un módulo de la C.P. y 6 CED (÷ BLTAG, MD y C.P.) hacen el trabajo del sistema de medidas y alarmas. El operador puede verificar la medida digitalizada de un canal de medición escogido con los instrumentos analógicos por ejemplo; si la magnitud digital máxima es superada, una alarma representaría la eficiencia de la maquina de control. Además controlará los periféricos y el sistema de propulsión en un panel Stato del Sistema (PSS) (Ver Fig. 2.1.4).



(Fig. 2.1.4) Sistema de Medidas y Alarmas

2.2 Descripción de los Módulos.

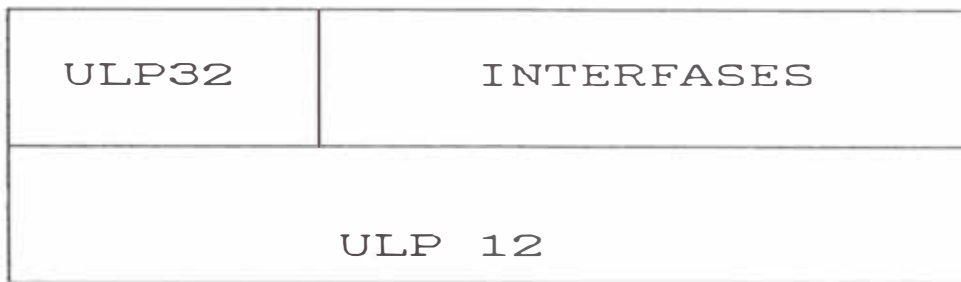
Los módulos presentados están conformados por minicomputadores, microcomputadores o interfases, según sea su configuración:

2.2.1 Módulo AN 610/00. (1)

Estos módulos existen en la CP y supervisan el control automático del proceso de maniobras

para los ejes de Er y Br respectivamente, tanto para los pares de MD como para los TAG, y también para los servicios auxiliares. Está configurado por tres partes:(Fig.2.2.1)

- Minicomputador ULP12
- Microcomputador ULP32
- Tarjetas de Interfases

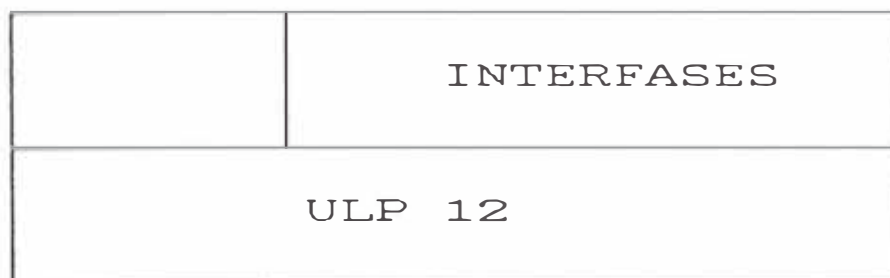


(Fig. 2.2.1) Vista Frontal del Módulo AN 610/00

2.2.2 Módulo AN 610/01. (1)

Este módulo existe en la CP y conjuntamente con seis módulos AN 412/01 llamados también Centrales Concentradores de Datos (o CCD) constituyen el Sistema de Control de Medidas y Alarmas. A este módulo también se le conoce CED (Fig. 2.2.2). Está configurado en dos partes:

- Minicalculador ULP12
- Tarjetas de Interfases



(Fig. 2.2.2) Vista Frontal del Módulo AN 610/01

2.2.3 Módulo AN 611 y AN 610.(1)

Estos módulos se encuentran en el BLTAG y conjuntamente con el módulo AN 610/00 hacen el trabajo de control de la propulsión y servicio auxiliar, cuando se usan las TAG para el movimiento de las respectivas hélices de propulsión.

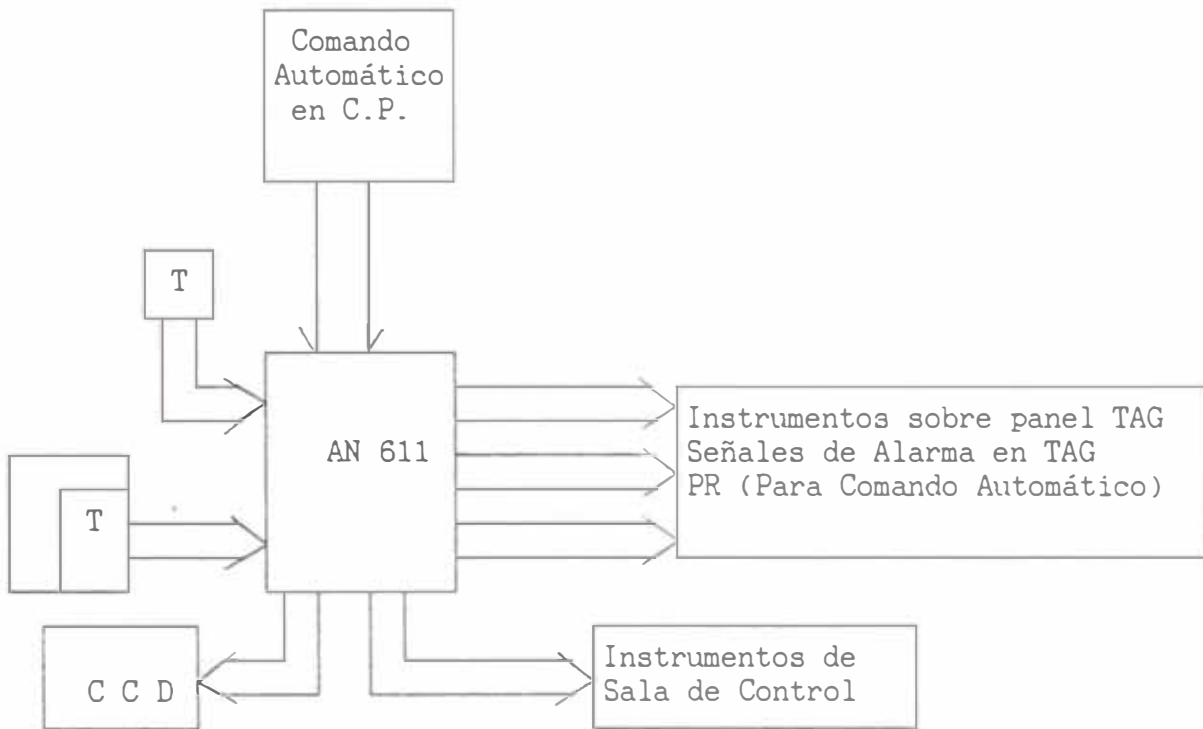
a. Módulo AN 611. Cada módulo AN611 comanda y condiciona las señales para cada TAG, ER y BR respectivamente teniendo las siguientes funciones(Ver Fig.2.2.3):

1. Genera el comando automático hacia las cajas de relés en caso de que sea generado el comando automático.

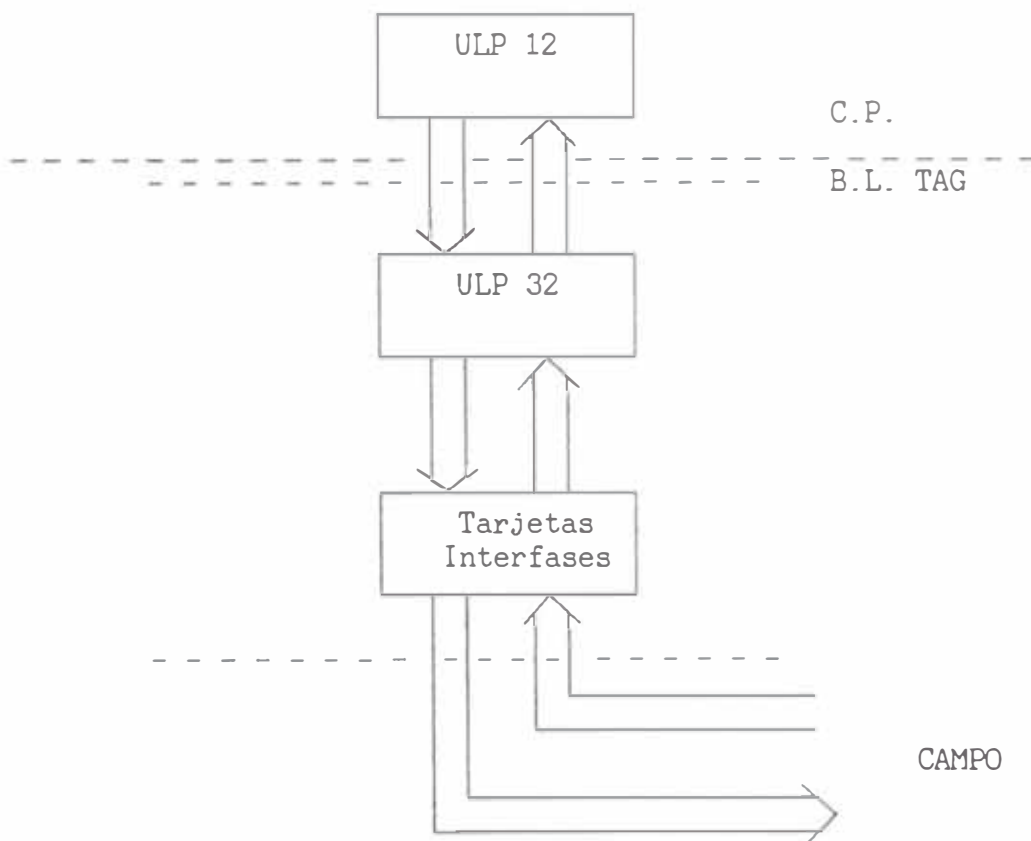
2. Elabora señales provenientes de los traductores para:

- Pilotaje de los instrumentos relativos.
- Alarmas esenciales independientes del sistema general de alarmas (tales como presión de aceite lubricante de turbinas, temperatura del gas interno, sobre velocidad, pérdida de señal del taquímetro, etc.)
- Señales de retorno de campo hacia la sala de control para verificar la correspondencia entre la respuesta de la planta y demanda automática.

3. Condiciona señales de los traductores



(Fig. 2.2.3) Funciones del Módulo AN 611



(Fig. 2.2.4) Interconexión del Módulo AN 611.

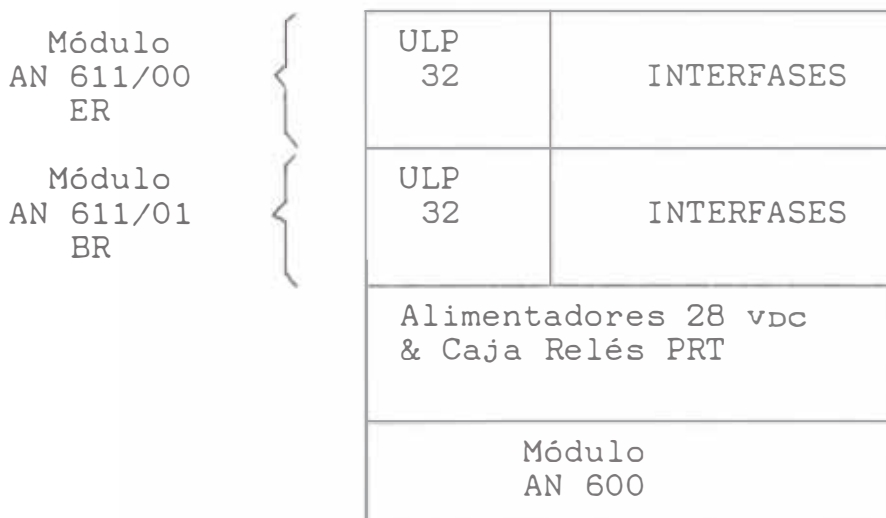
internos para el pilotaje de los CCD.

El módulo AN 611 está compuesto por dos partes(Ver Fig.2.2.4):

-Microcalculador ULP32

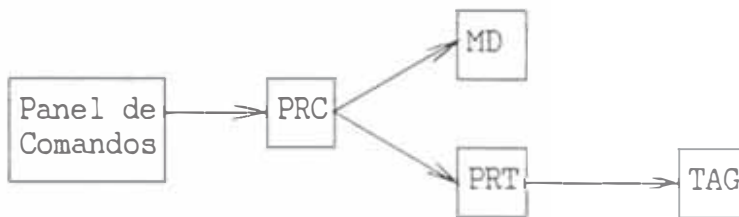
-Tarjetas Especiales de Interfase.

- b. Módulo AN 600. El módulo AN 600 que trabaja conjuntamente con cada módulo AN 611(Ver Fig.2.2.5), activa y controla el combustible hacia las TAG, y las protecciones de seguridad a través del PLA (Power Lower Actuator) por medio de un motor eléctrico el cual rota y proporciona la demanda de combustible. Este módulo limita la aceleración y velocidad de las TAG.



(Fig.2.2.5) Vista Frontal de los Módulos AN 611 y AN 600
(BLTAG-POT MOT AN 087)

La (Fig. 2.2.6) representa el accionar de la maquinaria de propulsión desde el panel de comando(en forma manual).

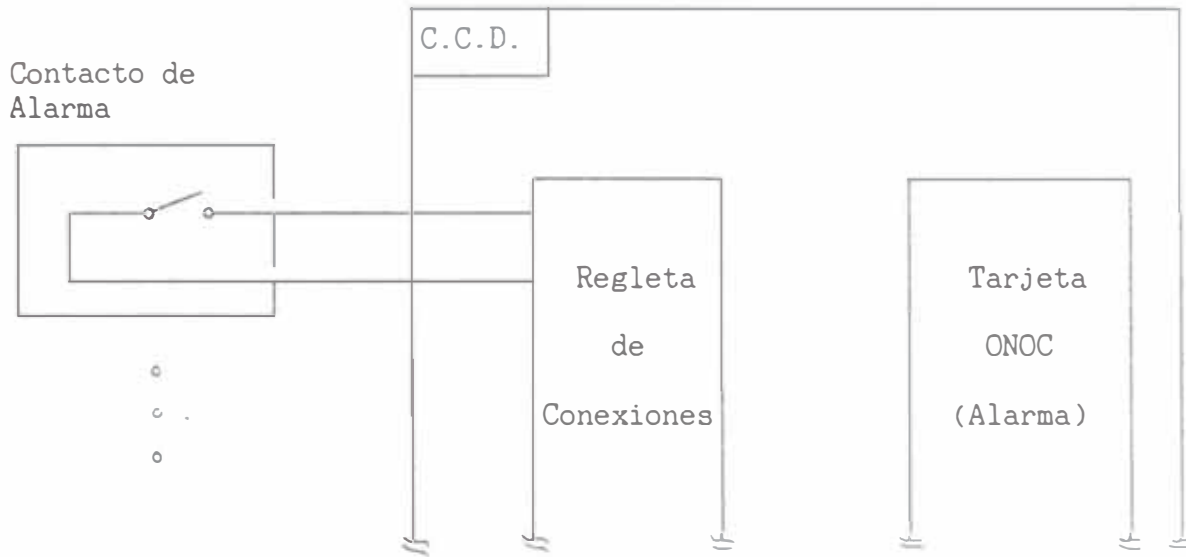


(Fig.2.2.6)Maquinaria de Propulsión en Programación de (Tele)Comando Manual.

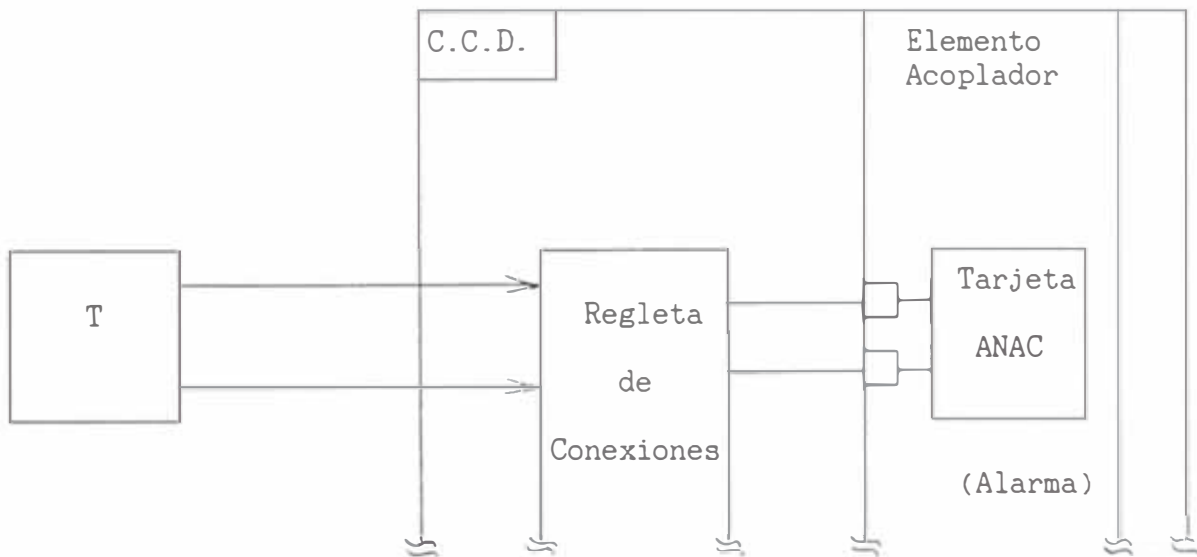
Donde: PRT Caja de relés que interfasan a los actuadores ON/OFF con el teclado de comando.

2.2.4 Módulo AN 412/01. (1)

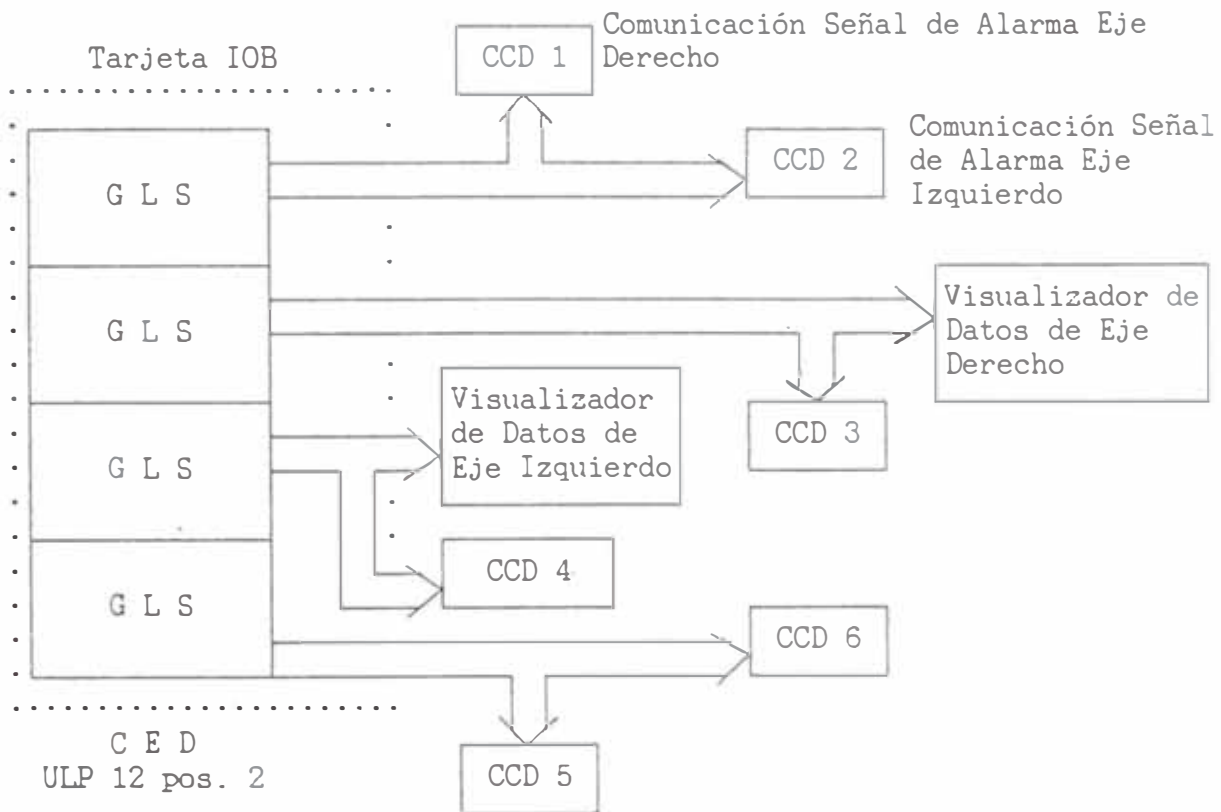
Este módulo llamado también CCD, efectúa la primera elaboración de señales analógicas a digitales provenientes de los traductores y transmitidas en modo serial (cable bifilar) al módulo AN 610/01 que está en la CP. Estos módulos son seis distribuidos entre la CP propulsión (2), sala de MD (1), sala de reductores (1), BLTAG (2). Cada central tiene 28 canales analógicos y 32 canales ON/OFF. Este módulo además hace la verificación automática de cada canal y el control de conversión y transmisión. Las figuras (Fig. 2.2.8) y (Fig. 2.2.7) representan la conversión de los canales analógicos y canales digitales respectivamente. El módulo AN 412/01 se interconecta con una de las entradas de módulo AN 610/01 a través de unas tarjetas IOB pertenecientes al minicomputador ULP12 de este último módulo (Fig. 2.2.9). La (Fig. 2.2.10) representa sus bloques internos mediante tres módulos para la



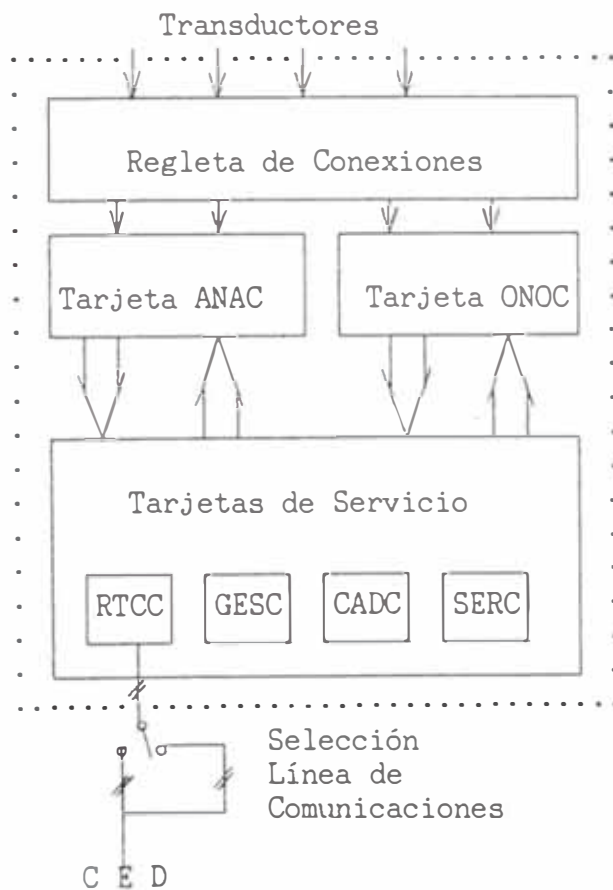
(Fig. 2.2.7) Canal de Alarma ON/OFF (Digital)



(Fig. 2.2.8) Canal de Alarma Analógico



(Fig. 2.2.9) Interconexión de CED y sus seis CCD.



(Fig. 2.2.10) Esquema a Bloques Funcionales de los CCD

elaboracion de senales provenientes de varios transductores ON/OFF y analógicos. Entre el módulo AN 412/01 y AN 610/01 existen cables bifilares para el lado izquierdo y derecho de la nave. A continuación se da la descripción de las tarjetas presentadas.

ANAC Alarma analógica. Contiene elementos acopladores y amplificadores para ciertos canales asociados a transductores. Tiene dos conectores para test de control funcional (7).

ONOC : Alarma ON/OFF. Recepciona señales de transductores ON/OFF y los trasmite a CAD C cuando es habilitada por SERC. Cada una está en capacidad de elaborar 16T (2)

SERC . Recepciona código canal de GESC y datos desde CAD C habilita a ANAC y ONOC sucesivamente para recepción y transmisión mediante siete hilos, a 7 ANAC y a 2 ONOC. Tiene resistencias, para control de temperatura interna del CCD relativo.

GESC Gestiona conversación a través de RTCC, de las tarjetas IOB de ULP12 y CAD C y SERC.

CADC Convertidor analógico/digital y digital/analógico.

RTCC . Recepciona transmite a IOB de ULP12. Decodifica y recepciona y trasmite a GESC.

CLRC : Comando lógico de alarma por lámpara, recepciona comando de GESC (condición de alarma).

formado por tarjeta de potencia CLPC y LC de comando CLLC asociada por interfase con GESC. Presente en CCD1 y CCD2.

La (Fig.2.2.11) y (Fig.2.2.12) presenta las interconexiones de las diversas partes para el SCAP y CED.

2.2.5 Micro Computador ULP32. (1)

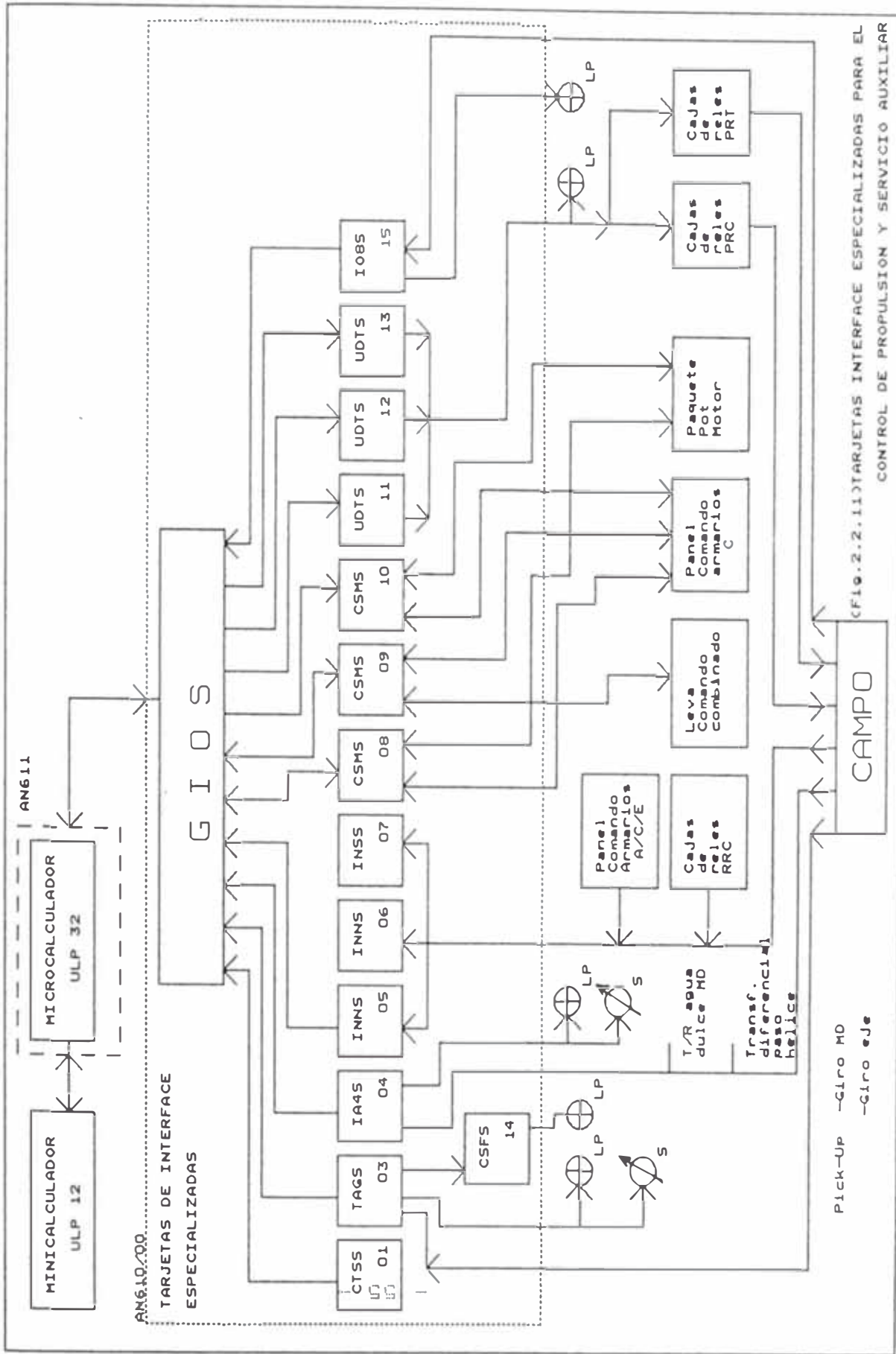
Estos cuatro microcomputadores que se encuentran en la CP y BLTAG, conversan con el minicomputador ULP12 y con las tarjetas de interfase, o con otra ULP32, para la elaboración la secuencia automática de arranque parada de los MD y las TAG respectivamente. Está constituida de tres tarjetas standard (dos de memoria y una de I/O a periféricos):

-Tarjeta CPUM: Unidad central del sistema, dotada de 7 registros internos, 78 instrucciones, 8 líneas de interrupción sobre otros niveles, tiempo medio de ejecución de la introducción $2\mu\text{s}$.

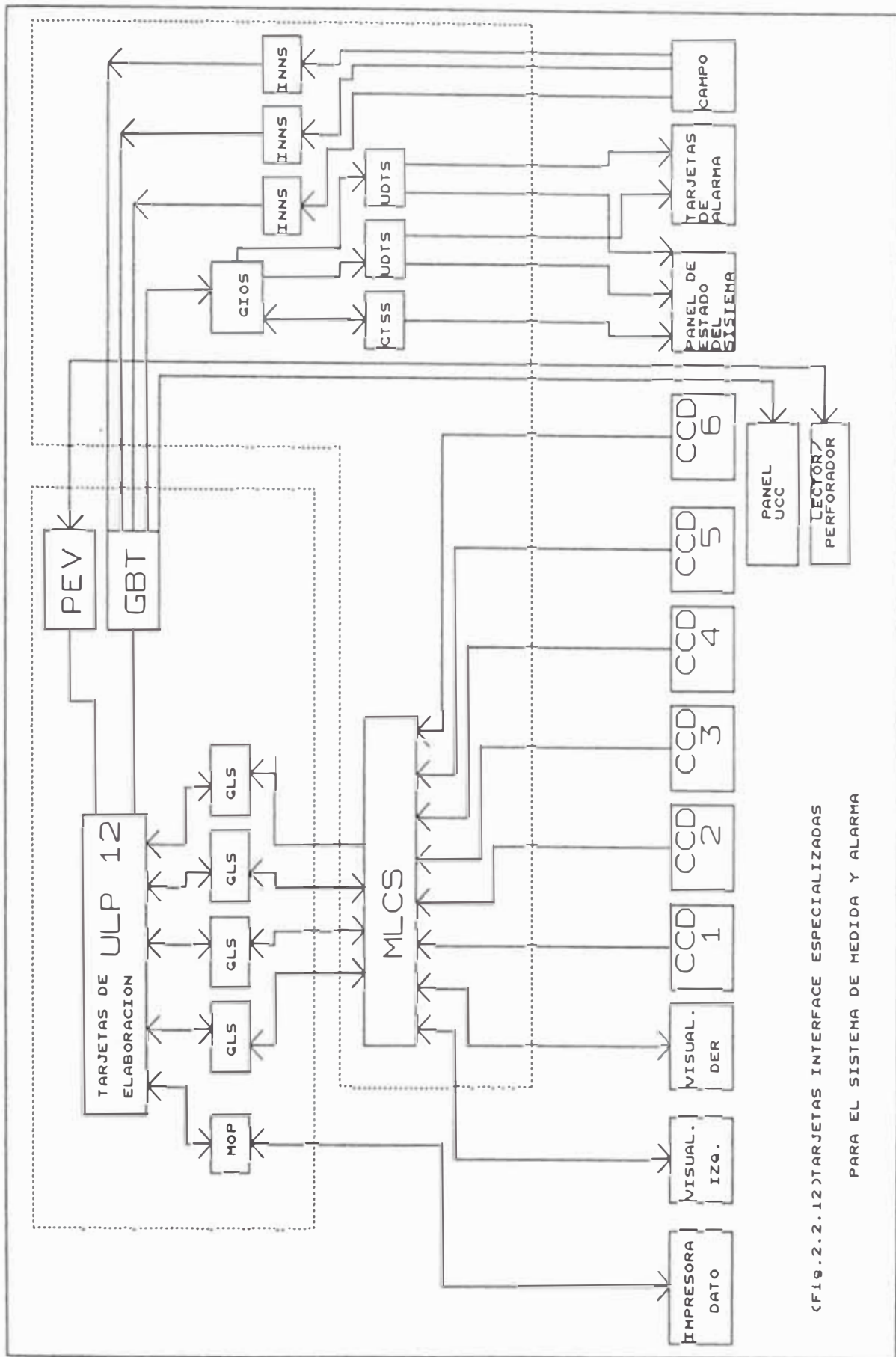
-Tarjeta ROMM: Tarjeta de memoria dotada de 0.5 KB de memoria RAM, y hasta 4 KB de memoria EPROM.

-Tarjeta GLSM: Tarjeta de (I/O de periféricos) gestión y comunicación serial asincrónica Multipoint entre sistemas ULP32, o entre sistemas ULP12 y ULP32.

2.2.6 Tarjetas Especiales de Interfase. (1)



CF10.2.2.11) TARJETAS INTERFACE ESPECIALIZADAS PARA EL CONTROL DE PROPULSION Y SERVICIO AUXILIAR



(Fig. 2.2.12) TARJETAS INTERFACE ESPECIALIZADAS PARA EL SISTEMA DE MEDIDA Y ALARMA

Las tarjetas de interfase elaboran las señales provenientes del campo y las transforman en señales aptas para pilotear instrumentos y para comunicarse con los elaboradores del sistema, controla las MD y TAG mediante los PRC, elabora alarmas esenciales para las intervenciones de emergencia (por ejemplo stop TAG), transmite datos de retorno al ULP32 para la gestión de control automático por parte de la CP. Esta constituida por las siguientes tarjetas:

CTSS: Ejecuta el control de las tensiones de alimentación al módulo AN 610; el control de la temperatura interna del módulo; la normal continuidad de funcionamiento del calculador ULP32; genera la señal de tación y el clock que genera el parpadeo de la lámpara de alarma. En la parte frontal de la tarjeta son montados 8 fotodiodos que están normalmente apagados, el encendido de uno de estos evidencia el superamiento de las condiciones de seguridad.

TACS: Elabora dos señales provenientes de los traductores taquimétricos, permitiendo el control de los instrumentos y gestión de alarmas.

IA4S: Elaborar un máximo de 4 señales analógicas provenientes de los transductores de varios géneros (termoresistencias, transductores

de tensión, etc.)).

INNS: Sirve para adquirir la situación de 30 señales máximas provenientes del campo y del sistema de automatización como son contactos de relé, microinterruptores de reóstato o de las transmitidas desde el panel de comando. La situación del campo y de los comandos impartidos por el operador vienen transmitidas al computador ULP12 para la elaboración de la secuencia automática.

CSMS: Efectúa el comando automático de los potenciómetros en condición de comando combinado; así mismo el control de los índices de las levas.

UDTS: Realiza la amplificación de un máximo de 48 señales lógicas para el control de alternativos usos de potencia (lámparas, relés, etc.).

IOBS: Elabora un máximo de 8 señales provenientes de transductores ON/OFF, tal elaboración sirve para comandar lámparas de señalización o alarmas.

CSFS: Efectúa el control de la sincronización automática y telecomando de la fricción WICHITA para el acoplamiento del MD y el eje de la hélice.

WDRS: Efectúa la protección eléctrica de la línea de conexión entre el calculador y las

tarjetas de interfase.

GIOS: Gestiona la comunicación entre el ULP32 y las precedentes tarjetas de interfase.

*FIVI/GG: Mide vibración interna de la turbina, seleccionando frecuencia armónica del generador de gas (GG).

*FIVI/TP: Mide vibración interna de la turbina, seleccionando frecuencia armónica de la turbina de potencia (TP).

*MISE: Control entre la armonía típica del GG y de la TP, para el pilotaje de los instrumentos asociados sobre el panel de instrumentos.

(*)Tarjetas que van instaladas en los módulos AN 611.

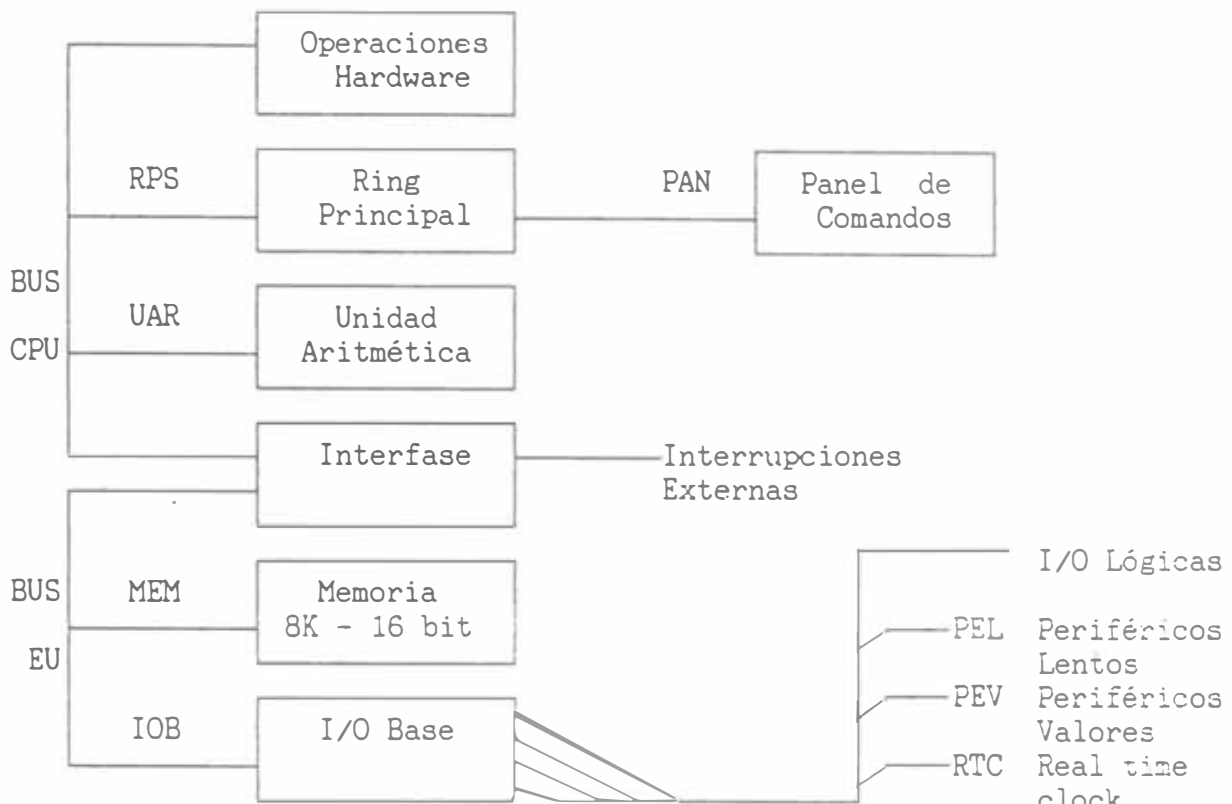
2.3 Funcionamiento del Minicomputador ULP12. (2)

Estos tres computadores que se encuentran en la central de propulsión (dos para el SCAP (ER y BR) y una CED) hacen el trabajo específico de automatismo de los respectivos procesos. Tales computadores en si datan de una tecnología de fines de la década de los setenta, y actualmente se tienen problemas en el funcionamiento del comando automático por la inoperatividad de estos. Como veremos más adelante, se ha llegado a determinar que el problema se encuentra en unos módulos que se encuentran ya obsoletos teniendo como una urgente opción reemplazarlos por uno de tecnología más vigente; para esto se tendría que estudiar el funcionamiento de tal computador hacien-

do un análisis evaluatorio de esta problemática. Como características funcionales se podrían adelantar que este computador de nivel industrial como otros, utilizan un set de instrucciones, periféricos, un software de base que se encuentra almacenado en unas cintas perforadas como una especie de Back-Up, etc.; el CPU, la alimentación, la mecánica entregan el completo set de instrucciones sobre palabra, byte, bit, de elaborar siete niveles de interrupción (incluyendo el Power-Failure y Automatic Restart), y de aceptar directamente las interfaces con: 32K palabras de memoria a 16 bits, 8 periféricos del tipo normal (TTL, lector-perforador, etc.) (Ver Fig.2.3.1)

2.3.1 Organización del Hardware.

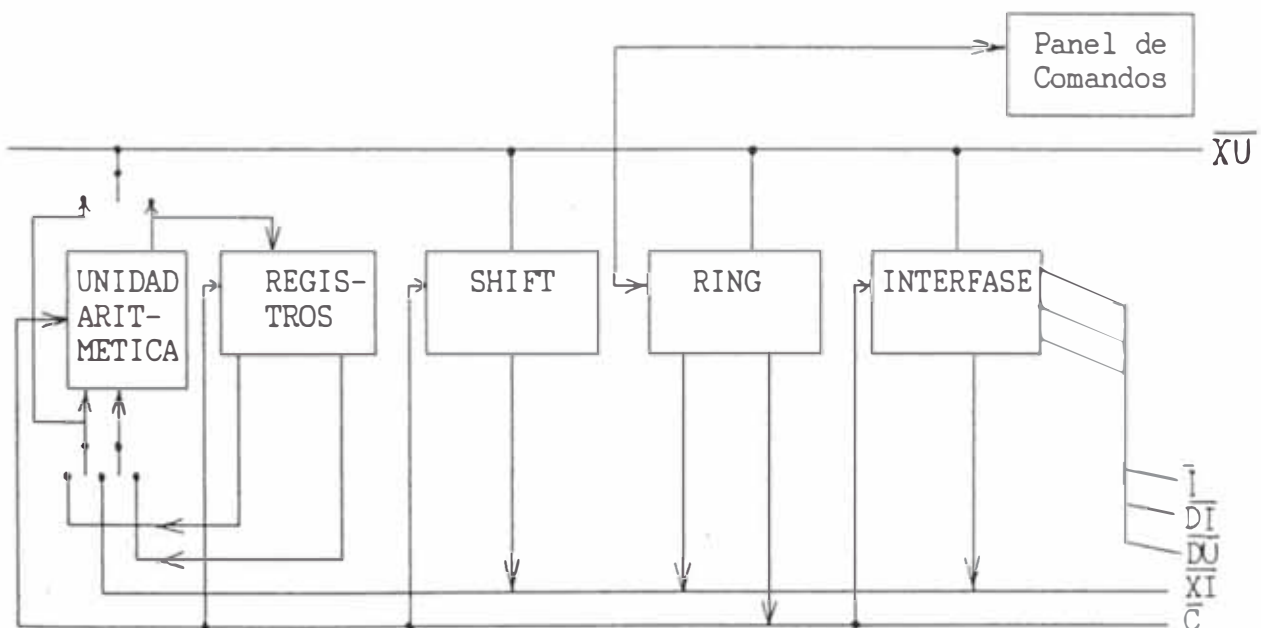
El funcionamiento del microcomputador ULP12 (Ver Fig.2.3.1) está basado en la microprogramación realizada con circuitos veloces TTL (todos existentes en el mercado). Un bus interconecta los bloques CPU (Central Processor Unit) y de uno de estos mismos bloques viene a recibir y alimentar un segundo bus que interconecta los bloques EU (External Unit) comprendidos también en los bloques de memoria. Los buses son hechos en circuitos impresos en la parte trasera de este computador en los cuales son montados los conectores relativos a cada tarjeta. El bus CPU tiene cuatro posicio-



- - - - - Memoria 8K x 16 bit Núcleos Magnéticos RAM.
- - - - - Memoria Semiconductor ROM, RAM.
- - - - - I/O Base.
- - - - - DMA.
- - - - - Sentinel.
- - - - - Lógica Especiales 'Custom Orient'

Opcionales

(Fig. 2.3.1) Esquema a Bloques del Minicomputador ULP 12



(Fig. 2.3.2) Organización CPU.

nes para tarjetas, mientras el bus EU siete. Los conectores para las tarjetas de la parte central tienen los pines superiores interconectados al bus CPU y los inferiores al bus EU, mientras los conectores para las tarjetas de la parte superior de CPU tienen los pines inferiores interconectados al bus CPU, y los superiores interconectados a través de un circuito flexible al panel de comandos.

2.3.2 Organización del CPU.

El bus CPU contiene principalmente tres familias de señales constituidas por los microcomandos C, los datos de ingreso XI y los datos de salida XU. Por microcomandos se entiende una palabra de 24 bit generada de un secuenciador e indica dos datos de origen, un destino y un código operativo. El origen y el destino pueden ser registros o bloques operativos (tipo shift, I/O, program status, etc.). Si el origen es un bloque operativo este envía el dato a través de la línea XI a la unidad aritmética y si es un registro lo envía directamente. La unidad aritmética ejecuta la operación indicada por el código de operación del dato en la línea XI y da uno o dos registros enviándolo directamente si el destino es un registro. Además el resultado o primer operando viene enviado sobre la línea XU si el des-

tino es un bloque operativo. Con particular microcomando se envía un dato de \overline{XU} a la interfase dando origen a un ciclo de lectura sobre el bus EU y se preestablecen el dato sobre XI; con otro microcomando se envía un dato en la línea XU a la interfase dando origen a un ciclo de escritura del mismo dato sobre el bus EU. Circuitalmente la CPU se compone de tres tarjetas cuyo funcionamiento se presenta en: (Ver Fig. 2.3.2).

Tarjeta RPS(Ring & Shift): Genera la secuencia de microcomandos. Además se comunica con el panel PAN para la parte de visualización y para recibir los comandos manuales y finalmente contiene la lógica relativa a las operaciones de desplazamiento y rotación (Ring Principal Shift).

Tarjeta UAR(Unidad Aritmética y Registros): Constituye la unidad aritmética de dieciséis registros internos. Recibe los datos de XI y de los registros, ejecuta las operaciones y entrega el resultado sobre la línea XU y sobre los registros.

Tarjeta INT(Interfase): Además del clock de diez MHz y de las elaboraciones de interrupciones provenientes del externo del EU, de la alimentación y del CPU, transfiere y temporiza los datos del CPU al EU y viceversa. Además

se puede agregar una cuarta tarjeta con el sistema de microprogramación, operaciones en Hardware `Custom Oriented`.

Tarjeta PAN(Panel Frontal): Visualiza las direcciones y datos, y permite la introducción manual de datos y comandos. Los datos y direcciones se presentan en dos filas de 16 diodos leds respectivamente; y además de seis displays para tener el mismo dato en forma numérica en base octal o igual la presentación del contador de programa (PC), estos dos mediante la selección de un interruptor. La introducción manual de la información se hace a través de dieciséis interruptores, por intermedio de pulsantes LOAD (si es dirección) o DEP (si es dato). Un pulsante CONT permite el inicio del programa completo (si un interruptor STOP no está accionado) o el avance por cada instrucción. Otro pulsante START hace la misma función que CONT y entrega además un `system reset`. Un último pulsante EXAM examina el contenido de la dirección visualizada para incrementar luego dicha dirección en dos. Una llave LOCK deshabilita el interruptor STOP.

2.3.3 Organización EU.

El bus EU contiene principalmente tres familias de señales que constituyen la dirección \bar{I} , los datos de ingreso al CPU DI, y los datos

de salida DU, además naturalmente las señales de temporización: READI (Comando de lectura), WRITEI (Comando de escritura) provenientes del bus CPU, y DA (Dato disponible), EOC (Fin de Ciclos) provenientes del bus EU. Están previstas un máximo de seis tarjetas y pueden ser de tres tipos:

Tarjetas de Memoria: 8K (expandible hasta 32K) x 16 bit a núcleos magnéticos, 8K PROM+1K RAM, etc. que habilitadas por sus direcciones de la línea I, entregan el dato DI en el ciclo de lectura y confiscando el dato DU en el ciclo de escritura.

Tarjeta DMA(No Disponible) (Cintas magnéticas, discos, comunicación entre calculadores, etc.) que instruidos por el CPU en el modo precedente, establece una comunicación directa entre el periférico y la memoria entregando a ésta la dirección I, el dato proveniente del periférico sobre DU, o recibiendo sobre DI el dato a transmitir al periférico.

Tarjeta IOB: Está constituida de una lógica de comunicación con CPU sobre las líneas correspondientes, y alimenta una línea D de dato bidireccional (además a direcciones decodificadas y clock a varias frecuencias) en comun a 4 tarjetas menores a Plug-In que establecen la comunicación entre la IOB (línea D) y los pe-

reféricos. Las tarjetas Plug-In de uso mas comun son

-PEL: Para comunicación bidireccional serie ad es con TTY, video, impresora lenta;

-PEP: Para comunicación bidireccional paralelo ad es, con lector- perforador de cinta, impresora veloz;

-RTC(Real Time Clock): que entrega a la IOB interrupciones a tiempo programable;

-MSC: Para comunicación bidireccional paralela con musicassett;

-LSC: Para comunicación con lector de cédulas;

-DEV: Para traslados sobre dos palabras de salida y dos de entrada de comandos y señales ON/OFF;

-DIN: Para transmisiones de cuatro palabras de ingreso;

-DOU: Para transmisiones de cuatro palabras de salida;

-TRA: Para lectura de cuatro transductores analógicos tipo resolver;

-MOU: Para comando de transmisión por multiflexaje de salida analógica y digital;

-MIN: Para comando y establecimiento de multiflexaje de entrada analógica y digital;

-GLS: Para el control periódico de la función y de los programas relativos en curso de desarrollo.

-WDG: Para la interfase con los otros calculadores a la vez;

-MOP: Apta para la comunicación con impresora;

-GBT: Para permitir el multiflexaje y la gestión de la tarjeta insertada en el bus 32.

2.4 Análisis del Hardware de las Tarjetas Implicadas en la Problemática. (2)

Luego de haber revisado en los puntos anteriores la filosofía de funcionamiento del Hardware del sistema y principalmente del minicomputador ULP12 que particularmente por la tecnología de su época, las tarjetas RPS, UAR e INT hacen lo mismo que un módulo a base de microprocesador igualmente los módulos de memoria RAM lo hacen las tarjetas MEM que son de la tecnología de núcleos magnéticos de fabricación ya discontinua. Se ha comprobado que la problemática de funcionamiento reside en estas tarjetas MEM y es donde se almacena el Software de base recibido desde el lector-perforador de cinta en la que se tiene como Back-Up el sistema operativo de I/O, el proceso de maniobras para la propulsión de ER o BR, programa para la elaboración de alarmas, etc. Estas tarjetas MEM tienen la característica de ser no - volátiles, por eso al lanzar el sistema y si el software ya ha sido cargado, el computador debe girar normalmente, haciendo los trabajos respectivos de control automáticamente.

Desde que las tarjetas MEM pertenecen al bus EU

primeramente se hará una descripción de la organización de este bus, para luego hacer un análisis en retrospectiva de las señales contenidas en estas tarjetas MEM, haciendo un levantamiento de diagramas eléctrico (debido a la poca literatura existente) de bloques convenientes (incluyendo las tarjetas del bus CPU) de las tarjetas involucradas.

2.4.1 Organización del Bus EU.

Las señales que interesan al bus EU (unidad externa) pueden ser descritas así (Los conectores S del bus son los de la cara inferior de las tarjetas o de soldadura y los C de la superior o de componentes.

<u>Familia</u>	<u>Señales</u>	<u>Conectores</u>
- Línea de datos de salida(INT → EU)	$\overline{DU0} \div \overline{DU15}$	As28÷ As43
- Línea de datos de entrada(EU → INT)	$\overline{DI0} \div \overline{DI15}$	As7÷ As22
- Línea de direcciones	$I0 \div \overline{I15}$	Bs40÷ Bs25
- Llamadas de interrupción de nivel 3	$\overline{IN3/2} \div \overline{IN3/7}$	As44÷ As49
- Llamadas de interrupción de nivel 5	$IN5/0 \div IN5/7$	As17÷ As24
- Llamadas nivel de interrupción	L2, L4, L6	Bs16,15,14

*Comandos Operativos:

- Dato disponible	LDA	Bs4
Fin de ciclo de memoria	\overline{LEOC}	Bs6
- De pulso de lectura	\overline{LREADI}	Bs9
- Interrupción lista	LREADINT	Bs10
- Escoge ciclo escritura/reescritura	LWRITE	Bs11
- Impulso de escritura	LWRITEI	Bs12
- Acceso directo a memoria	LDMA	As24

- Confirma DMA	LCDMA	As25
- Reset del sistema	LSLRE	As27
- Clock 10 MHz	L10MHz	Bs2
- Alimentación :	+ 15v	Bs41÷Bs43
	- 15v	Bs44÷Bs46
	- 5v	As4÷As6
	Masa	Bs47÷Bs49 Bc47÷Bc49
- Señal del alimentador 'Power Failure'	$\overline{\text{IN7/O-PF}}$	As26

Ahora se dará una descripción funcional de la comunicación en el bus EU: El bus EU está interesado de la secuencia de lectura y de escritura; la primera se inicia con la señal $\overline{\text{LREADI}}$ proveniente de INT, con duración de 100 nseg, sincronizada con $\overline{\text{L10 MHz}}$ y terminada con la señal $\overline{\text{LDA}}$ proveniente de la tarjeta del bus EU (MEM o IOB) que interviene en la operación de lectura, también de 100 ns y en fase de la de L10 MHz. Durante la fase de lectura la tarjeta INT mantiene la dirección $\text{IO} \div \text{I1}$ durante la señal LDA, la tarjeta implicada (MEM o IOB) entrega el dato sobre la línea DI. El ciclo de escritura se inicia con la señal LWRITEI, tomada de INT, con duración de 100 nseg y en fase con el de $\overline{\text{L10 MHz}}$ y termina con la señal $\overline{\text{LEOC}}$ entregada por la tarjeta implicada de EU (MEM o IOB), también de 100 ns y en

fase con $\overline{L10}$ MHz. Durante esta secuencia las direcciones I no son significativas (la tarjeta implicada de EU la memoriza durante el correspondiente ciclo de lectura), la tarjeta INT mantiene el dato a escribir sobre la línea DU y la señal \overline{LWRITE} es utilizada para discriminar el ciclo de escritura del de reescritura. Cuando se consideran las interrupciones IN serán aceptadas y elaboradas directamente en la tarjeta INT, sobre la línea DI esta tarjeta entrega la dirección donde la interrupción transfiere el control. En el caso de llamadas de nivel (Ln), cuando estas son aceptadas la tarjeta INT entrega la señal $\overline{LREADINT}$ que provoca el envío sobre la línea DI de la dirección asociada a la interrupción por parte de la tarjeta EU implicada (IOB's). En ambos casos este envío está suspendido durante los ciclos de acceso directo a memoria (\overline{LCDMA}). Las líneas L2, L4 y L6 son interrupciones en correspondencia con cada conector sobre el bus EU. Si se cortocircuita las pistas correspondientes a los niveles Ln en la tarjeta EU no dará esas señales generadas. Es necesario introducir las tarjetas capaces de generar requerimiento de nivel de interrupción de mayor nivel que el que lleva la propia INT, al crecer la prioridad ya sea como nivel externo

o como nivel interno de interrupción. Haciendo así, sobre cada tarjeta del EU, LREADINT llega controlada si es pedido de prioridad a nivel superior o igual a aquel generado de la misma tarjeta y en el caso de que este no se verifique, se habilita la misma interrupción. En el caso de acceso directo a memoria, la tarjeta EU implicada (DMA) envía el pedido $\overline{\text{LDMA}}$ como señal continua; a esto la tarjeta INT responde con la señal continua $\overline{\text{LCDMA}}$ al final de un eventual ciclo de lectura/escritura en curso. Durante tal señal la tarjeta INT pone en estado de alta impedancia sus líneas de salida I, $\overline{\text{LREADI}}$, $\overline{\text{LWRITEI}}$, $\overline{\text{DU}}$. En el caso de ciclo de llamada de interrupción, en presencia de $\overline{\text{LCDMA}}$, la tarjeta (ya sea INT o ya sea del bus EU) que está generando la dirección sobre $\overline{\text{DI}}$, suspende este envío poniendo además DI en alta impedancia. El control de bus EU pasa luego a la tarjeta que genera el $\overline{\text{LDMA}}$. Al final del ciclo de acceso directo a memoria la señal $\overline{\text{LDMA}}$ desaparece y en consecuencia también las $\overline{\text{LCDMA}}$. La señal $\overline{\text{IN7/O-PF}}$ proveniente del alimentador viene elaborado en la tarjeta INT y no interesa el bus EU. La señal $\overline{\text{LSIRE}}$ que viene dada por la tarjeta INT y es provocada ya sea del reset inicial o del comando Co, conforma el aceramiento de los bits de comando de

la entrada-salida.

2.4.2 Diagrama de Bloques de las Tarjetas MEM.

Estos módulos de memoria RAM no-volatil usan la tecnología de núcleos magnéticos, el computador ULP12 usa hasta cuatro de estos, en el actual tres, y cada uno de estos tiene una capacidad de 8K a 16 bits, teniendo un tamaño de 0.5m por lado aproximadamente, tiene las siguientes características eléctricas y mecánicas: (El fundamento teórico de estos parámetros de verá en el Capítulo III).

- Stack de memoria a núcleos magnéticos del tipo plano.
- 8K palabras a 16 bits (de los cuales se usan 16).
- Organización 3D.3 filas, tipo 'Far-End termination.'
- Corriente de direccionamiento anticoincidente.
- Tiempo de ciclo de memoria 850nseg.
- Núcleos tipo 1894 Ampex con diámetro del núcleo 18 mils.
- Corrientes requeridas para el pilotaje
 $I_f/I_p=750/465mA$.
- Variación de la corriente I_f al variar la temperatura (deriva de la corriente)
 $dI/dT=2mA/^{\circ}C$.
- Suma de la corriente necesaria de direcciona-

miento para la conmutación del núcleo $I_f = I_x + I_y$.

- Semicorriente de conmutación I_p .
- Tiempo de salida de I_f entre el 10% y 90% de su valor nominal $t_r = 50\text{ns}$.
- Relación señal útil/distorsión a la salida de los sensores del stack $dV_1/dV_z = 35/9\text{mA}$.
- Tiempo óptimo de lectura de la señal útil (como referencia inicial se considera el 10% de I_f) $t_p = 100\text{nseg}$.
- Instante en el cual la señal útil después de haber alcanzado el valor max decrece al 10% de su valor como referencia inicial considerar el 10% de la I_f , $t_s = 200\text{nseg}$ (La variación de cualquiera de los parámetros I_f ; t_r , t_p , implica una desviación de las condiciones óptimas de lectura de la palabra).

La tarjeta MEM, insertada en el bus EU, utiliza las siguientes líneas: (se indican si son entradas o salidas considerando la tarjeta MEM como caja negra).

Clock de sincronismo	$\overline{L10\text{MHz}}$ (IN)	B2
- Comando de lectura	LREADI (IN)	B9
- Comando de escritura	LWRITEI (IN)	B12
- Señal de dato disponible	LDA (OUT)	B4
- Señal de fin de ciclo de memoria	LEOC (OUT)	B6
- Líneas de las direcciones	I1÷ I15 (IN's)	B39÷ B25

- Datos de salida del CPU $\overline{DU0}$ ÷ $\overline{DU15}$ (OUT's) A28÷ A43
(ingreso de memoria)
- Datos de ingreso del CPU $\overline{DI0}$ ÷ $\overline{DI15}$ (IN's) A7÷ A22
(salida de memoria)
- Alimentación: +5 VDC(IN) A4÷ A6
-15 VDC(IN) B44÷ B46
GND A1 ÷A3
B47÷B49

Las características generales de la tarjeta son:

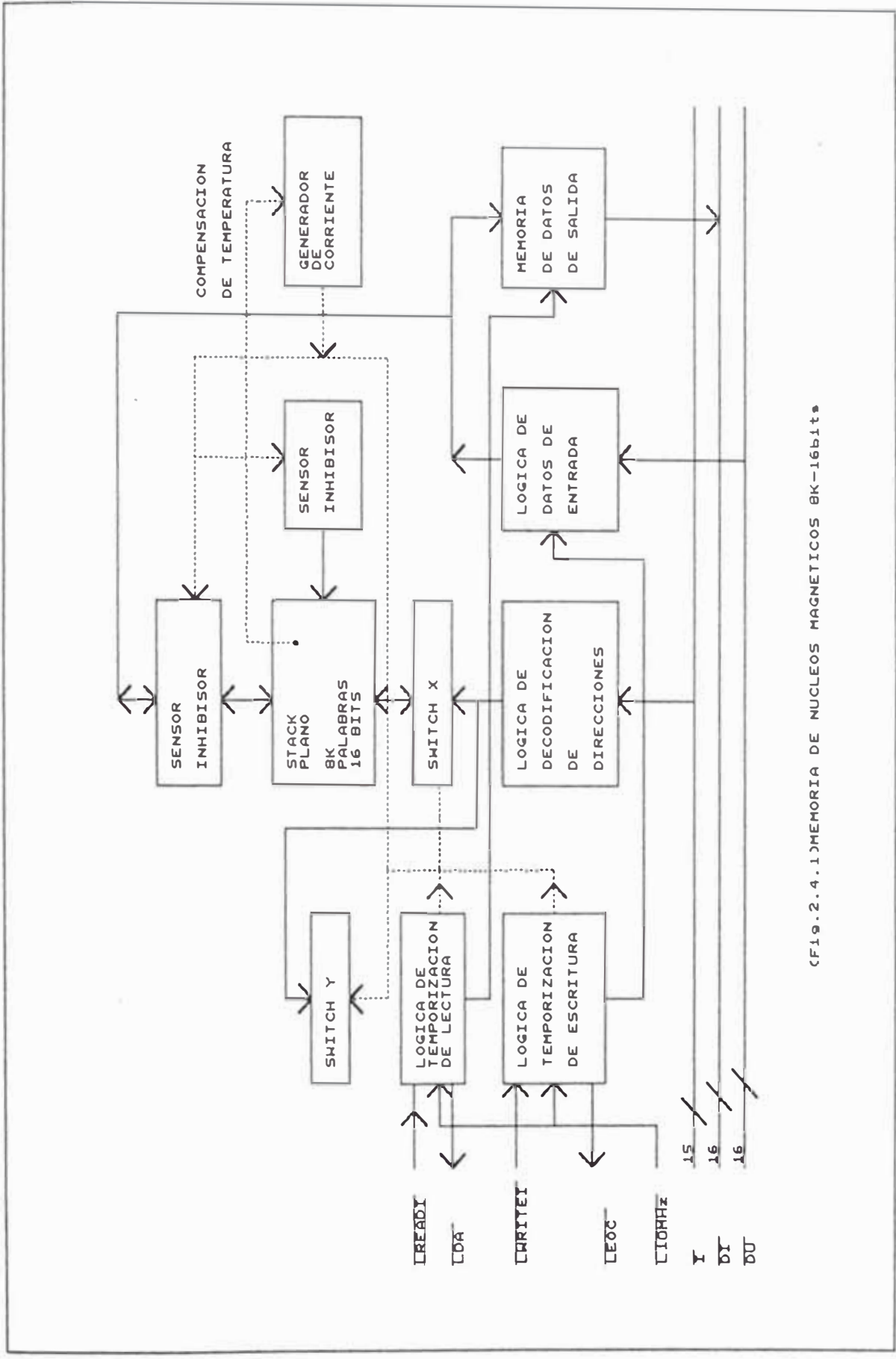
- El campo de temperatura de funcionamiento de las tarjetas es de 0°C a 55°C.
- La tensión de alimentación 5v+-5% y -15v+-5%.
- Consumo de corriente:

	<u>Operando</u>	<u>No Operando</u>
+5v	7.5A	4A
-15v	6A	0.3A

Luego del levantamiento del diagrama eléctrico, la tarjeta MEM está constituida de los siguientes bloques(Ver Fig.2.4.1):

- Stack de memoria a núcleos magnéticos, plana 8K palabras a 18 bits (16 utilizados).
- Lógica de temporización para lectura y escritura.
- Lógica de decodificación de las direcciones.
- Interruptores para el comando de la corriente de lectura, escritura e inhibición.
- Generadores de corriente para el pilotaje del stack.

El ciclo de lectura es activada desde la



(Fig. 2.4.1) MEMORIA DE NUCLEOS MAGNETICOS BK-16bits

tarjeta interfase por intermedio de la señal de comando LREADI la cual dura 100nseg, simultáneamente aparece con el flanco de bajada del clock L10MHz. Estas vienen a utilizar un registro desplazador 54179 que genera pulsos sucesivos en el tiempo RH1 ÷ RH4 y de duración de 100nseg cada uno, sincronizados con el flanco de bajada de $\overline{L10MHz}$, utilizados para generar las señales de servicio necesarios para el ciclo de lectura. Del diagrama eléctrico de la (Fig.2.4.2) se tiene las señales ICc y ICcm (esta última la memorizada de la anterior) que vienen del decodificador de direcciones y habilita las lógicas concernientes al mapa de memoria interesado y el bus de datos memorizados (S0m ÷ S15m) que se toman desde los amplificadores sensores (S y S) de los datos extraídos del stack de memoria 8Kx16, memorizados en unos 54279. Lo que nos interesa es en que momento salen los datos DIO ÷ DI15 y la señal de datos disponibles LDA:

$$\overline{DIO} \div DI15 = (S0m \div S15m)(RH4.ICc) = (S0m \div S15m)(RH4.ICc) \quad (Ec.2.4.1)$$

$$LDA = RH4(ICcm) = RH4 \cdot ICcm \quad (Ec.2.4.2)$$

En consecuencia, después de 400 nseg en que desaparecido el pulso LREADI se tendrán simultáneamente los datos DI y la señal LDA durante 100 nseg.

Descripción de la Lógica de Temporización de

Escritura y de la Entrada de Datos: El ciclo de escritura es activado desde la tarjeta de interfase con el pulso $\overline{\text{LWRITEI}}$ de duración de 100ns sincronizados con la bajada de $\overline{\text{L10MHz}}$ y con los datos de entrada ($\overline{\text{DU0}}\div\overline{\text{DU15}}$) que vienen desde el bus EU, estos sostenidos hasta el fin de la señal de fin de ciclo $\overline{\text{LEOC}}$. La señal $\overline{\text{LWRITEI}}$ habilitada por IC_{cm} y por el flanco de bajada de $\overline{\text{L10MHz}}$ utiliza dos registros desplazadores 54179 que generan pulsos sucesivos en el tiempo $\text{WH1}\div\text{WH5}$ de 100 nseg cada uno, utilizados para generar las señales de servicio necesarias para el ciclo de escritura (Ver Fig.2.4.3). Lo interesante en esta parte es el momento en que se entrega la señal $\overline{\text{LEOC}}$ y el tiempo en que se aceptan los datos ($\overline{\text{DU0}}\div\overline{\text{DU15}}$)

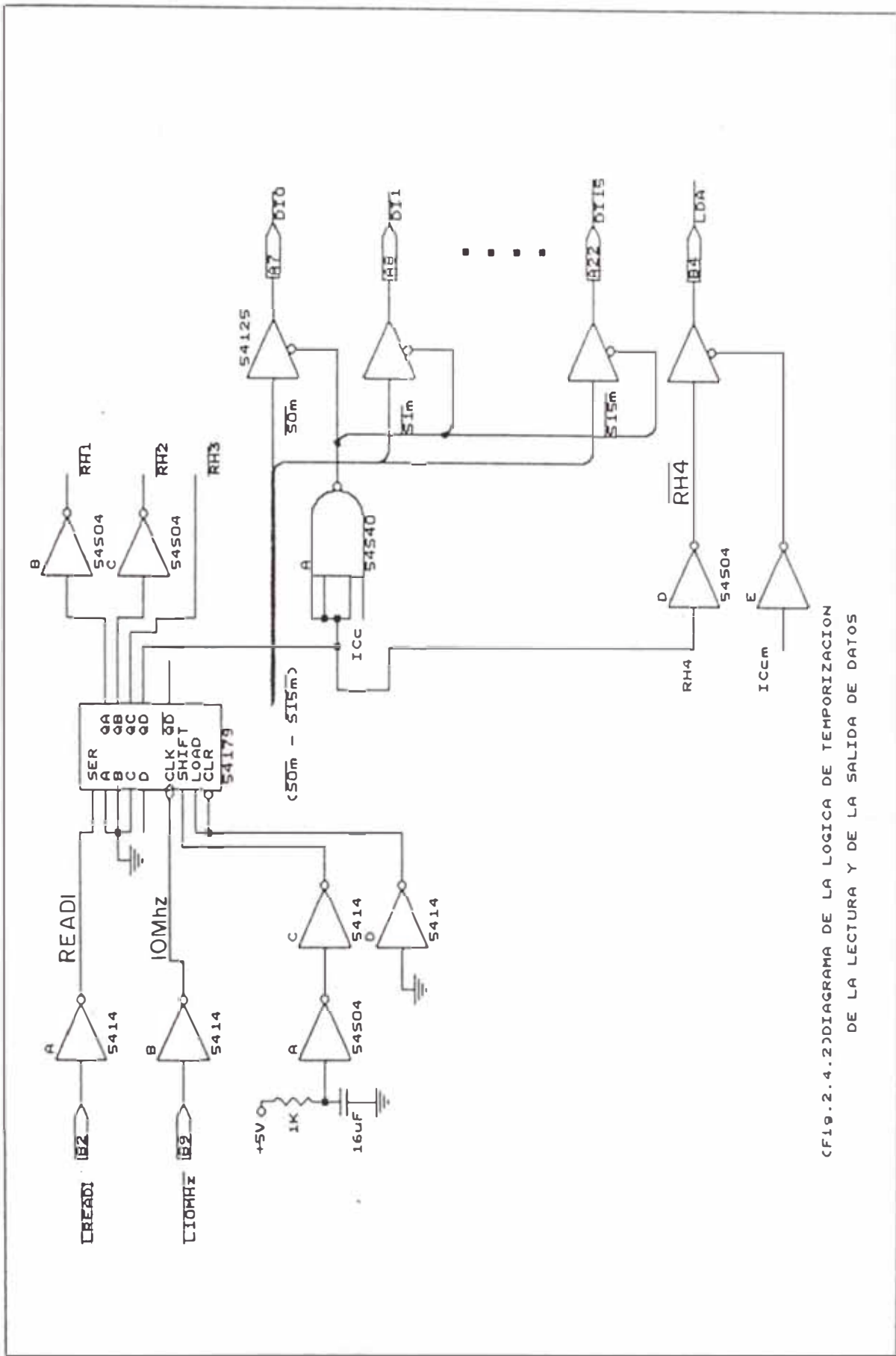
$$(\overline{\text{dIb0}}\div\overline{\text{dIb15}}) = (\overline{\text{DU0}}\div\overline{\text{DU15}}) \cdot \text{INON} = (\overline{\text{DU0}}\div\overline{\text{DU15}}) \cdot \text{INON} \quad (\text{Ec.2.4.3})$$

$$\overline{\text{LEOC}} = \overline{\text{WH5}} \cdot \overline{\text{IC}_{\text{cm}}} - \overline{\text{WH5}} \cdot \text{IC}_{\text{cm}} \quad (\text{Ec.2.4.4})$$

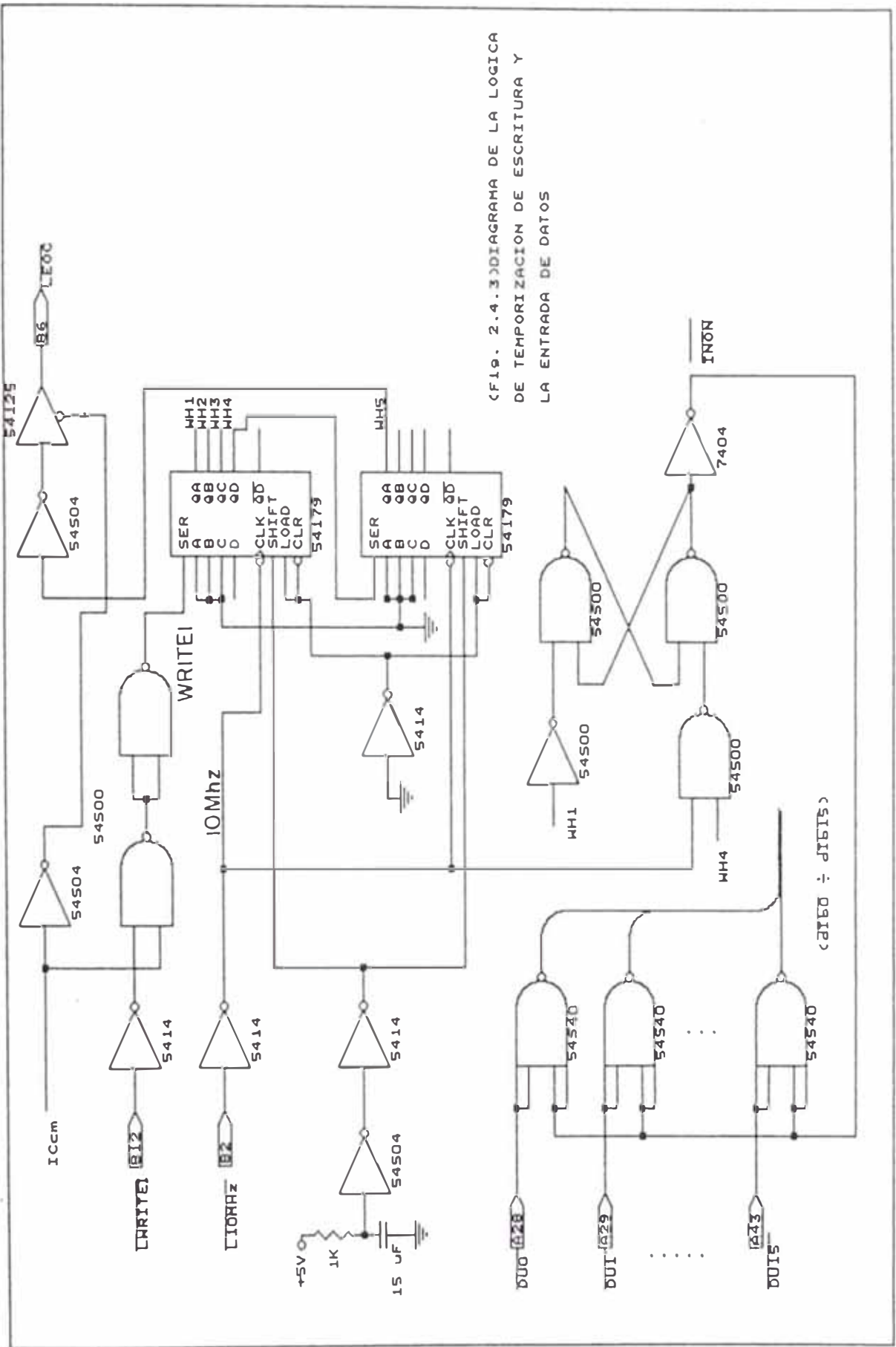
$$\text{Donde:.. Set INON} - \text{WH1} \quad (\text{Ec.2.4.5})$$

$$\text{Reset INON} - \text{WH4.10MHz} \quad (\text{Ec.2.4.6})$$

Luego de 500 nseg de la desaparición de la señal $\overline{\text{LWRITEI}}$, se tendría la señal $\overline{\text{LEOC}}$ durante 100nseg, y también una ventana de 350 nseg después de la aparición de WH1 para la admisión de datos ($\overline{\text{DU0}}\div\overline{\text{DU15}}$), para que el bus de datos ($\overline{\text{dIb0}}\div\overline{\text{dIb15}}$) se amplifique en corriente hacia los terminales de Inhibición (J y J)



CF19.2.4.2)DIAGRAMA DE LA LOGICA DE TEMPORIZACION DE LA LECTURA Y DE LA SALIDA DE DATOS

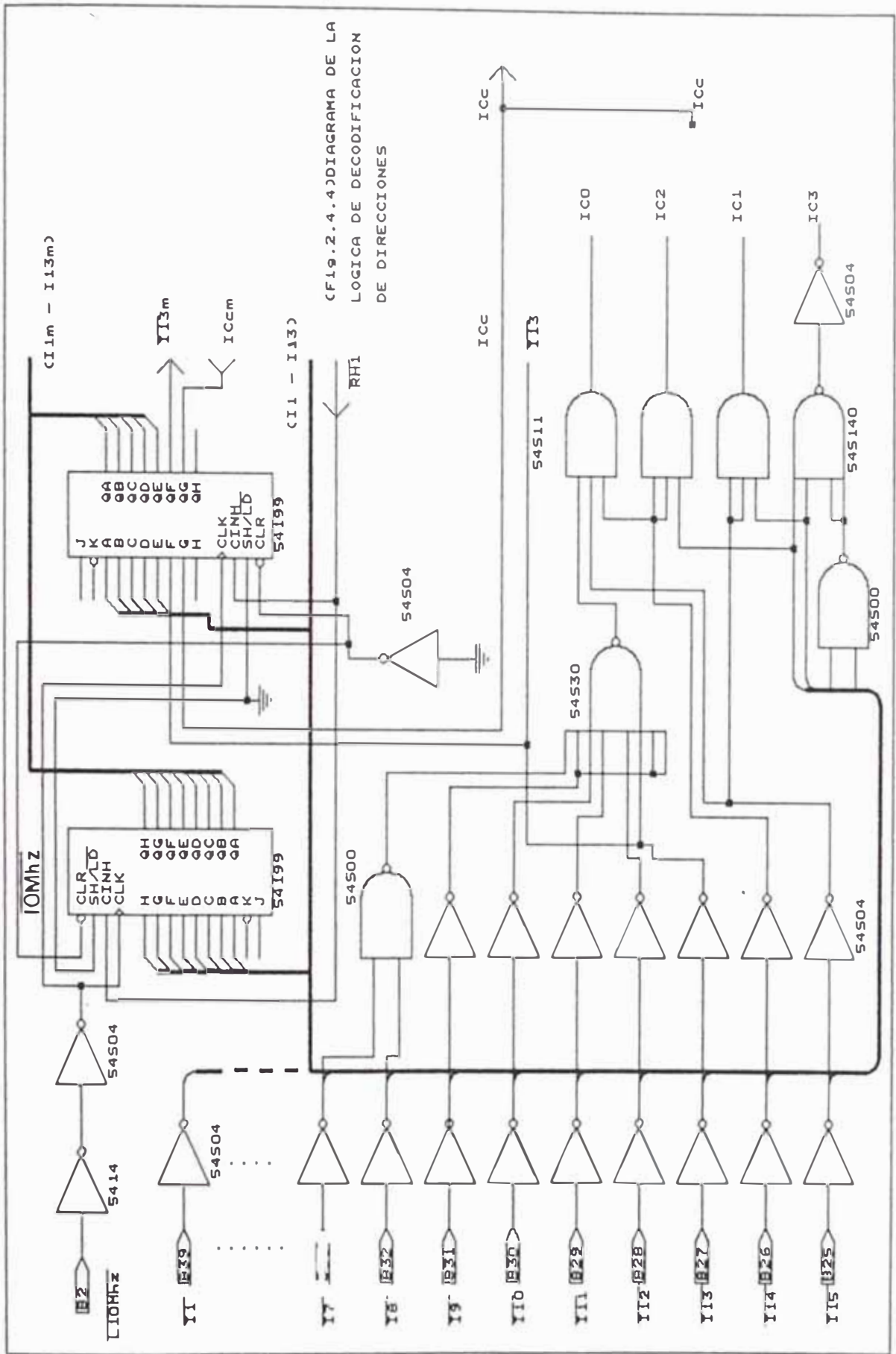


(F19. 2.4.3) DIAGRAMA DE LA LOGICA DE TEMPORIZACION DE ESCRITURA Y LA ENTRADA DE DATOS

<DIBO ÷ DTETS>

para la escritura de los datos ingresados al stock de memoria 8K x 16.

Descripción de la Lógica de Decodificación de las Direcciones: Las direcciones relativas a una localización interesada de memoria (I1 I15), se toman de la tarjeta INT en correspondencia con la señal LREADI y sincronizada con la bajada del clock L10MHz. Luego las tarjetas MEM instaladas, las memoriza y las decodifica. Esta decodificación conduce a reconocer a cual de los cuatro módulos de memoria pertenece la dirección en objeto. La memorización es activada por la señal RH1 y sirve durante el ciclo de lectura y escritura inclusive, ver (Fig. 2.4.4). El bus (I1÷I13) direccionará una de 8K (8182) palabras para el ciclo de lectura, y el bus (I1m÷I13m) direccionará la misma palabra pero para el ciclo de reescritura. Este último bus ha sido memorizado en los registros paralelos 54199, al igual que I13m y ICcm. Las señales I13 y I13m son las que habilitan la lógica de decodificación (por intermedio de los switches) de los ciclos de lectura y escritura respectivamente. Por intermedio de un solo jumper, ICc configurará una de las cuatro tarjetas (MEM1÷MEM4) al conectarse con un solo punto (ICo÷IC3) respectivamente, pudiendo tomar uno de los siguientes valores:



$$\begin{aligned}
 IC_0 &= \overline{I15} \cdot \overline{I14} \cdot (\overline{I13} \cdot \overline{I12} \cdot \overline{I11} \cdot \overline{I10} \cdot \overline{I9} \cdot (\overline{I7} \cdot \overline{I8})) \\
 &= \overline{I15} \cdot \overline{I14} \cdot (I13 + I12 + I11 + I10 + I9 + \overline{I8} \cdot \overline{I17}) \quad (\text{Ec. 2.4.7}) \\
 IC_1 &= \overline{I15} \cdot I14 \quad (\text{Ec. 2.4.8}) \\
 IC_2 &= I15 \cdot \overline{I14} \quad (\text{Ec. 2.4.9}) \\
 IC_3 &= \overline{\overline{I15} \cdot \overline{I14} \cdot (\overline{I13} \cdot \overline{I12})} \\
 &= I15 \cdot I14 \cdot (\overline{I13} \cdot \overline{I12}) \quad (\text{Ec. 2.4.10})
 \end{aligned}$$

De las ecuaciones anteriores se identificará los campos de memoria:

	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	Octal	Cap.	
CAM	1	1	1	1	1	1												
PO	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0		
A	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
																	⋮	192
	0	0	0	0	0	0	0	1	0	1	1	1	1	1	1	0	576	
IC0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	600	
																	⋮	8000
	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	37776	
IC1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	40000	
																	⋮	8192
	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	77776	
IC2	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	100000	
																	⋮	8192
	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	137776	
IC3	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	140000	
																	⋮	6094
	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	0	167776	
B	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	170000	
																	⋮	2098
	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	177776	

(Fig. 2.4.5) Mapa de memoria del ULP 12.

$$\begin{aligned}
 \% \text{Memoria No Volatil min} &= \frac{8000 + 8192 + 8192}{192 + 8000 + 8192 + 8192 + 2098} \\
 &= 91.42\%
 \end{aligned}$$

$$\begin{aligned}
 \% \text{Memoria No Volatil MAX} &= \frac{8000 + 8192 + 8192}{192 + 8000 + 8192 + 8192} \\
 &= 99.22\%
 \end{aligned}$$

Los bits (I1÷I15) decodificados dan origen a

las señales de selección de línea y selección de grupo, las cuales son utilizadas para habilitar los switches de corriente:

Los bits I1÷I3 habilitan una de las 8 líneas X.

Los bits I4÷I6 habilitan una de los 8 grupos X.

Los bits I7÷I9 habilitan una de las 8 líneas Y.

Los bits I10÷I13 habilitan uno de los 16 grupos Y.

Los bits I14 y I15 son utilizados para la decodificación del stack(Ver diagrama 2.4.1).

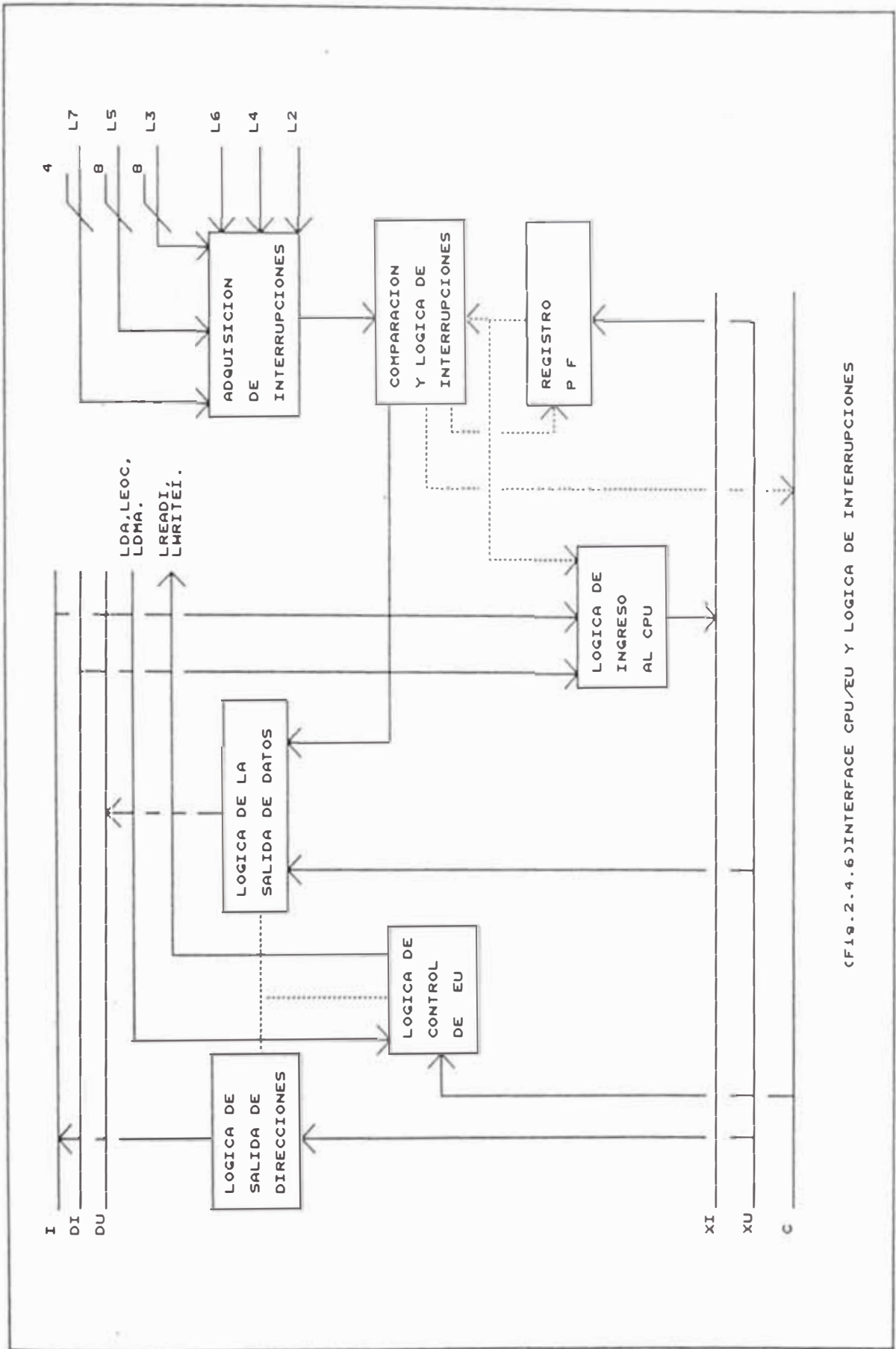
2.4.3 Descripción Funcional de la Tarjeta INT.

La tarjeta INT (Interfase-Interrupción) comprende esencialmente los siguientes bloques funcionales(Ver Fig. 2.4.6):

- Generador de señales de clock para todo el computador;
- Interfase lógica entre el bus CPU (Líneas XI, \overline{XU} , \overline{C}) y el bus EU(líneas I, DI, \overline{DU});
- Lógica general de interrupción y Registro PF (Priority-Flag).

Como se recalcó anteriormente y en adelante, sólo nos dedicaremos a hacer un análisis de las señales de control, datos y direcciones involucrada con las concernientes a las tarjetas MEM, por ejem. los controles $\overline{L10MHz}$, \overline{READI} , $\overline{LWRITEI}$, \overline{LDA} y \overline{LEOC} , los bus de datos DU y DI, y de direcciones así:

Descripción del Generador de Señales de Clocks: La unidad central utiliza tres diver-



(Fig. 2.4.6) INTERFACE CPU/EU Y LOGICA DE INTERRUPTACIONES

sas señales de clock denominados respectivamente: LCLDI, LCLIN, LCLOCK (Ver fig. 2.4.7). La señal de reloj LCLOCK realiza el avance del contador de microsecuencia (en la tarjeta RPS) para la generación de los comandos asociados a la línea C del CPU. Esta línea viene memorizada en los registros de soporte de los comandos (sobre cada tarjeta) con la señal de reloj LCLIN. El reloj LCLDI es utilizada para la memorización de los datos en las diversas tarjetas. El generador de relojes recibe además algunas señales de pausa:

-LSOSTUA, desde la tarjeta U.A.R. para la aceptación de la interrupción para direcciones impar.

-LSOSTRP, desde la tarjeta RPS ya sea para la pausa del ciclo fetch de instrucción ya examinada(100ns) o ya sea para la pausa pedida de la unidad de (shift) desplazamiento

-LSOSTES, proveniente de una tarjeta opcional del CPU.

-LSOSTIN, proveniente de la misma INT, para sincronizar el funcionamiento del CPU con la unidad del bus EU.

Todas estas señales son puestas operativas en sincronización con LCLIN y durante estas pausas el reloj LCLIN se convierte en uno de frecuencia 10MHz.

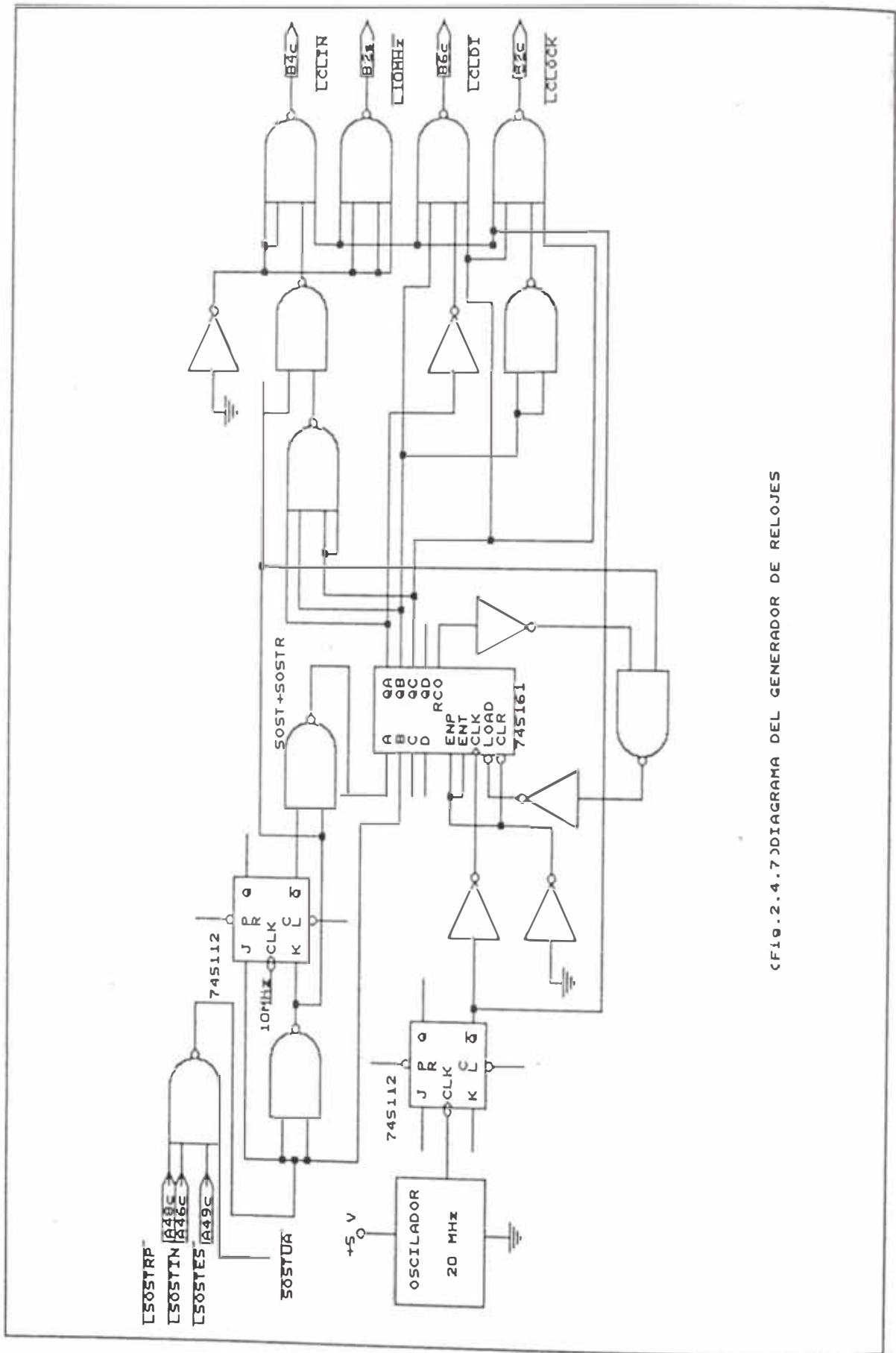


FIG. 2.4.7 DIAGRAMA DEL GENERADOR DE RELOJES

Descripción Funcional de la Lógica de control de EU: A este bloque llegan los microcomandos del bus C, los bits de los microcomandos que interesan al bus EU son C23=L, C22= S, C21=R, y las diferentes operaciones posibles en función de estos microcomandos son los siguientes:

-L,R:Operación de Lectura y Reescritura:

En este caso se entrega la dirección de la localización interesada sobre el bus XU.

-R/S:Ciclo de Reset y Escritura:

Constituidos de dos sucesivos microcomandos. Durante la primera microsecuencia se entrega la dirección sobre el bus XU y durante el siguiente se entrega el dato sobre el mismo bus XU.

-L/S:Ciclo de Lectura y Escritura:

Constituidos además en este caso de dos sucesivos microcomandos. Durante el primero se entrega la dirección sobre el bus XU y durante el siguiente se entrega el dato.

Esto es posible cuando las direcciones referidas son $\geq 100_{(8)}$ para la L', $R' = (C23)_c, (C21)_c$; y si se cumple $ML_{16} \cdot ML_{32}$ (proveniente de RPS) $S' (C22)_c$, para los ciclos de escritura. Ver (Fig.2.4.8). En nuestro caso hemos supuesto que por no contar con la tarjeta DMA la señal $\overline{LDMA} = 1$, luego se tienen las siguientes rela-

ciones

- Fase CR Set. = $[(C23)c + (C21)c] \overline{CLDI} = (L' + R') \overline{CLDI}$ (Ec.2.4.11)
Reset. = $\overline{LDMA.CR.FW} = CR.\overline{FW} = \overline{LREADI}$ (Set FR)
- Fase FR Set. = $\overline{LDMA.CR.FW} = CR.FW = \overline{LREADI}$ (Set FR) (Ec.2.4.12)
Reset. - LDA (set AT)
- Fase AT Set. - LDA (ResetFR) (Ec.2.4.13)
Reset. - \overline{CW}
- Fase CW Set. = $[(C22)c + (C23)c.(C21)c] \overline{CLDI} = (S' + L'.R') \overline{CLDI}$
Reset. = $\overline{CW.AT} - \overline{LWRITE}$ (Set FW) (Ec.2.4.14)
- Fase FW Set. = $\overline{CW.AT} - \overline{LWRITE}$ (Reset CW) (Ec.2.4.15)
Reset. = \overline{LEOC}
- Fase WRITE Set. = $\overline{ML32}. \overline{ML16}. (C22). \overline{CW} - (C22)c \overline{CW} = S' \overline{CW}$
Reset. = \overline{LEOC} (Ec.2.4.16)
- Fase DMA Set. = $\overline{LDMA.AT.FV.FR} + \overline{LEOCLDMA} - \overline{LDMA} (\overline{AT.FW.FR} + \overline{LEOC}) = 0$
Reset. - \overline{LDMA} (Reset Directo) = 1 (Ec.2.4.17)
- Fase PRE SOSTIN Set. - $(C23)c.\overline{CLDI} = L' \overline{CLDI}$ (Ec.2.4.18)
Reset. - LDA

La fase PRE SOSTIN da origen a la pausa LSOSTIN en los casos siguientes:

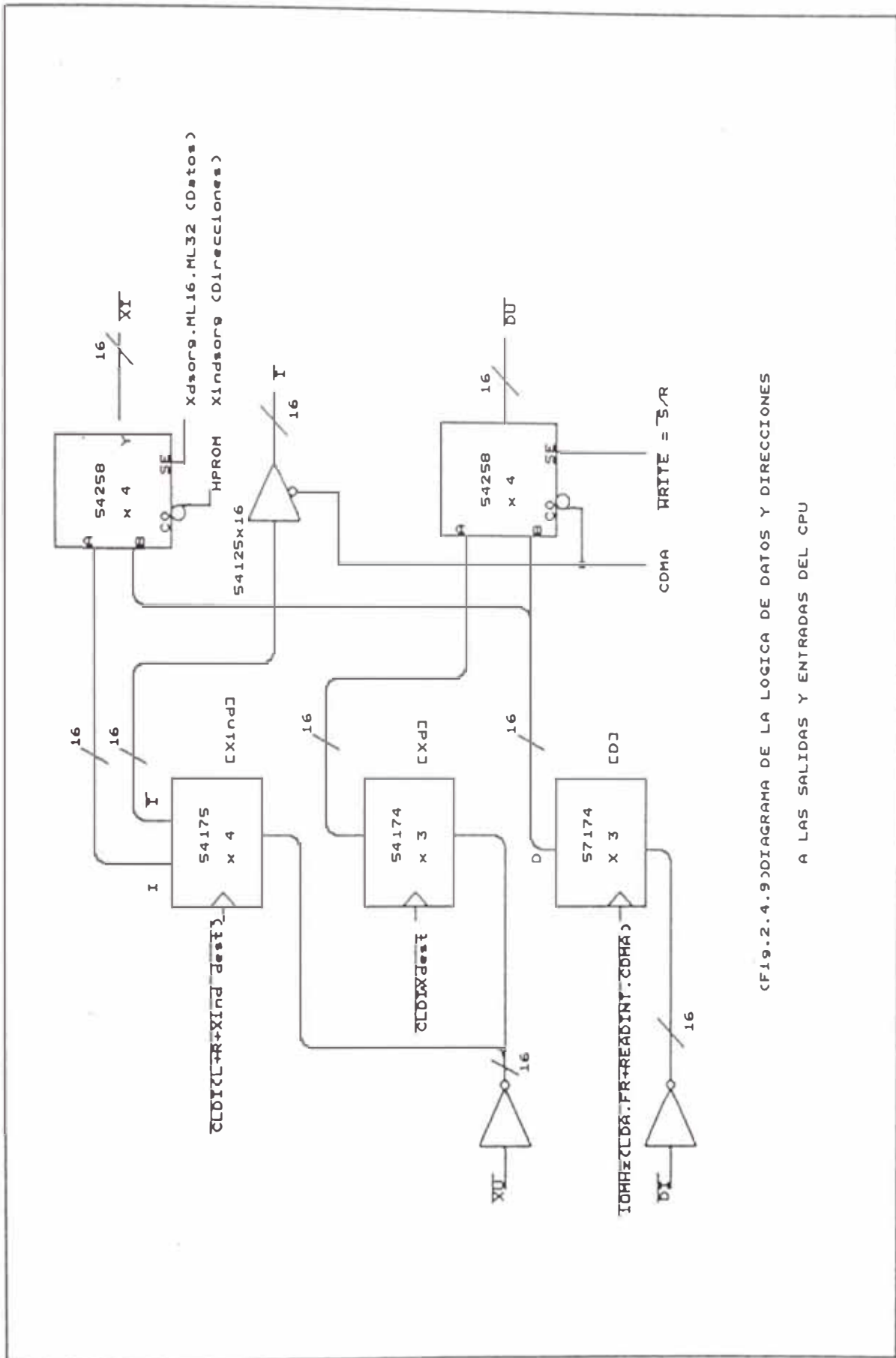
- Para el Ciclo de Lectura (microcomando L) :
desde el primer LCLIN sucesivamente hasta el final de LDA.
- Para la fase CW (Re-escritura en espera):
desde el primer LCLIN sucesivamente hasta el término de la fase CW.

Un ciclo de memoria puesta operativo por LCLDI, puede encontrar o no la fase FW relativa al ciclo anterior, y si es afirmativo, por intermedio del contador 54161 y la pausa LSOSTIN se creará la señal ficticia LEOC para apagar esta fase FW luego de $(1.2 + 0.4) \mu s$ y prose-

guir con el programa en curso. Una particular señal $\overline{\text{LWRITE}}$ es utilizada para discriminar el ciclo escritura del de Reescritura (Ver Diagrama 2.4.2).

Descripción de la Lógica (de las salidas) de datos y Direcciones y de las entradas del CPU:

La dirección viene memorizada transcurriendo $\overline{\text{XU}}$ en correspondencia de $\overline{\text{LCLDI}}$ con comando L,R o Xind dest; este último no habilita un ciclo de lectura pero utiliza el registro de dirección [Xind] como sustento. Ver (Fig. 2.4.9), luego tomará la línea I del EU, excepto cuando aparezca la señal $\overline{\text{LCDMA}}$. El dato de salida del CPU viene memorizado sobre el registro [Xd] en correspondencia de CLDI con comando Xd d st (que acompaña siempre a un ciclo de escritura). El dato de entrada al CPU DI viene memorizado en el registro [D] en correspondencia de LDA o READINT. consentidas de la señal CDMA. El dato de salida DU es obtenido del registro D o del registro Xd, para el ciclo de lectura-reescritura o para R/S o L/S, respectivamente. A través del CPU la tarjeta INT alimenta la línea XI en el caso del contenido de direcciones para cuando es habilitado por el comando provenientes de unas PROM Xindsorg y para el caso de contenido de datos otro comando similar y además habilitado para las direc-



(Fig. 2.4.9) DIAGRAMA DE LA LOGICA DE DATOS Y DIRECCIONES

A LAS SALIDAS Y ENTRADAS DEL CPU

ciones ML (memorizado desde la tarjeta RPS) >

100₍₈₎[ML1e+ ML32].

CAPITULO III

FUNDAMENTOS TEORICOS BASICOS DE LAS TECNOLOGIAS A TRATAR

A facultad del lector, este capítulo puede revisarse antes o durante el análisis del segundo capítulo como una manera de repaso, para que a continuación se entienda la síntesis hecha en el último capítulo. Se hace hincapié, que sólo se hará una revisión de la teoría indispensable a utilizarse, para un entendimiento claro y conciso por el investigador.

3.1 Revisiones Preliminares Básicas.

Primeramente se explicarán los aspectos indispensables como base teórica de los puntos que van a continuación, y que se desarrollan en los capítulos II y IV. Hemos obviado las demostraciones de fórmulas y ecuaciones.

3.1.1 Circuitos Lineales de Primer Orden. (3)

Daremos antes las siguientes definiciones:

Red Eléctrica. Conjunto de elementos que conectados entre sí permiten de alguna manera el transporte, disipación, transformación y/o almacenamiento de la energía.


Elementos Activos. Son aquellos que de alguna

manera pueden hacer entrega de energía a la red, dependiendo está de la disposición de la misma (Potencia Eléctrica Negativa). Ejm. Fuentes de V, I, etc.

Elementos Pasivos. Son los que pueden disipar y almacenar energía o en algunos casos devolverla (pero de ninguna manera en mayor cantidad de la almacenada) (Potencia Eléctrica Positiva). Ejm. Resistencias (R), Condensadores (C) y Inductancias (L).

Dispositivos Lineales. Aquellos en que las variables fundamentales en electricidad (V y I) guardan una relación simple proporcional. Ejm. R, L, C.

Dispositivos No Lineales. No guardan una simple relación (V y I) proporcional. Ejm. Diodos (D), Transistores de Juntura (TR: NPN, PNP) y Efecto de Campo (FET); Núcleos Magnéticos; Circuitos Integrados (IC's), etc.

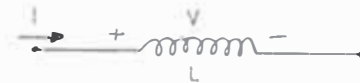
Resistencia (R). Nos indica (Ohmio = Ω) en forma proporcional como varía el voltaje (V) o fuerza electromotriz (f.e.m.) que se opone al paso de la corriente, $V = I \cdot R$. SIMBOLO. 

Inductancia (L). Nos indica (Henrio = H) la capacidad de producir Flujo Magnético (Φ) por unidad de corriente circulante. La Ley de Lenz nos relaciona con V y I:

f.e.m. = $-\frac{d\Phi}{dt}$, como elemento pasivo (caída de potencial)

$$V = \frac{d\Phi}{dt} = \frac{d\Phi}{di} \times \frac{di}{dt} \rightarrow V = L \frac{di}{dt} \quad \text{con} \quad L = \frac{\Delta\Phi}{\Delta i}$$

Depreciamos el efecto de la remanencia magnética, la histéresis y la saturación de núcleos. SIMBOLO:



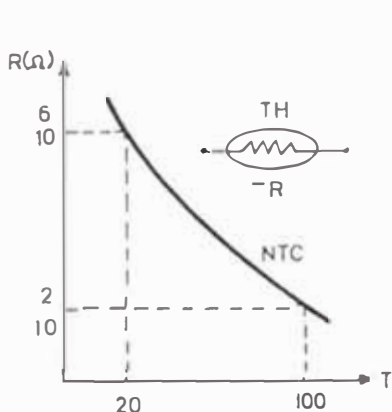
Capacitancia (C). Nos indica (Faradio=f) la capacidad de almacenar carga eléctrica (q) por unidad de voltaje sometido. La Ley de Faraday nos relaciona con V y I:



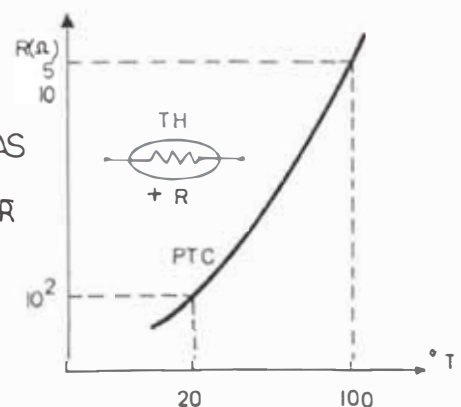
$$i = \frac{dq}{dt} = \frac{dq}{dv} \times \frac{dv}{dt} \rightarrow i = C \frac{dv}{dt} \quad \text{con} \quad C = \frac{\Delta q}{\Delta v}$$

Depreciamos los efectos de fuga y de rigidez dieléctrica en los elementos constitutivos.

Termistor (RT). Es una resistencia construida a base de semiconductores, en el cual varía su valor (en Ω) al variar la temperatura (en $^{\circ}\text{C}$). Estos pueden ser de elevado valor de coeficiente de temperatura [NTC (negativo) y PTC (positivo)]. Es muy usado en medición de temperatura (uso médico e industrial), estabilización de circuitos, etc. Símbolo:



CURVAS CARACTERISTICAS DEL TERMISTOR

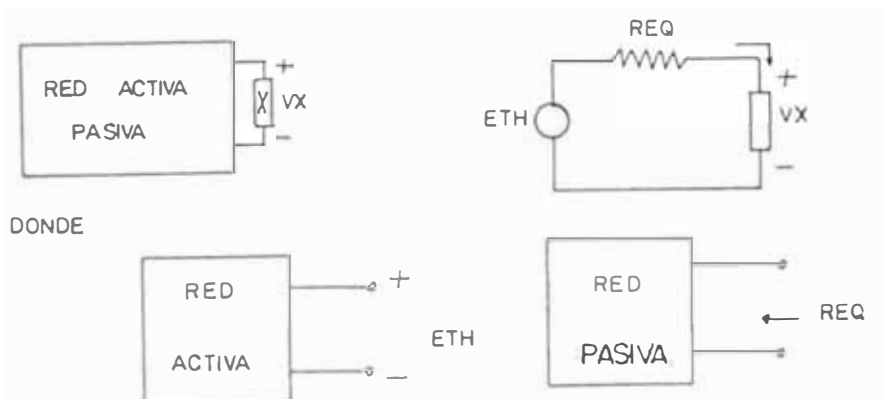


1º Ley de KIRCHOFF(Conservación de la Energía Cinética). En un conductor de unión de dos o más elementos, la corriente que ingresa al nudo es igual a la que sale del mismo:

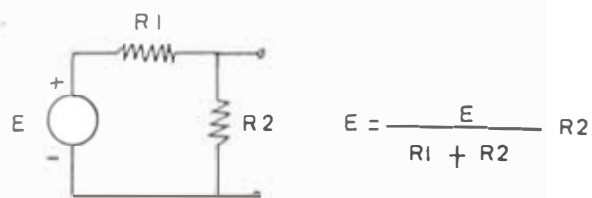
ΣI llegan al nudo = ΣI salen del nudo.

2º Ley de KIRCHOFF(Conservación de la Energía Potencial). En toda trayectoria cerrada, dentro de una red eléctrica la suma de tensiones de los elementos constituyentes debe ser igual a cero: ΣV malla cerrada = 0

Teorema de Thevenin. Toda red activa se puede reducirse a una sola fuente real de tensión donde la fuerza electromotriz es la que aparece en la red, retirando la rama incógnita (circuito abierto) y la resistencia el equivalente de la red, hecha pasiva, así:



Divisor de Tensión. Es un arreglo de elementos en serie que permite utilizar una parte de la tensión generada. Ejm.



Luego:

Circuito C. Asumiendo que la fuente E es una función Escalón de amplitud E: $E\mu_{-1}(t)$, por la Ley de Faraday: $i_c = C \frac{dV_c}{dt}$, V_c también

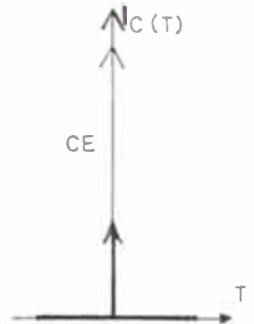
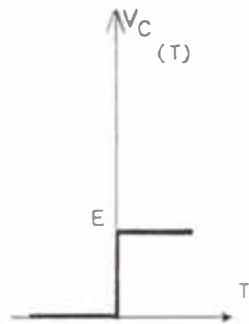
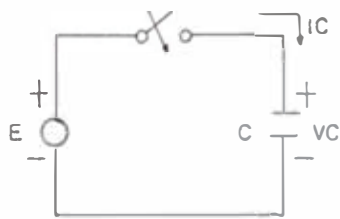
tiene la forma de Escalón pues es de Valor Cte. E para $t > 0$, y para $t < 0$: $i_c = C \frac{d(0)}{dt} = 0$

Para $t > 0$: $i_c = C \frac{d(E)}{dt} = 0$

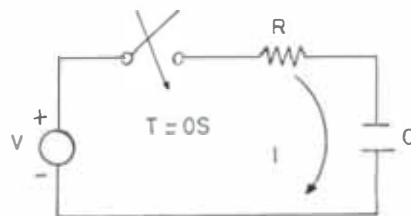
Para $t = 0$: $i_c = C \lim_{\Delta t \rightarrow 0} \frac{\Delta V_c}{\Delta t} = C \lim_{\Delta t \rightarrow 0} \frac{E-0}{\Delta t}$

Luego la función $i_c(t)$ se denomina Impulso y como proviene de la derivada de un Escalón de paso E y multiplicando por C se tiene :

$$i_c(t) = C [E\delta(t)]$$



$\left\{ \begin{array}{l} \text{Conclusión:} \\ t = 0 \langle \rangle \text{ c.c. ya que } i(0) = \infty \text{ (C es un corto circuito)} \\ t \rightarrow \infty \langle \rangle \text{ c.a. ya que } i(\infty) = 0 \text{ (C es un circuito abierto)} \end{array} \right.$



Transitorios de primer orden en circuitos R=C.

Deben su nombre a que en la ecuación de equilibrio aparece una ecuación diferencial de primer orden. Así: Cuando se hace la conexión

de la fuente ($V=Cte$) se genera un transitorio y aparece una $i(t)$, por lo que:

$$V=VR + VC = iR + \frac{1}{C} \int i dt, \text{Resolviendo: } i(t) = i(0) e^{-t/RC}$$

Verificando con la fórmula general de sistemas de 1º Orden:

$i(0)=V/R$ (ya que C es un corto circuito)

$i(\infty)=0$ (ya que C es como un circuito abierto)

$T=RC$, constante de tiempo de un circuito R-C; por tanto:

$$i(t) = 0 - [0-V/R]e^{-t/RC} \rightarrow i(t) = \left(\frac{V}{R}\right) e^{-t/T}$$

$$\text{También: } V_c(t) = \frac{1}{C} \int i(t) dt = \frac{1}{C} \frac{V}{R} \int e^{-t/RC} dt \rightarrow$$

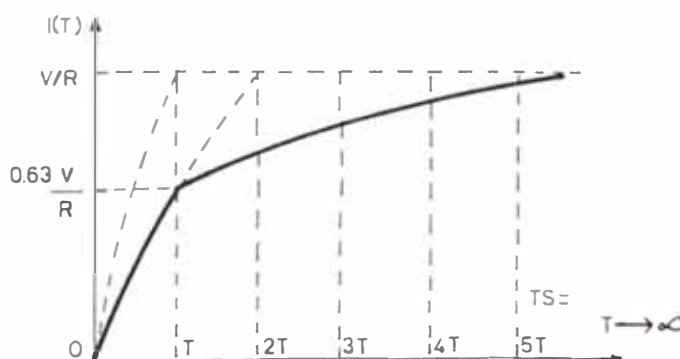
$$V_c(t) = V (1 - e^{-t/T}), \text{ Comprobando:}$$

$V_c(0)=0$ (pues el C es como corto circuito)

$V_c(\infty)=V$ (pues el C es como circuito abierto y toma la tensión de la fuente)

Además: T tiempo (en seg) que demora un transitorio en desarrollarse un 63% quedando 37% para el resto.

$t_s = 5T$ [(t de asentamiento, cuando se considera que el transitorio termina pues hay una diferencia menor que el 1% con el valor t (estable)].

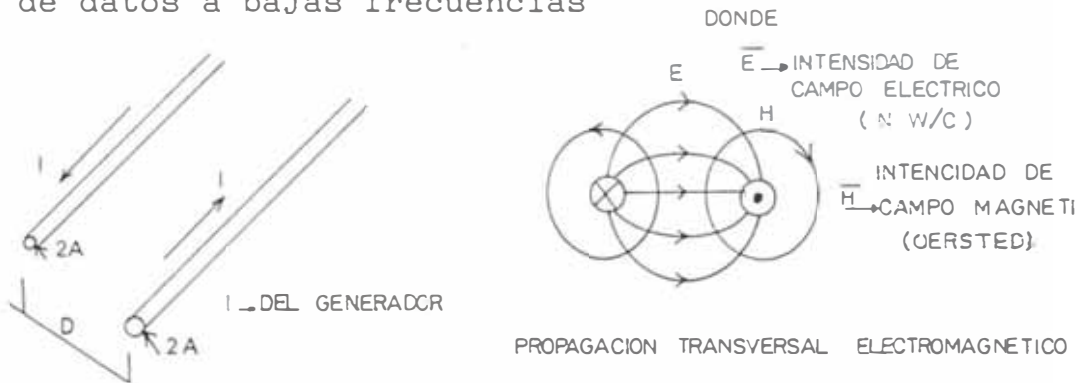


3.1.2 Líneas de Transmisión. (4)

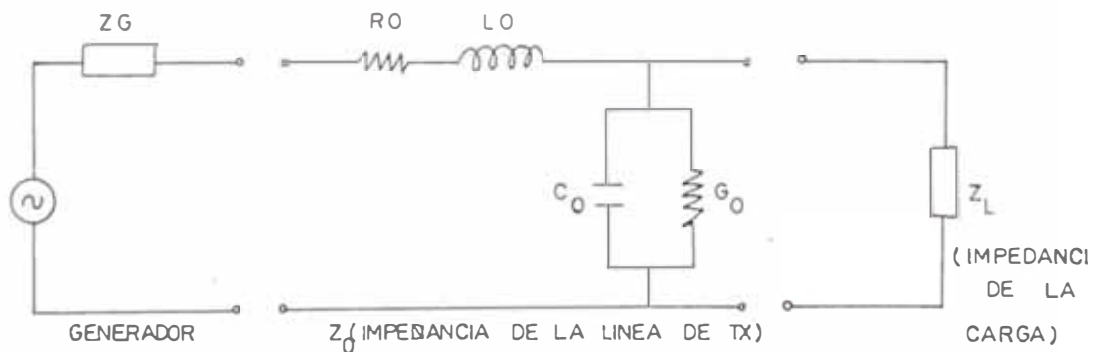
Son Estructuras Físicas que se emplean para la propagación de la energía electromagnética, para que guíen o conduzcan las ondas de la mejor manera posible. Las más comunes son Línea de dos Conductores, Cable Coaxial y Guías

de Onda.

Líneas de dos Conductores. Empleadas para la energía alterna [(50 y 60)Hz], en telefonía telegrafía y generalmente para la transmisión de datos a bajas frecuencias



Características de Impedancia. Se llega a transformar los efectos electromagnéticos a unos parámetros distribuidos por unidad de longitud, así:



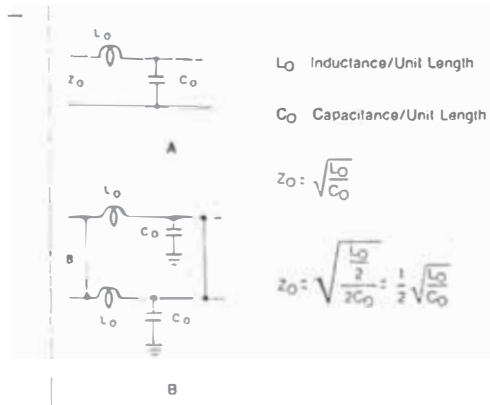
Donde: $R_0 \rightarrow (\Omega/m)$ representa la imperfección del conductor (en nuestro caso despreciable).

$G_0 \rightarrow (mho/m)$ es debido a la corriente de fuga que puede existir de un conductor a otro (en nuestro caso despreciable).

$Z_0 = \frac{L_0}{C_0}$, donde : $L_0 \rightarrow$ Inductancia/Unidad de Longitud
 $C_0 \rightarrow$ Capacitancia/Unidad de Longitud

En Paralelo :

**LINEA DE
TRANSMISION
EN PARALELO**



La impedancia de dos líneas de transmisión en paralelo se reduce a la mitad.

Reflexión. La Energía que entrega el generador a la línea viajará por dicha línea hasta llegar a la carga, para que luego una parte de ésta regrese a su origen (efecto de eco) y repetir el recorrido, permaneciendo en la línea implicando una pérdida paulatina de energía (por la disipación hecha por la carga) (Atenuación)

Adaptación de Impedancia. Si hacemos $Z_L = Z_0$, se tendrá tal adaptación de impedancia, teniendo una línea de transmisión sin pérdidas, sin reflexión, también llamada línea correctamente adaptiva o no resonante.

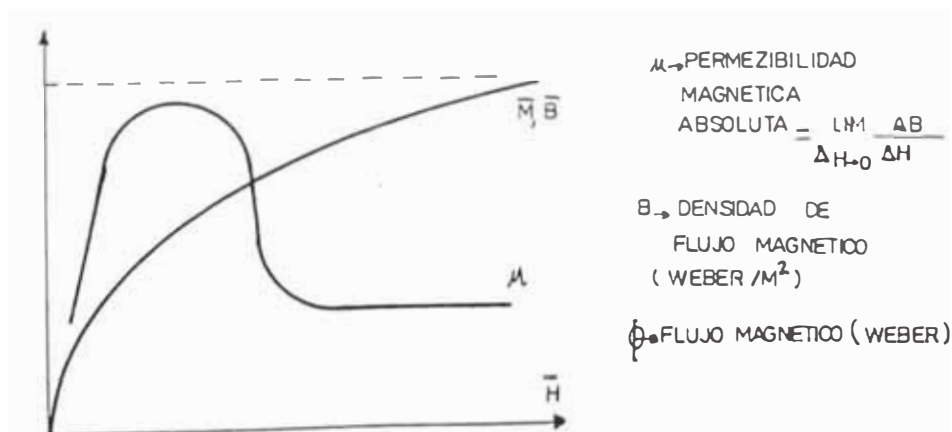
3.1.3 Conceptos Magnéticos. (4)

A continuación enumeraremos las siguientes definiciones:

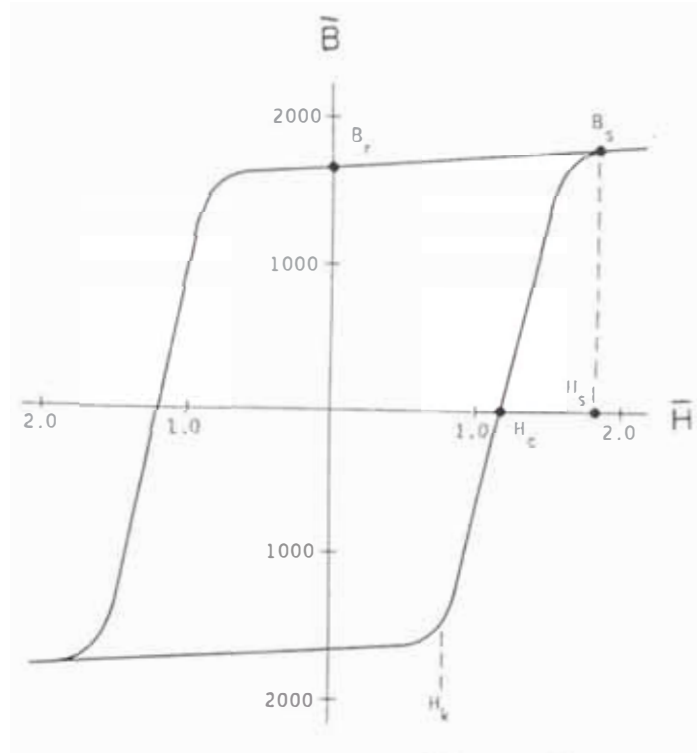
Materiales Ferromagnéticos. Algunos materiales tales con el Fe, N, Co, Ferrita, etc. presentan una magnetización apreciable cuando se le aplica un campo externo y aún después de suprimirlo. La teoría explica este comportamiento dejando de lado los fenómenos a nivel mole-

cular y mas bien enfocando el problema para grupos muy grandes de moléculas cuyas características del efecto spin (de naturaleza cuántica y muy compleja) son análogas. Supongamos por ejm.: Un cuerpo ferromagnético en el que se distinguen cuatro dominios, donde normalmente: $\sum_i \vec{M}_i = 0$ ($M_i \rightarrow$ Vectores Magnetización), pero al aplicar un campo externo H_0 se observa que el dominio orientado experimenta un crecimiento ($\sum_i \vec{M}_i \neq 0$). Si H_0 se hace tan grande, se llega a cambiar la orientación de los dominios (rotación de los dominios) hasta la misma dirección de H_0 . Este tipo de magnetización permanece aún después de suprimir H_0 (manera de construir un imán).

Curva de Magnetización y el Fenómeno de Histéresis. El fenómeno anterior es un proceso disipativo es decir que consume energía de modo que la magnetización varía como el campo exterior en forma no lineal, este se evidencia cuando se expresa gráficamente los resultados experimentales de aplicar campo exterior a una muestra ferromagnética, así:



LAZO DE HISTERESIS
PARA UN MATERIAL
DE FERRITA



Muchas veces se prefiere graficar \bar{B} vs \bar{H} , teniendo forma semejante, pero el área de Lazo de Histéresis es proporcional a la energía disipada por unidad de volumen en el material ferromagnético como consecuencia del reordenamiento de los dominios. En consecuencia notar la magnetización remanente B_r que se observa cuando $\bar{H} = 0$ y que se debe a la rotación del dominio. El campo \bar{H} que se requiere para anular dicha magnetización remanente se denomina campo coercitivo (H_c). Notar que el máximo valor de B es $+B_s$ (saturación positiva, al cual denominaremos estado lógico 0) y el mínimo es $-B_s$ (saturación negativa, al cual denominaremos estado lógico 1)

Circuito Magnético con Toroide(núcleo) de Ferrita. Dado el toroide, se tiene sobre él un devanado de N espiras por las que circula una

corriente I, se asumirá una permeabilidad magnética (μ_r) constante. La simetría de este ejm. tiene las líneas de fuerza que son circunferencias concéntricas y que el campo magnético existe sólo dentro del material. De la Ley de

Circulación de Amper: $\oint_C \mathbf{H} \cdot d\mathbf{l} = NI \rightarrow \mathbf{H} = \frac{NI}{2\pi r}$

De las ecuaciones de Gauss: $B = \mu H = \mu_0 \mu_r H$; y

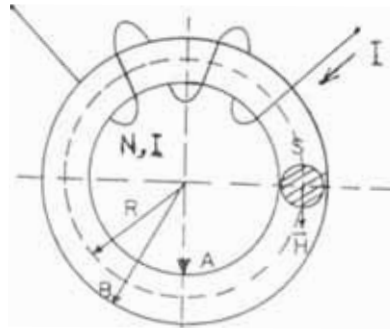
$\Phi = \int_S \mathbf{B} \cdot d\mathbf{S}$, se tiene: $\Phi_{prom} = \frac{\mu_0 NI k_m}{2\pi r_{prom}}$, donde:

$r_{prom} = \frac{a+b}{2}$, μ_0 Permeabilidad magnética del vacío

$B = \left(\frac{\mu_0 k_m}{2\pi r_{prom}} \right) NI$, nótese que el término entre paréntesis depende de la geometría y del tipo

de material, en consecuencia el valor de B va ha ser directamente proporcional a la corriente que pasa por el devanado, siendo su dirección perpendicular a la radial (coplanar) con el sentido que indica la regla de la mano derecha. Ahora el mayor valor positivo + B_s dependerá de una corriente mayor (en el mismo sentido de I), si la I_{max} no es suficiente para llegar a tal densidad de flujo magnético, se puede agregar otro devanado de igual características que ayude con un flujo adicional (de igual dirección y sentido que H) para llegar a tal valor $max + B_s$. Análogamente se procede para el valor mínimo - B_s pero invirtiendo los sentidos de las corrientes. Si se agregara un tercer devanado para sensar tales cambios de densidad de flujo magnético, por la Ley de

Lenz se induciría una $fem = - \frac{d\phi}{dt}$
(en el tercer devanado) en donde tal voltaje sería apreciable para los cambios de $+B_s$ a $-B_s$ (y viceversa) y no para los de $+B_r$ a $+B_s$ (y viceversa). Durante la conmutación de los estados lógicos siempre hay una pérdida de energía en el núcleo (que dependerá del valor de H_c) que será convertida en calor. Si el calor no puede ser disipado rápida y suficientemente, la temperatura del núcleo sube hasta un punto llamado curie, donde cambian las propiedades magnéticas, y el núcleo se destruye. Donde: $S_r \rightarrow$ Cambio de Flujo de Conmutación Relativa. La disipación de calor dependerá de la construcción mecánica, para esto se debe asumir un adecuado disipador de calor en las condiciones ambientales dadas, y así se minimizará $B_s - B_r$ y maximizará $B_s + B_r$, por una geometría toroidal que tenga entrehierro (gap) el cual contendrá mayor flujo (menos flujo de fuga). Para reducir la corriente de excitación se debe tener el radio externo $r=b$ lo menos posible. Así los materiales de ferrita en consecuencia son usados casi exclusivamente en el campo de almacenamiento en memorias de núcleos magnéticos.

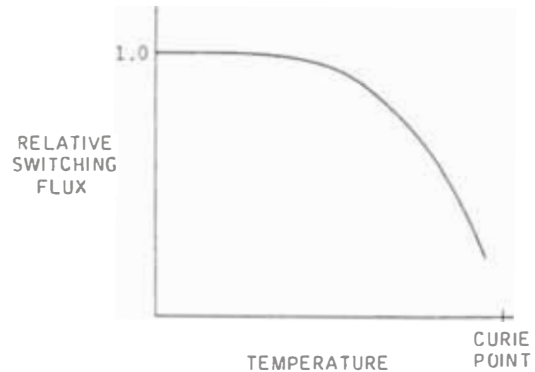


PARA

$$A < R < B: H \neq 0, \mu R = KM$$

$$A > R \wedge B < R: H = 0$$

CURVA DE
CURIE PARA
UN NUCLEO DE FERRITA



Transformador de Pulsos. Si a la figura anterior le agregamos otro devanado (secundario) con tal que se haga una transformación de energía electromagnética hacia el secundario, mediante la Ley de Faraday se demuestra: $fem_1/fem_2 = N_1/N_2$, esto es la fuerza electromotriz aplicada al primario, es a la inducida en el secundario, como lo son su número de vueltas respectivamente. Con esto se logra un aislamiento eléctrico entre los dos circuitos y el acople se realiza mediante el flujo magnético. El punto del primario, indica por donde ingresa la corriente al devanado respectivo; el punto del secundario indica por donde sale la corriente del devanado respectivo. En consecuencia la fem_1 tendrá signo diferente al de fem_2 . Ahora cuando las señales de entrada

son de corriente alterna de mucha mayor frecuencia, la construcción de los devanados, entrehierros, y el material magnético mismo (ferritas y aire) son orientados a ser buenas antenas(y no de potencia), tal que no sean considerables las pérdidas por Histéresis(en AC el lazo de Histéresis es más grande que en DC, debido a que existen corrientes parásitas, el entrehierro hará que estas pérdidas sean menores aún). Esto es si en el primario se aplica un tren de pulsos de alta frecuencia, otro tren de pulsos(amplificados) de iguales características se tendrá en el secundario(lo que no sucede con otro tipo de transformadores debido a las pérdidas por las corrientes de Histéresis).

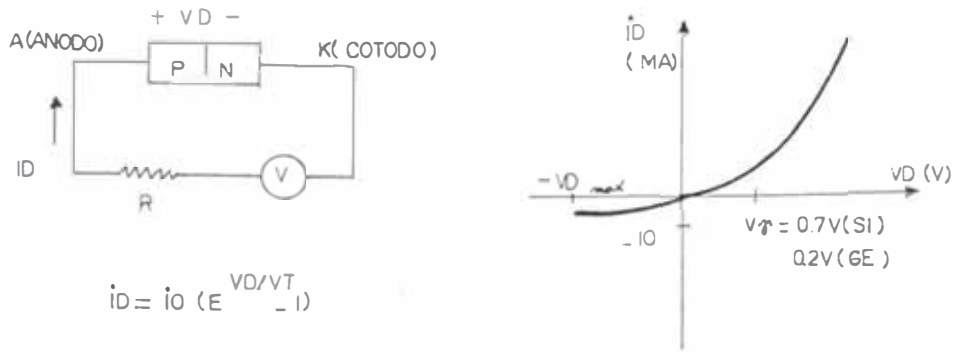
Diafonía.-Cuando dos líneas conductoras adyacentes están muy próximas (por varios milímetros por ejm.) se ocasionan acople electromagnético respectivo, con voltaje inducido(el acoplamiento es inversamente proporcional al cuadrado de la separación y directamente proporcional a la frecuencia de los componentes de la señal) por la Ley de Lenz de la inducción, con un sentido que se opone al cambio del flujo magnético.

3.1.4 Diodos de Conmutación.⁽⁵⁾

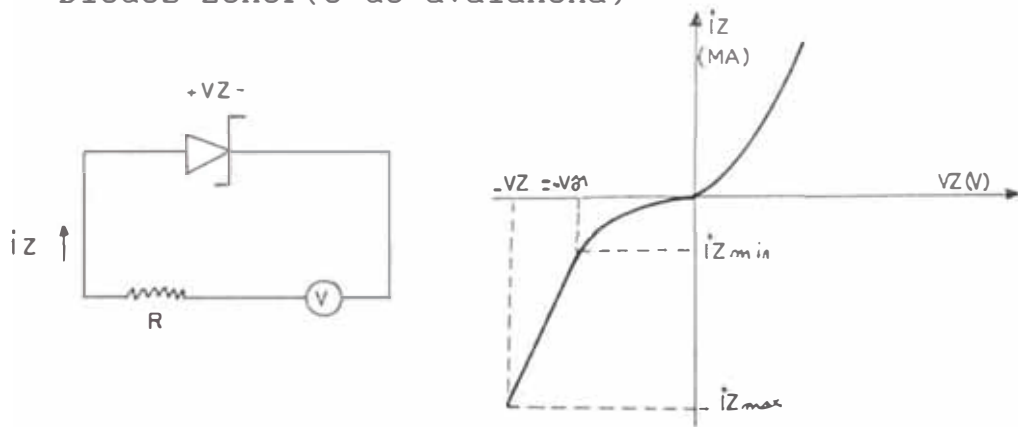
Primeramente los diodos son unos dispositi-

vos electrónicos no lineales, contruidos por la unión de dos materiales semiconductores (tiene una conductividad intermedia entre un buen conductor y un buen aislante) tipo P [elementos Ge o Si puros(tetravalentes) agregados de elementos trivalentes, donde los portadores mayoritarios son huecos] y tipo N [elementos Ge o Si puros (tetravalentes) agregados de elementos pentavalentes, donde los portadores mayoritarios son electrones en serie], tal que cuando se polariza directamente(terminal del voltaje positivo conectado al material P y el negativo al material tipo N) el diodo conduzca [una corriente atraviese la juntura desde el ánodo(material tipo P) al cátodo(material tipo N)]; y se polariza inversamente(terminal del voltaje positivo conectado al material tipo N y el negativo al material tipo P) el diodo no conduce (se comporte como aislante, es decir una corriente insignificante atraviesa la juntura desde el cátodo al ánodo). Aquel mínimo voltaje que se aplica en polarización directa para que empiece la avalancha de electrones se llama Tensión Umbral (V_T). Ahora los diodos de conmutación son aquellos en que inmediatamente después(orden de nseg) de haber alcanzado el valor de V , aparece tal avalancha de electrones(se usan en

circuitos de acción rápida).



También consideraremos aquellos diodos que cuando se polarizan inversamente, llegan hasta un voltaje de enclavamiento, pudiendo la corriente variar (hasta un max.) para este voltaje casi constante, los cuales son llamados Diodos Zener (o de avalancha)

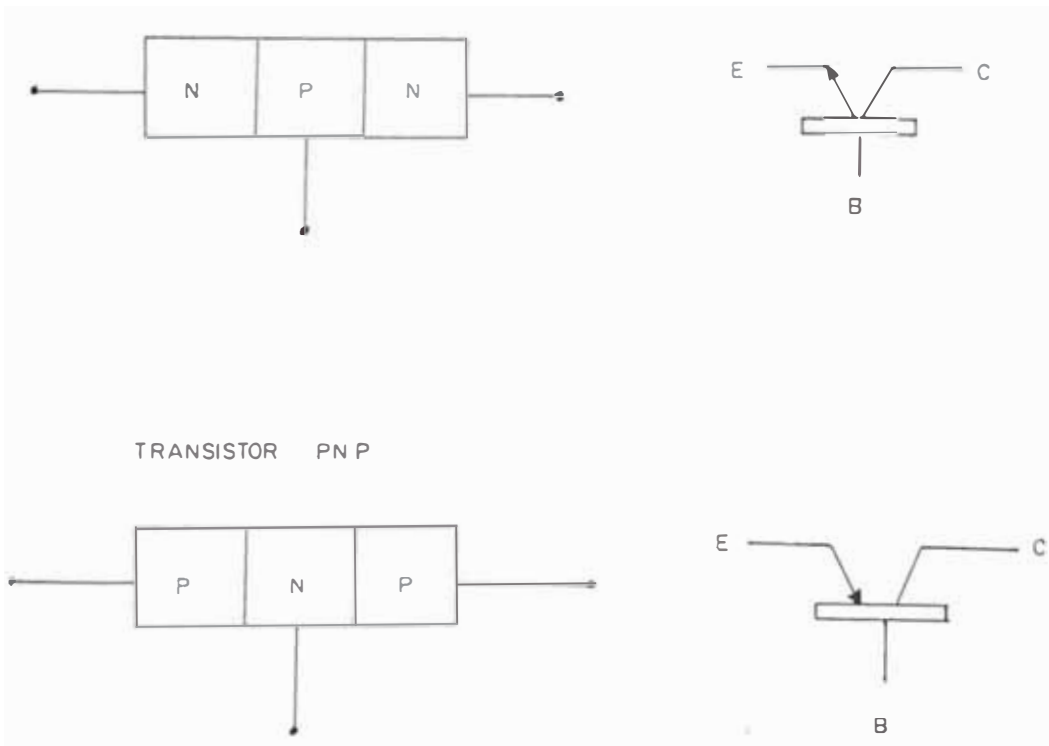


3.1.5 Transistores de Juntura o Bipolares. (5)

Son aquellos dispositivos no lineales conformado por tres materiales semiconductores (Si o Ge) en serie, llamados Base (B), Emisión (E) y Colector (C) y de acuerdo como se configure (circuito de entrada y salida) tal dispositivo servirá como amplificador de voltaje o corriente, adaptador de impedancias, etc. Está construido por dos junturas (BE y CB)

y según tipo de material estos transistores bipolares pueden ser NPN o PNP (la B va al medio, siendo su espesor mucho menor que la de E y C). Las configuraciones pueden ser a Emisor Común (Ec), Base Común (Bc) y Colector Común (Cc). Del funcionamiento de los diodos se debe polarizar directamente o inversamente a los circuitos de entrada y salida indistintamente, para tener un funcionamiento del transistor en sus zonas Activa (directa o inversa), Saturación o Corte.

TRANSISTOR NPN



Condiciones de Polarización:

Zona o Modo de Trabajo	Unión de Entrada	Unión de Salida	U s o s
ACTIVA DIRECTA	DIRECTA	INVERSA	AMPLIFICA POT. - Opera en forma lineal
CORTE	INVERSA	INVERSA	SWITCH ABIERTO ($I_B \neq 0$, $I_C = -I_{CO}$, V_{BE} pequeño) - Lo usan circuitos lógicos.
SATURACION	DIRECTA	DIRECTA	SWITCH CERRADO ($I_C \approx I_E$, $V_{BE} = \max$) - Lo usan circuitos lógicos
ACTIVA INVERSA	INVERSA	DIRECTA	POCO EMPLEADA - Menor amplificación que en la AD

Tensión BE(V_F). Va a depender en que zona esté trabajando el transistor(TR), así también dependerá de la temperatura al igual que el performance de todo el TR.

	VCE,sat	VBE,sat=V _σ	VBE,activa	VBE*,umbral=V _F	VBE,corte
Si	0.2 v	0.8 v	0.7 v	0.5 v	0.0 v
Ge	0.1 v	0.3 v	0.2 v	0.1 v	-0.1 v

* Estas tensiones varían con la temperatura

Tensiones Típicas del Transistor de Unión NPN a 25°C

Criterios de Diseño.-Desde que se cumple: $I_E = I_B + I_C$, donde para la Zona Lineal la Eficiencia de Inyección: $\alpha = \frac{I_C}{I_E} = \frac{i_{controlada}}{i_{inyectada}}$ (AI para BC), y el factor de transporte: $\beta = \frac{I_C}{I_B} = \frac{i_{controlada}}{i_{control}}$ (

Al para E_c), se tiene que: $\beta = \frac{\alpha}{1-\alpha}$ y $\alpha = \frac{\beta}{1+\beta}$

Estado de Corte: $I_E=0 \Rightarrow I_c=I_{c0}$, donde

$V_{BE,corte} \approx \begin{cases} -0.1v & (Ge), \text{ y } I_{c0} \text{ son las} \\ 0v & (Si) \end{cases}$

corrientes de polarización inversa cuando el E o la B están a circuito abierto respectivamente.

Estado de Saturación: $I_{B,sat} = \frac{I_{c,sat}}{\beta_{min}}$, donde:

$V_{BE,sat} \approx \begin{cases} 0.3v & (Ge) , \text{ y } V_{CE,sat} = 0.1v & (Ge) \\ 0.8v & (Si) & 0.2v & (Si) \end{cases}$. Una

condición es que: $|I_B| \gg \frac{|I_c|}{\beta_{min}}$, y otra es que el

VCB sea positivo para PNP y negativo para NPN.

3.1.6 Dispositivos CMOS. (5)

Antes de revisar los diversos tipos de elementos digitales, debemos considerar primeramente algunas reglas para estos circuitos integrados como son los niveles lógicos que son dos: Nivel Lógico 1 [$+V_{DD}=(3a 15)v$] y Nivel Logico 0 [$-V_{ss}=0v$]. En consecuencia van a ser contruidos de transistores de efecto de campo(FET) de canales tipo N y P[Drenador(D) a Surtidor(S), por Compuerta(G)] donde se utiliza semiconductores de óxido metálico complementario(CMOS), los cuales son de bajo consumo de energía ($\approx 200mw$), menos sensitivos al ruido en las líneas de alimentación y tierra(en función del voltaje de alimentación de la fuente principalmente y del sincronismo entre los picos de ruido y transiciones a la entrada), y relativamente lentos en su propagación[debido

al consumo $\approx 200\text{ns}$ ($V_{DD}=5\text{v}$) y 80ns ($V_{DD}=15\text{v}$)].



3.2 Dispositivos TTL (Transistor-Transistor Logic).

Los dispositivos de un circuito digital son hechos por diferentes métodos y están divididas en clases llamadas familias lógicas, las cuales generalmente tienen características eléctricas similares con respecto a los niveles de fuentes de poder y a la velocidad, y son completamente diferentes si pertenecen a familias lógicas diferentes.

3.2.1 Características Típicas. (6)

Todo los miembros de las series o subfamiliar TTL (SN=Semiconductor Network) [Standard: SN54, SN74; Low Schottky (Baja Potencia): SN54LS, SN74LS; Schottky (Alta Potencia): SN54S, SN74S] son compatibles en las siguientes características comunes: Voltaje de Alimentación [$V_{CC}=(4.5 \text{ a } 5.5)\text{v}$]; Niveles Lógicos [$V_H=(2.2 \text{ a } 3.5)\text{V}$, $V_L=(0.1 \text{ a } 0.8)\text{V}$]; Inmunidad al ruido=1V; Rangos aproximados de temperatura [SN74XX (0 a 70)°C y SN54XX (-54 a 125)°C].

Serie TTL Standard SN54/74. Construido por transistores, diodos, y resistencias de normal configuración digital. Ejm. El inversor SN7404 (contiene seis inversores independientes).

El diodo de sujeción (Clamping

Diodo) a la entrada, evita interferencia de la línea de transmisión o también picos negativos.

Serie TTL de Baja Potencia SN54/74LS. Construido por transistores Schottky (conformados por diodos Zener en polarización directa entre B y C, el cual evita que trabajen en la zona de saturación, más si en la zona activa y zona de corte) transistores, diodos Schottky (Zener), y resistores. Consumen menos corriente y son un tanto más veloces que los TTL Standard. Ejm. El inversor SN74LS04

Serie TTL de Alta Potencia SN54/74S.- Fabricado por transistores y diodos Schottky, y los resistores tienen valores más bajos que los TTL Standard. Por eso consumen más corriente y son más veloces que los TTL de Baja Potencia. Ejm. La compuerta SN7437(Ver APENDICE D).

3.2.2 Características Principales. (6)

Las diversas tecnologías y familias dan lugar a circuitos integrados (IC) cuyos principales parámetros característicos son : (Ver Apéndices)

Tiempo de Propagación(Propagation Delay Time tpd). El tiempo promedio de demora en la transición de propagación de una señal de la entrada a la salida, cuando las señales binarias cambian de valor. Las señales de una compuerta

tienen cierta cantidad de tiempo(nseg) para propagarse desde las entradas a hacia las salidas(velocidad): $t_{pd}=t_{PHL}$ (cuando la salida cambia de un nivel alto(H) a un nivel bajo(L) o t_{PLH} (cuando la salida cambia de un L a un H)

Tiempo de Habilitación(Enable Time = t_{en}). Es el que demora una salida de tres estados (three-state output) en pasar de un estado de alta impedancia (high-Z) a cualquier de los activos niveles H o L: $t_{en}=t_{PZL}$ (de un high-Z a un H) o t_{PZH} (de un high-Z a L).

Tiempo de Deshabilitación(Disable Time t_{dis}). Lo que demora una salida de tres estados en cambiar de un nivel activo definido (H o L) a un high-Z: $t_{dis}=t_{PHZ}$ (de un H a un high-Z) o t_{PLZ} (de un L a un high-Z).

Tiempo de Subida y Bajada(Rise & Fall Times = t_r , t_f). t_r (t_f) es el intervalo de tiempo entre dos puntos de referencia(90% y 10%) en una onda que está cambiando de un definido H(L) a un definido L(H).

Tiempo de Retención(Hold Time = t_h). El intervalo durante el cual una señal es retenida en un terminal de entrada específica después de que una transición activa ocurra en otro terminal de entrada.

Tiempo de Instalación(Setup Time= t_{su}).- El

intervalo entre la aplicación de una señal en un terminal de entrada específica y una activa transición subsecuente en otro terminal de entrada específico.

Tiempo de Servicio(Duty Cycle). Una medida de cuanto tiempo un pulso sincrónico permanece en un estado dado. Una de las más usadas es la relación del tiempo necesario para completar el ciclo y generalmente se expresa en porcentaje: % Duty Cyde - $(t'/T) \times 100$ consecuentemente el Duty Cyde es independiente de la frecuencia.

Desacoplo(Decoupling). Método de impedir la realimentación de energía de la salida a la entrada de un dispositivo. La realimentación se realiza por vía de los circuitos de la fuente de alimentación común a ellas.

Duración de Ancho de Pulso(Pulse Duration= t_w). El intervalo de tiempo entre un punto de referencia especificado en los flancos de subida y bajada de la forma de onda de pulso.

Estado de Alta Impedancia(High-Z). Aquel estado de una salida de tres estados cuya característica eléctrica no es de ningún nivel lógico definido(H o L), es decir su voltaje está indeterminado al no circular corriente por dicho terminal.

Consumo de Potencia(P_i). Es la potencia sumi-

nistrada (por V_{cc}) necesaria para operar la compuerta (P_i en orden de mW). Esto no incluye la potencia suministrada de otra compuerta, o sea que presenta la potencia suministrada a la compuerta por la fuente de poder.

FAN OUT. Especifica un número de cargas normales (corriente necesaria para la entrada de otra compuerta en la misma familia de IC) que puede accionar la salida de una compuerta sin menoscabar su operación normal, esto es el número máximo de entradas que pueden anexarse a la salida de una compuerta. Este término se deduce del hecho de que la compuerta suministra una cantidad limitada de corriente (los corriente de salida cortocircuitada) por encima de la cual no opera correctamente y se dice en este caso que está sobrecargado.

Margen de Ruido.- Es el máximo voltaje de ruido agregado a la señal de entrada de un circuito digital que no cause un cambio indeseable a la salida del circuito (se pueden generar grandes picos de corriente en el terminal de alimentación cuando su salida son conmutadas de un estado a otro). El ruido DC es causado por la desviación de los niveles de voltajes de señal, y el ruido AC es el pulso aleatorio que puede ser creado por otras señales conmutadas.

Skew. Los máximos retardos TTL están especificados en las cartas, mientras los mínimos son calculados como la mitad de las especificaciones típicas. Ahora el Skew es la diferencia del máximo y mínimo retardo que sufre una señal al propagarse a través de dos senderos lógicamente idénticos pero contruidos desde diferentes IC's TTL.

3.2.3 Tipos de Dispositivos TTL. (13)

A continuación se describirá el funcionamiento de los IC's TTL usados en el proyecto:

Inversor . Son dispositivos que a sus salidas (seis) invierten el nivel lógico definido aplicado a sus entradas(seis) es decir si se aplica un H a la entrada se tendrá un L a la salida, y análogamente si se tiene un L en la entrada se tendrá un H a la salida. Ejm. SN54SO4, el cual tiene una velocidad típica del orden de los 5nseg, y una corriente máxima de salida de los 20nseg.

Inversor Schmitt-Trigger. Cada circuito funciona como un inversor, pero debido a la acción Schmitt, tiene diferentes niveles de umbral ($V_{T+} > V_{T-}$), para el cambio a la salida de H a L (debido a un flanco de subida que supere a V_{T+}) o para el cambio de L a H (debido a un flanco de bajada que sea inferior a V_{T-}). Son circuitos compensados a la temperatura, y pue-

den ser disparados por rampas lentas de entrada y aún dar señales limpias e inmunes al ruido a la salida. Ejm. SN5414, el cual tiene valores típicos de voltaje umbral de $V_{T+}=1.7v$ y $V_{T-}=0.9v$; una velocidad típica de 15nseg, y una corriente máxima de salida de 16mA.

Compuerta NAND. - Puede ser de varias entradas positivas, cuya salida va a ser de un L solamente cuando todas sus entradas estén en H a la salida. Ejm. SN54S00 (dos entradas) y SN54S30 (ocho entradas), los cuales tienen una velocidad típica del orden de los 5nseg, y una corriente máxima de 20 mA.

Compuerta NAND-BUFFER. - Tienen la misma lógica que las compuertas NAND, con la diferencia que tienen un alto FAN-OUT(=30). Son de buen margen de ruido de las salidas a las entradas, por eso a veces se denomina separador. Ejm. SN5437, que tiene una velocidad promedio de 11nseg y una corriente a la salida de 48mA.

BUFFER con salida de tres estados. Cuando está habilitado, sus salidas tienen la característica TTL de baja impedancia con la adicional capacidad de excitación en niveles lógicos altos para permitir una fuerte excitación para cargas de línea bus sin resistencias externas Pull-Up. Cuando está deshabilitado, ambas salidas a transistores son apagados presentando

una high-Z para el bus tal que la salida no actúa ni como una significativa carga ni como un excitador. Pueden ser llamados excitadores (Drivers) simplemente. Puede usarse para adicionar retardos, mejorar el tr, obtener una acción rápida, o como interfase con el mundo exterior de algunas otras familias lógicas. Ejm. SN54125, que tiene velocidad típica de habilitación de 16ns, de deshabilitación de 7ns, y de propagación de 12ns y con una corriente a la salida de 16mA; se habilita con un nivel L al pin habilitador (G).

Separador y Excitador de Línea con salida a tres estados(BUFFER AND LINE DRIVERS WITH 3-STATE OUTPUT). Son diseñados específicamente para mejorar el rendimiento y densidad de excitadores de dirección de memoria de tres estados, excitadores de reloj, y receptores y transmisores de bus orientados. Estos dispositivos caracterizan alto Fan-out, Fan-in, mejorados, y un margen de ruido de 400mV. Pueden ser usados para excitar terminales de línea por debajo de los 133Ω . Ejm. SN74S240 el cual tiene sus salidas(ocho) invertidas, habilitándose con un nivel L en el G; la velocidad típica de propagación es de 4.5ns, de habilitación de 10nseg, y deshabilitación de 10ns; teniéndose 64mA de corriente a sus salidas y

un lazo de histéresis típico ($V_{T+} - V_{T-}$) de 0.4v. Son requeridos para conmutar limpiamente y mantener los niveles a pesar de la diafonía y reflexiones.

Flip-Flop J-K.- Dependiendo del nivel de sus entradas (J y K), sus salidas pueden cambiar al ocurrir el flanco (de subida o bajada) de disparo. Los tiempos de establecimiento (t_{su}) y retención (t_h) son parámetros adicionales de los dispositivos síncronos e indican intervalos de tiempo justo antes y después del flanco de disparo de reloj (Clock) durante los cuales no se permiten cambios en las entradas las cuales podrían ocasionar una operación defectuosa del Flip-Flop (FF). Un nivel L (de una misma duración) a las entradas de Preposicionamiento (Preset) y Aclaramiento (Clear), posiciona o reposiciona a las salidas sin importar el nivel de las entradas. El disparo de reloj (Clock) ocurre en un nivel de voltaje y no está directamente relacionada al tiempo de subida del pulso de reloj (el cual debe tener una duración mínima en su nivel H y L). Ejm. Dos FF-JK disparados con el flanco de bajada de reloj como el SN74S112 (con $\overline{\text{Preset}} = \overline{\text{PRE}}$ y $\text{Clear} = \text{CLR}$) y el SN74S114 (con $\overline{\text{Preset}}$, $\overline{\text{Clear}}$ común, y Clock común) tienen la siguiente tabla de funcionamiento:

Entradas					Salidas	
$\overline{\text{PRE}}$	$\overline{\text{CLR}}$	CLK	J	$\overline{\text{K}}$	Q	$\overline{\text{Q}}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H	$\overline{\text{H}}$
H	H	↓	L	L	Q _o	$\overline{\text{Q}}_o$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	
H	H	H	X	X	Q _o	$\overline{\text{Q}}_o$

(Fig.3.2.2) Tabla de Funcionamiento del FF-JK

Con $\overline{\text{PRE}} = \overline{\text{CLR}} = \text{H}$ se tendrá cambio de nivel de salida luego de una propagación típica de 5ns después del flanco de bajada del reloj. Igualmente luego de la acción $\overline{\text{PRE}}$ o $\overline{\text{CLR}}$. El mínimo valor del periodo del reloj debe ser dos tiempos de propagación, y el t_{su} mínimo antes de la bajada del CLK debe ser la máxima $t_p = 7\text{ns}$. Poniendo las entradas J y K en H, puede funcionar como un doblador de periodo del CLK (TOGGLE). Se tiene 20mA a la salida.

Registro de Desplazamiento. Estos registros se caracterizan por tener entradas y salidas paralelas, entrada serial J-K, entrada de control de Desplazamiento (Shift = SH) o Carga (Load = LD), un sobrecontrol directo de aclaramiento (CLR) a la línea de salidas, y un condicionador de la entrada de reloj, como por ejm. el SN74199 el cual tiene tres modos de operación : Reloj Inhibido (No funciona), Desplazamiento (En dirección de las salidas QA

hacia QH) y Carga Paralela(de andanada de ocho salidas). Para la Carga Paralela los datos son cargados dentro de FF asociados y aparecen a la salida después de la transición positiva de la entrada de reloj(t_p típica $\approx 20\text{ns}$)(mientras tanto el flujo de datos seriales es inhibido). Para el desplazamiento los datos seriales entran por la entrada J-K. Ambos relojes (CLK y CLK INH) son idénticos en funcionamiento y pueden ser usados intercambiamente para servir como entradas de reloj e inhibidor de reloj. Se describe su funcionamiento en la tabla de la fig.3.2.3. Todas las entradas son separadas (Buffered) hacia los mínimos requerimientos de excitación para cargas de serie normalizada 54/74, y los diodos Clamping minimizan los transitorios de conmutación que simplifican el diseño del sistema. El mínimo ancho de los pulsos de CLK y $\overline{\text{CLR}}$ son del orden de los 20ns, el mínimo $t_{su} \approx 20\text{ns}$, la propagación típica (de las entradas a las salidas) desde la subida del CLK es $t_p \approx 20\text{ns}$, y desde la bajada del CLR de 23ns; se tiene 16mA a las salidas.

ENTRADAS							SALIDAS			
CLR	SH/LD	CLK INH	CLK	Serial J K	Paralela A...H		QA	QB	QC...QH	
L	X	X	X	X X	X		L	L	L L	
H	X	L	L	X X	X		QAo	QBo	QCo QHo	
H	L	L	↑	X X	a...h		a	b	c h	
H	H	L	↑	L H	X		QAo	QAo	QBn QGn	
H	H	L	↑	L L	X		L	QAn	QBn QGn	
H	H	L	↑	H H	X		H	QAn	QBn QGn	
H	H	L	↑	H L	X		QAn	QAn	QBn QGn	
H	X	H	↑	X X	X		QAn	QBn	QCn QHn	

(fig.3.2.3)Tabla de funcionamiento del registro de desplazamiento.

3.3 Dispositivos de Memoria.

En electrónica digital, una memoria es generalmente un dispositivo que puede almacenar bits lógicos 1(nivel H) o 0(nivel L) de forma que en cualquier momento se pueda acceder a un solo bit, a un grupo de ellos(bytes) y recuperar su contenido. Para almacenar(Escritura) y recuperar(Lectura) Bytes se requiere señales de control como de Direcccionamiento[que identifica la posición de un bit (o byte) de memoria], orden de Lectura o Escritura según la función que se vaya a desempeñar, y la señal de reloj que sincroniza la entrada y salida de los bits de memoria. Conviene definir las características mas importantes de las memorias: Densidad de Bit(cantidad de bits contenidos en una cierta área física o sea por unidad de superficie), Capacidad Total(número total de bit que puede almacenar una memoria), Velocidad (rapidez que tiene una memoria para acceder a los datos y leerlos o escribirlos), Potencia

(que se consume o disipa) y Costo por Bit(hallando el precio a que sale cada bit). Los dispositivos de memoria tienen una primera clasificación dividiéndose en dos familias grandes:

Memorias Volátiles de Lectura/Escritura. Son aquellas memorias que pierden su información(es alterada) cuando se suprime la alimentación. Ejm. Memorias a Semiconductores RAM(SRAM, DRAM, iRAM),etc.

Memorias No Volátiles. La información almacenada que llevan en su contenido, ya sea de fábrica(de sólo Lectura), o por el usuario(de Lectura/Escritura), no se pierde ni se altera al desconectarle su alimentación. Ejm. Memorias a Semiconductores=ROM, PROM, EEPROM, etc. y Memorias que no usan Semiconductores: Núcleos Magnéticos, Burbujas Magnéticas, Discos Duros, etc.

3.3.1 Memorias que no usan Semiconductores. (7)

De estos tipos de memoria, los más conocidos son :

Tarjetas y Cintas de Papel Perforado. Para almacenar un bit lógico 1 se perfora en una tarjeta o cinta de papel un pequeño agujero en una determinada posición. La ausencia de agujero significa la existencia de un bit 0. Para leer los datos, la cinta o tarjeta perforada pasa por encima de un foco de luz, avanzando una parte de papel en cada ciclo de tiempo, la

luz pasa a través de los agujeros hasta un detector fotosensible que proporciona una señal eléctrica cuando se excita. (Clasificación: Memoria No-Volátil de sólo Lectura)

Cinta Magnética. Los bit lógicos 1 y 0 se graban en las cintas magnéticas como zonas imanadas, de manera similar a las cintas que usan los magnetófonos domésticos. Sin embargo las cintas grabadas con datos digitales para computador son típicamente más anchas y el carrete tiene mayor longitud, pues son tratadas con circuitos digitales especiales. Una reciente innovación es el Casete, que se utiliza con frecuencia en los terminales remotos, para almacenar grandes cantidades de datos. Los casetes usados en estos dispositivos grabadores son iguales a las que tienen los reproductores domésticos. (Clasificación: Memoria No-Volátil de Lectura/Escritura)

Disco Magnético. Usa básicamente el mismo principio que la cinta magnética, sólo que el elemento se soporta sobre un Disco Rígido (o Duro) o Flexible, en lugar de una cinta. Existen discos fijos y otros móviles en cartuchos. (Clasificación: Memoria No-Volátil de Lectura/Escritura).

Tambores Magnéticos. Con igual principio que las cintas magnéticas, pero utilizando como

soporte un tambor rotativo. (Clasificación: Memoria No-volátil de Lectura/Escritura)

Memorias de Nucleos Magnéticos. Tienen la ventaja de tener un tiempo de acceso mucho menor con respecto a las unidades de disco, aunque por lo general son de baja capacidad de memoria, suficiente para cumplir con los requerimientos de un sistema. Un bit lógico 1 ó 0 se almacena en un toroide (de Ferrita) a base de una determinada orientación magnética. El núcleo se magnetiza cuando pasa momentáneamente la corriente en una de las dos posibles direcciones, por un hilo que atraviesa el centro del toroide. Inversamente se produce la lectura, cuando se detecta un voltaje inducido en uno de los sentidos del hilo al existir un campo magnético dado. Si cambia el campo magnético, se induce voltaje y el estado original se conoce por ser opuesto al estado conocido. Si el campo magnético tiene la misma dirección que el estado conocido, no se inducirá, ni se apreciará voltaje. (Clasificación: Memoria No-Volátil de Lectura /Escritura)

Memorias de Burbuja Magnética. Las memorias de burbuja es una forma de almacenamiento en masa, que se realiza en dominios magnéticos de películas delgadas sobre substratos combinados de Galio. Campos magnéticos permanentes indu-

cen un campo de polarización que reduce el dominio magnético de las películas dentro de burbujas cilíndricas. La información es escrita en la memoria mediante la creación o la destrucción de burbujas. Son robustas, no volátiles, de entrada y salida serial, vienen en unidades de 1 y 4 Megabits, operando a 50KHz. Externamente, los datos son manipulables en forma serial similar a los discos o tambores magnéticos, pero sin ruido o movimientos de partes, son rápidas, mas confiables, usadas para bajos consumos, y más pequeñas que los otros sistemas de almacenamiento; su costo por bit son comparables con las DRAM. Tiene muchas aplicaciones que incluyen robótica, exploración de petróleo, navegación aerea y equipos de prueba; ahora son disponibles como tarjetas de expansión de memoria en PC compatibles. (Clasificación: Memoria No-Volátil de Lectura-/Escritura)

Otras Memorias. Además de las memorias expuestas, las hay también en tarjetas cableadas, en películas magnéticas y en otras formas menos comunes. Existen tecnologías completamente nuevas para aplicaciones comerciales tales como de haces electrónicos, etc.

3.3.2 Memorias a Semiconductores. (9)

Años atrás, antes del advenimiento de las

memorias de Lectura/Escritura del estado sólido, los datos activos (que han sido procesados) fueron grabados y recuperados desde memorias de núcleo no-volátil. Luego las memorias de acceso aleatorio (RAM) de estado sólido resolvieron sus problemas de consumo y tamaño, pero añadieron el elemento de volatibilidad. Y así consecutivamente, el mercado de memorias se ha vuelto tan grande que hay más de tres mil diferentes dispositivos disponibles. Consecuentemente, el diseñador tendrá mayor dificultad para elegir, y en consecuencia una selección efectiva está basada en las características de adaptación para su aplicación. El primer paso es determinar el tipo de memoria que se está diseñando: Programa almacenado o Datos almacenados. El siguiente paso es priorizar los siguientes factores: Eficiencia (cuan rápido el dispositivo puede operar en el ambiente del sistema, usualmente relacionado en términos del tiempo de acceso), Consumo de Energía (depende de la organización de los dispositivos en el sistema o de la reducida densidad de dispositivos por tarjeta, por que requerirá fuentes de alimentación grandes, mayor refrigeración, que afectarán el Costo y la Confiabilidad), Densidad (número de bytes, que es más allá de los 64 K bytes para las

minicomputadoras y menos para los sistemas de base de microprocesador) y Costo (del tiempo de diseño proporcional a la complejidad del diseño, gastos de pruebas, costos de actualización, costo por bit, tamaño de la memoria, consumo de energía, etc.) En consecuencia a continuación tendremos la siguiente clasificación:

a. Volátiles de Lectura / Escritura.

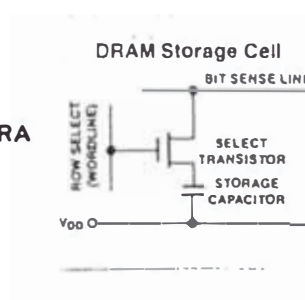
Primeramente examinaremos las memorias de Lectura/Escritura las cuales permiten el almacenamiento al acceso a la memoria almacenada (Lectura) y la habilidad para alterar la información almacenada (Escritura). Luego tendremos las siguientes:

SRAM(Static Random Access Memory). Las memorias estáticas de acceso aleatorio almacenan unos y ceros usando las configuraciones tradicionales de compuertas lógicas Flip-Flop. El usuario simplemente direcciona la SRAM y luego de un breve retardo, obtiene los bit almacenados en tal lugar. Las SRAM, controlan los datos dentro de cualquier modelo de celda de cuatro (para bajo costo) o de seis (para bajo consumo) transistores, lo que contribuyen a sus desventajas de densidad y consumo. Actualmente las nuevas CMOS SRAM tienen una mejor ventaja de un bajo consumo

sobre las NMOS DRAM y también frente a las CMOS DRAM. Como las DRAM y SRAM, son volátiles, perdiendo su información cuando la alimentación se pierde. (Ver Fig. 3.3.1)

DRAM(Dinamic Random Access Memory). Las memorias dinámicas de acceso aleatorio son caracterizadas por tener alta capacidad, moderada velocidad y bajo consumo. Sus celdas de memoria son básicamente de condensadores almacenadores de carga con transistores excitadores. La presencia o ausencia de carga en el capacitor es interpretado por la línea sensora de la RAM como un 1 ó 0 lógico. Debido a la natural tendencia de descarga de estos condensadores, las DRAM requieren una periódica recarga para mantener los datos almacenados, lo que significa agregar un circuito de refresco al sistema. Y en ciertos instantes cuando sucede el refresco, la RAM se hace indispensable para hacer una escritura o lectura, teniéndose en consecuencia un tiempo mayor del ciclo de memoria que el de los de Lectura o Escritura. (Ver Fig. 3.3.2.)

FIG. 3.3.2. CELDA DE ALMACEN PARA DRAM



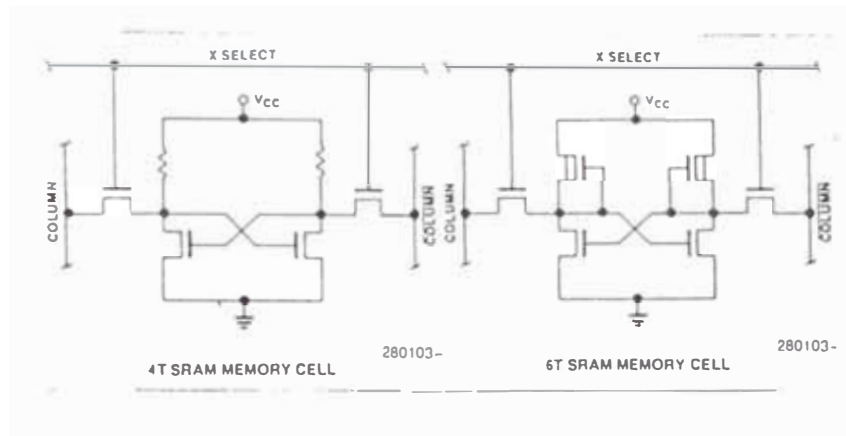


FIG. 3.3.1. CELDAS DE 4T Y 6T PARA SRAM.

iRAM(Integrated RAM). Las iRAM trabajan como las SRAM pero tiene menor costo por bit. Son unas DRAM con un circuito de refresco sincrónico o asincrónico dentro del mismo circuito integrado (chip). Provee requerimientos de bajo consumo, particularmente bien cómodos para microcontroladores de memoria (hasta 64K bytes) y memorias locales (hasta 128K bytes) para microprocesadores.

b.No Volátiles de Sólo Lectura.

Otras clases de memorias, ROM (Red Only Memory), son similares a las RAM en que la computadora las direcciona y luego recupera la información almacenada en tal dirección. Sin embargo los ROM, no incluyen un mecanismo para alterar los datos grabados en esa dirección, de ahí el término de solo Lectura. Las ROM son básicamente usados para almacenar información que no está sujeta a

cambios, al menos no frecuentemente. A diferencia de las RAM, cuando se viene abajo la alimentación del sistema, las ROM retienen su contenido. Estas divididas aplicaciones hace que en las ROM esté comúnmente grabado el programa almacenado, y en las RAM la información manipulada y que puede variar. Las ROM se dividen en:

ROM. La información a almacenar es programada por el fabricante en el paso final de metalización. Transistores individuales son conectados o desconectados para codificar los unos y ceros respectivos. Son usadas en aplicaciones que tiene codificación estable que requieren características de no volatilidad para ciclos de larga vida. Fabricadas a base de la tecnología NMOS (N-Channel Metal Oxide Semiconductor). El costo de la programación de una ROM es alto, por lo que estas son usadas mayormente en aplicaciones para grandes volúmenes, donde los costos pueden ser amortizados sobre la gran cantidad de unidades. Existe el riesgo de descargar y reemplazar todo un stock completo por un error en el Programa almacenado o si se requiere una actualización de tal(Ver Fig. 3.3.3).

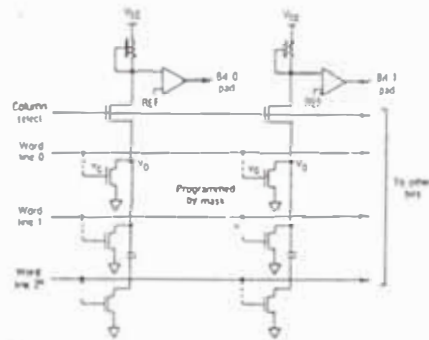


Fig 1: A masked ROM is programmed by the manufacturer in the final metalization step. Individual transistors are connected or disconnected to encode 1s and 0s.

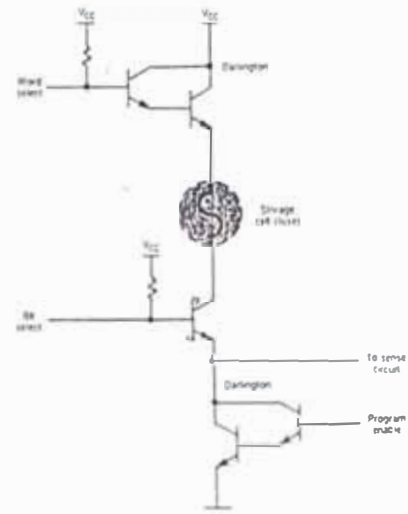


Fig 2: A single storage cell in a bipolar PROM is user-programmed by blowing an internal fuse.

FIG. 3.3.3. CELDAS PARA UNA ROM

FIG. 3.3.4. CELDA PARA UNA PROM

PROM(Programmable ROM). La información se programa una sola vez por el usuario, a través de un equipo que está fuera del sistema. Son fabricado de material semiconductor bipolar, tal que se usan fusibles que se funden al programarse el dispositivo, dando origen a los datos almacenados. Una vez programada es justo una ROM. Son de acceso rápido y consumo moderado, teniéndose en chips desde 32 a 2K bytes, y por ejemplo, se tendría incremento de tamaño y consumo para sistemas grandes (Ver. Fig. 3.3.4).

EPROM(Ultraviolet Erasable PROM). Son borrados bajo luz ultravioleta (a través de una ventanita) y reprogramados eléctricamente mediante la inyección de electrones (típicamente creados por un $V_{pp}=12.5v$) dentro de

una puerta flotante (aislada) del transistor. Acoplados capacitivamente en la puerta de tal transistor, esta carga sumada a la de la compuerta seleccionada, altera el voltaje umbral del transistor. Ellas son borradas por una luz ultravioleta la cual induce suficiente energía dentro de la compuerta flotante, colisionando con los electrones mencionados, dispersándolos aleatoriamente y borrando así la memoria (15 a 20min.). Las EPROM son removidas del circuito para ser borradas y reprogramadas (aproximadamente en 5min por un artefacto y algoritmo especial) para luego reinstalarlas en el sistema. Estas memorias tienen un acceso promedio de 250ns y una densidad próxima a las DRAM, y son ideales para aplicaciones de sistemas prototipos donde es necesario alterar el programa varias veces, y actualización de datos y parámetros.

c. No Volátiles de Lectura/Escritura.

Los avances de la tecnología han empañado las diferencias tradicionales de las ROM y las RAM. La primera alternativa fue la EPROM, pero tenía el inconveniente de la removición. A continuación tenemos los siguientes tipos:

EEPROM(Electrically Erasable PROM). El si

guiente avance fue la introducción de una memoria que sea borrable eléctricamente y reescribible por el usuario en una forma de byte por byte en el mismo circuito. Una E²-PROM aproximadamente necesita 5mseg para efectuar una operación auto borrado/grabado, mucho más lento que lo que necesita una RAM, pero que pin a pin son compatibles mediante un circuito que va dentro del chip. Las E²-PROM tienen celdas que están programadas mediante carga atrapada en la estructura de la puerta del transistor; la carga puede ser removida eléctricamente. Estas memorias tienen una cantidad mínima de 10,000 ciclos de borrado/grabado, y los inconvenientes de densidad y costo. La complejidad de sus celdas y periféricos los pone en una capacidad por milímetro cuadrado de silicio más allá de las EPROM o DRAM y con el costo efectivo respectivo. Muy usadas en adquisición de datos y sistemas de comunicaciones donde se requiere frecuentes reconfiguraciones del sistema.

FLASH Memory. Un último avance son las memorias Flash que combinan la capacidad de borrado eléctrico de las E²PROM con la simplicidad y efectividad de densidad y costo de las EPROM. Una modificación a la celda EPROM

reemplaza el bloque de borrado ultravioleta con el de borrado eléctrico, el cual puede ser ejecutado mientras el dispositivo está aún instalado en el sistema. También puede leer o escribir aleatoriamente mediante el sistema local del Microprocesador o Microcontrolador. La efectividad de costo y la flexibilidad de estas memorias se hacen aplicables al almacenamiento de codificación, rápido y fácilmente actualizados durante diseño de prototipos, pruebas en laboratorio y en el campo. Por su alta densidad son una alternativa innovativa para grandes almacenamientos (como Back Up), reduciendo el tamaño del sistema y consumo, incrementando su confiabilidad especialmente en condiciones ambientales extremas. (Ver Fig. 3.3.5)

NVRAM (Non Volátil RAM). Toman un paso adicional de flexibilidad y reprogramabilidad. Consisten en dos planos paralelos de memoria, una RAM típica y una E²PROM; donde los datos son escritos dentro de la RAM durante la operación del sistema, y luego grabadas en la E²PROM en una caída de alimentación. Cuando la alimentación es restaurada, la data es cargada de la E²PROM a la RAM; el control es llevado por un circuito detector de falla de alimentación o fluctuaciones.

Usados para pequeños almacenamientos (128 a 512 bytes) de frecuente alteración tales como parámetros del sistema, condición de actual operación, lugar de memoria momentánea, e información de apuntes. Tienen como mínimo 10,000 ciclos de grabación y 10 años de retención de datos y un costo/bit más o menos del E²PROM. (Ver Fig.3.3.6).

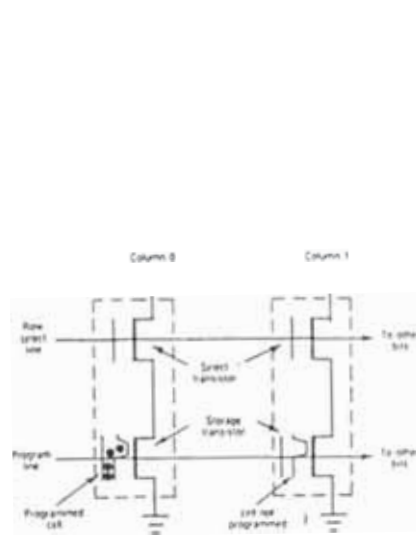


Fig. 3: An E²PROM memory cell is programmed by trapping charge in the gate structure of a transistor. The charge can be electrically removed.

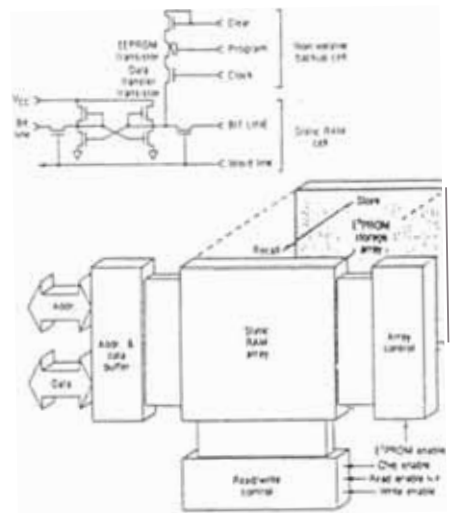


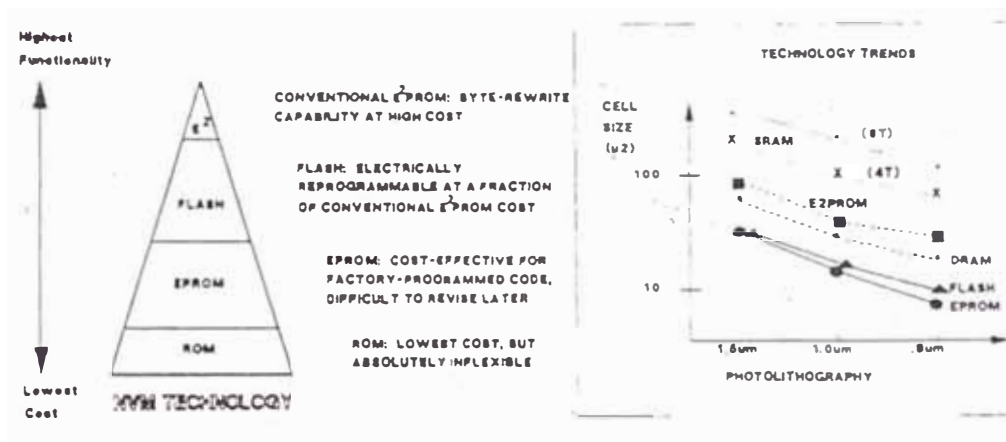
Fig. 4: An NVRAM contains both a standard RAM and an E²PROM; data is written into the RAM during system operation, then stored in the E²PROM on power-down. When power is restored, the data is loaded from E²PROM to RAM.

FIG.3.3.5. CELDAS PARA UNA E² PROM

FIG. 3.3.6. CELDAS PARA UNA NVRAM

NVCMOSsRAM(Non Volatile SRAM). Las SRAM no volátiles integran una fuente de alimentación de Batería de Litio y un circuito de control inteligente para retener la información cuando la alimentación del sistema es interrumpida (por más de 10 años). El circuito de control, mediante el monitoreo en todo tiempo del nivel de voltaje disponible para la memoria, conmuta hacia la Batería de

Litio cuando es necesario, y también protege el contenido de la memoria contra cambios inadvertidos durante fluctuaciones de la alimentación del sistema. Tiene una protección contra datos y escrituras falsas, con una acceso de 100ns.



JERARQUIA DE LAS MEMORIAS NO VOLATILES

TAMAÑO RELATIVO DE LAS CELDAS DE LA M N V

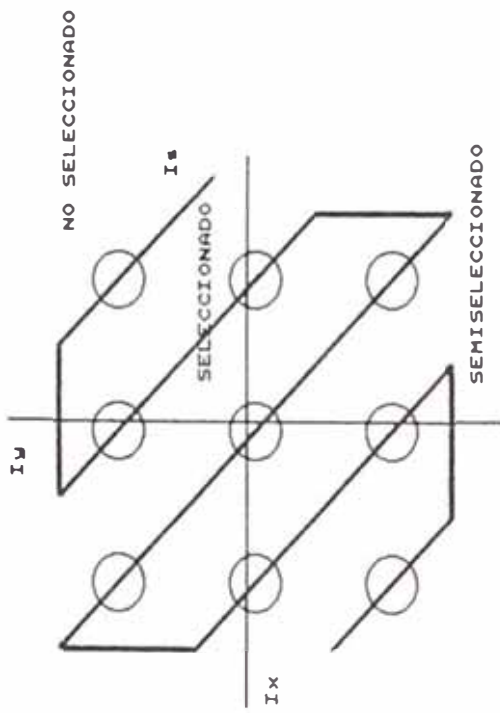
3.4 Memorias de Núcleo Magnético (Magnetic Core Memory).

En este punto sólo nos referiremos a la teoría de operación de las memorias usadas en las tarjetas MEM 1,2 y 3 vistas en el capítulo anterior.

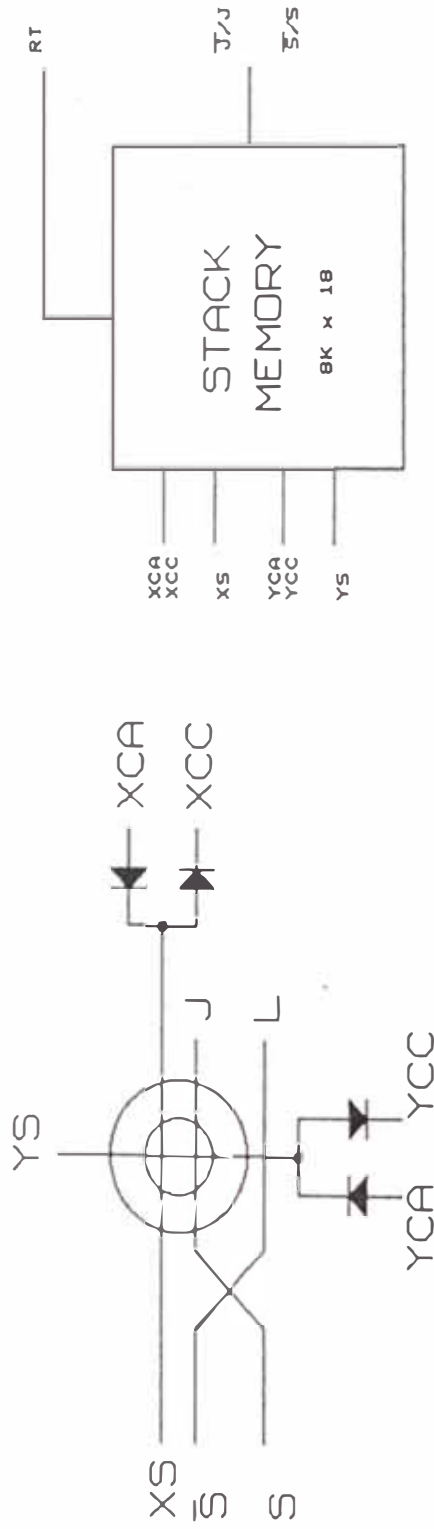
3.4.1 Almacenamiento en un Simple Núcleo de Conmutación. (B)

Luego de revisar (3.1.3), el núcleo de ferrita por convención se le asume un 1 lógico cuando éste tiene una polarización $-B_s$ (o $-B_r$) y 0 lógico cuando contiene un $+B_s$ (o $+B_r$). Luego para que éstos cambien de niveles lógicos necesitarían una corriente mínima (I_s) contraria a tal orientación de magnetización. Enton-

ces para seleccionar un núcleo se inducen dos corrientes (I_x e I_y) por sus respectivos cables de selección (x e y) tal que la suma de las dos corrientes sean capaces de hacerlos conmutar si es que tienen polarización opuesta ($I_x + I_y \geq I_s$) (Ver Fig.3.4.1). Del arreglo de núcleos dados, son llamados semiseleccionados los que sólo reciben una corriente de excitación (I_x o I_y) insuficiente para hacerlos conmutar de un nivel lógico a otro (la cual debe ser menor que un valor I_k), y sólo provocaría un cambio de magnetización insignificante (De $-B_s$ a $-B_r$, o de $+B_s$ a $+B_r$) y mucho menos de la otra corriente inducida que no pasa por él. Los núcleos que no son atravesados por ninguna corriente de excitación son los No Seleccionados, y cualquier corriente inducida por otros cables cercanas a ellos no tienen efecto significativo alguno sobre ellos. Ahora el núcleo que es atravesado por dos cables de selección recibe el nombre de Núcleo Seleccionado. Si es que este tiene inicialmente un estado magnético desde $-B_s$ a $+B_r$ la corriente de excitación ($I_x + I_y$) lo hará cambiar a $+B_s$ induciéndose un pulso de corriente negativo por el cable sensor Z ; y si inicialmente tenía el estado magnético desde $+B_s$ a $+B_r$, la corriente ($I_x + I_y$) lo mantendría en tal rango



(FIG.3.4.1)SELECCION DE UN NUCLEO MAGNETICO



(F19.3.4.2)MATRIZ DE DIRECCIONAMIENTO

de magnetización, cuya corriente inducida en el sensor I_z sería insignificante. Análogamente si el núcleo está en $+B_r$ y es atravesado por $(-I_x-I_y)$ este retornará a $-B_s$, induciéndose un pulso de corriente positivo por I_z ; y si estaba en $-B_r$ y es atravesado por $(-I_x-I_y)$ este a lo mucho podría ponerse en $-B_s$, induciéndose una corriente insignificante por Z . Esto es, los cables X_s e Y_s son de direccionamiento; y el cable sensor $Z(S)$ es el de Lectura el que detectará los bits 1 en forma de pulsos, los que luego serán amplificados, polarizados y registrados en niveles lógicos TTL. Es notorio que cada vez que se quiera leer los bits almacenados en cualquier núcleo ya sea que anteriormente esté en 1 ó 0, luego de este proceso el núcleo estará con una magnetización correspondiente a un 0 lógico (La Lectura es destructiva y es necesaria su Re-Escritura correspondiente). Luego para el almacenamiento de Re-Escritura o Escritura se mantienen activas los mismos cables de selección, pero con las direcciones de corriente de excitación invertidas, para esto se necesitaría un cuarto cable de Inhibición (J) (por fuera del núcleo) para anular la acción de estas corrientes de excitación invertidas cuando se quiera escribir(o reescribir) un 0

lógico. (Ver Fig. 3.4.2). Los terminales S Y S sirven para amplificar la suma del semiimpulso incidente y del reflejado (dV_1 , el cual conservará la polaridad del semiimpulso incidente que se propagará y se disparará según S y S) provenientes de la lectura de un 1 lógico; cuando no existe señal corresponderá a un 0 lógico leído. Los terminales J y J servirán además para disipar el semiimpulso provocado por las conmutaciones del núcleo por intermedio de las resistencias de los terminales 5 y 3 de la red resistiva RR, respectivamente (Ver Fig. 3.4.3). Cuando nI_b y $\overline{dI_b}$ sean 0 (Reescritura o Escritura de un 0), cortará a TR (a) para que el trafo Tf conduzca el pulso que activará el TR (b) el cual circulará la corriente de Inhibición (por la fuente de 15v) que anulará los efectos de $(-I_x - I_y)$. Las corrientes de direccionamiento anticoincidente de lectura van desde la fuente de +5v para X(-Is: De Xs hacia XCC) y hacia la fuente de -15v para Y(+Is: De YCA a Ys); y de escritura hacia la fuente de -15v para X (+ Is: De XCA a Xs) y desde la fuente de +5v para Y(-Is: De Ys a YCC). El generador de corriente es el soporte del direccionamiento de todos los núcleos(Ver Fig. 3.4.4) y es el que envía las corrientes de Lectura y Escritura. $[\overline{STpos}]$ y

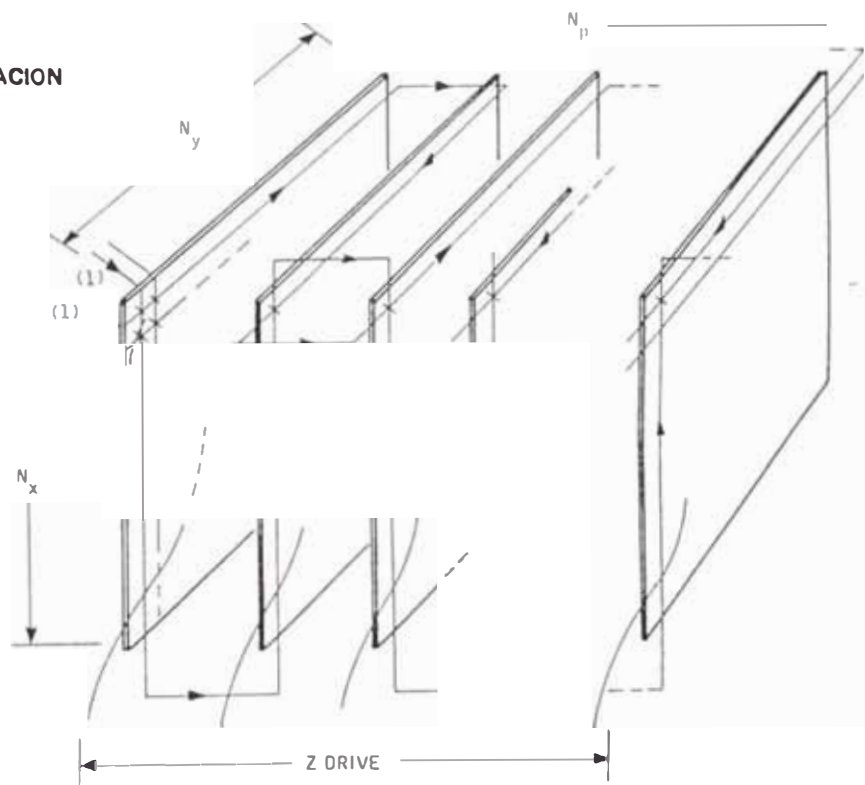
[STneg] son señales de control que habilitan a los generadores de corrientes, para algún ciclo de Lectura o Escritura. Las resistencias R4, R5, R36 y R34 sirven para calibrar las corrientes +Is. C1 y C2 sirven para aumentar el tiempo de salida de tales corrientes. Existen 3 termoresistencias en serie puestas sobre el grupo de núcleos para protegerlos del efecto de la temperatura, tal que la corriente disminuya en 1mA/oC (a través de la red RT₁₋₁, RT₁₋₂, C3, R1, R6, R7 y R8).

3.4.2 Organización de los Arreglos de Memoria⁽³⁾

Como se vio en el capítulo anterior cada tarjeta de memoria MEM tiene la capacidad de 8K palabras de 16 bit. Luego para el direccionamiento de 8192 bits se necesitarían 64 líneas para el eje x y 128 líneas para el eje y (64x 128=8192), los cuales formarían un plano de 8Kbit, y 16 de estos planos o arreglos en paralelo 8Kx16 bit, donde se pasarían 16 cables sensores a todos los núcleos de cada uno de estos 16 planos respectivamente, e igualmente 16 cables inhibidores a todos los núcleos de cada uno de los 16 planos respectivamente. (Ver Fig. 3.4.5). Las Líneas del eje X se agruparían en 8 grupos (de 8 líneas cada una) y 16 líneas(2 por cada 1 de las 8 líneas

de cada grupo). Las líneas del eje X se agruparían en 16 grupos (de 8 líneas cada una) y 16 líneas (2 por cada 1 de las 8 líneas de cada grupo) (Ver Fig. 3.4.6). Por lo tanto se utilizarán 8 Interruptores de potencia de Grupo y 8 de Línea para pilotear el direccionamiento en el eje Y (Ver fig. 3.4.7).

FIG. 3.4.5.
ORGANIZACION
3.D-3



La señal de control WR se activa para los ciclos de Lectura y (Re)Escritura (nivel alto TTL). Los voltajes V_J y $-V/2$ (cada uno aproximado a 5VDC) y las fuentes de corriente $\pm I_s$ vienen del Generador de corriente (Ver Fig. 3.4.4). Los controles GSX, GSY y LSX, LSY vienen desde los registros de direccionamiento, en donde se decodifica la palabra selecciona-

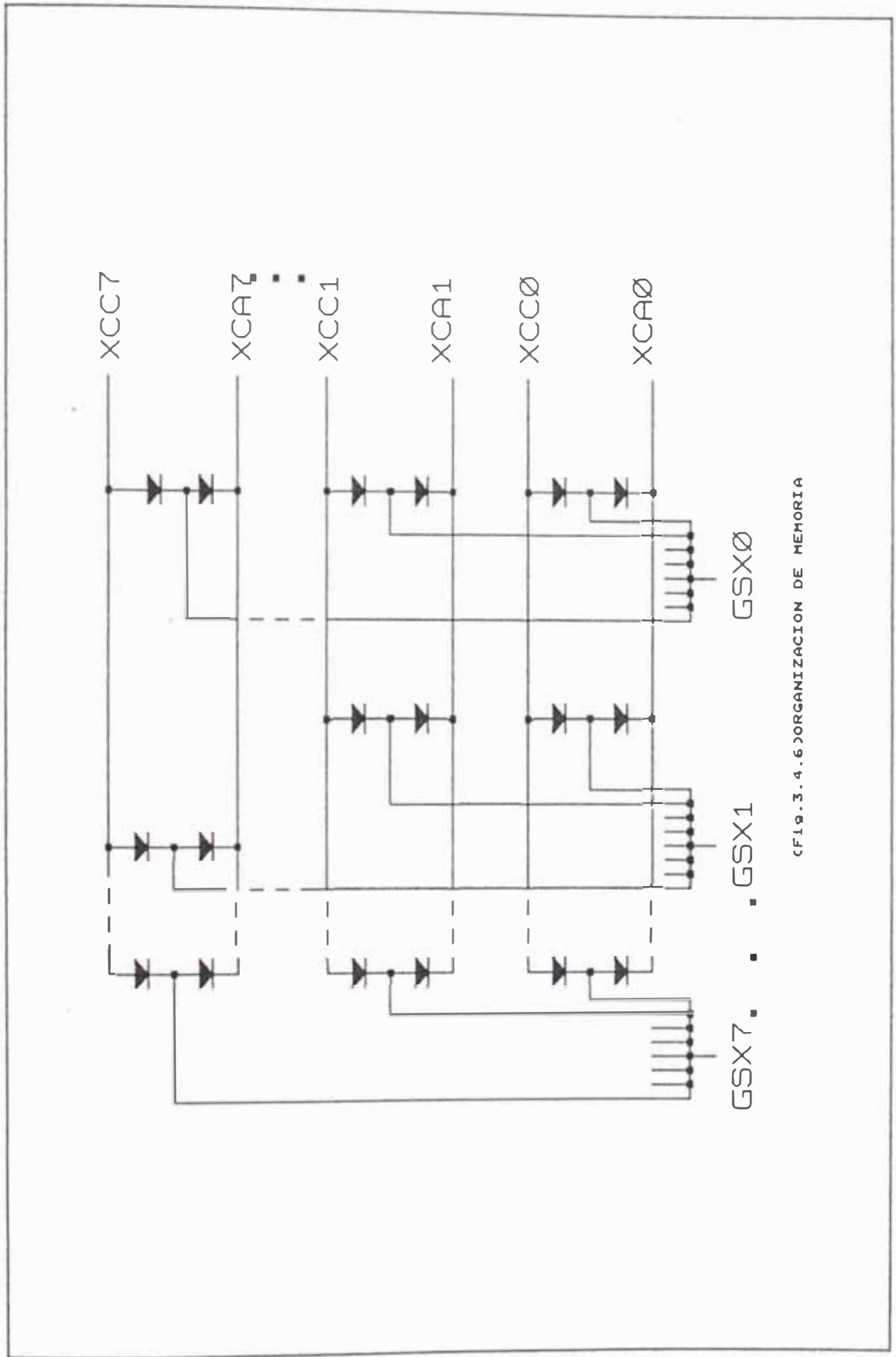
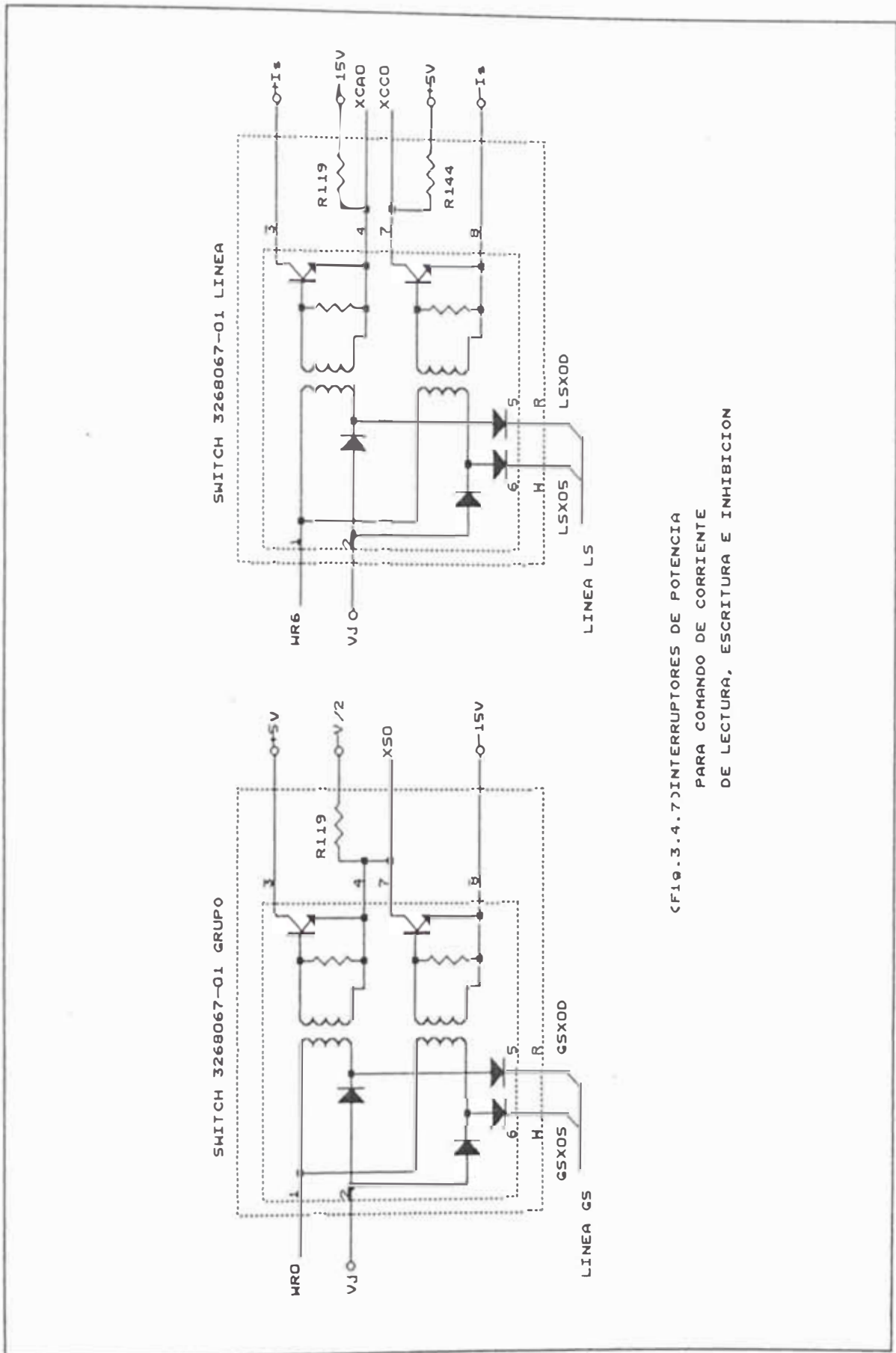


FIG. 3.4.6 ORGANIZACION DE MEMORIA



(FIG. 3.4.7) INTERRUPTORES DE POTENCIA
 PARA COMANDO DE CORRIENTE
 DE LECTURA, ESCRITURA E INHIBICION

da. Para cada XS y YS corresponderán 8 líneas de grupo [en total 64 (para X) y 128 (para Y) líneas de grupo]. XCA y YCA van hacia los ánodos de los diodos de direccionamiento e igualmente XCC y YCC hacia los cátodos (Ver Fig. 3.4.2). Son 8 las parejas (XCA y XCC) y (YCA y YCC) que corresponden a 16 líneas según cada eje, cada pareja va a conectarse con una sola línea de cada grupo. Cuando la decodificación de las direcciones inicien un:

Ciclo de Lectura. El GSXiD decodificado se pone en 0 lógico, habiendo un voltaje en el primario del trafo de pulsos creándose su respectivo voltaje inducido que activará al transistor (pin 3 y 4 del Interruptor de Grupo) el cual conducirá una corriente saliente por XSi, simultánea y análogamente LSXiS se pone en 0 lógico para que el transmisor (pin 7 y 8 del Interruptor de línea) conduzca la misma corriente (en este caso entrante por XCCi) desde el Interruptor de Grupo, esto es - Is desde la fuente de + 5v; a la vez GSYjS y LSYiD se ponen en 0 lógico para que el transistor (pin 7 y 8 del Interruptor de Grupo) conduzca la corriente entrante por YSj, y el transistor (pin 3 y 4 del Interruptor de Línea) conduzca la misma corriente saliente en este caso por XCAi hacia el interruptor de

grupo, esto es $+I_s$ hacia la fuente de $-15v$. El arreglo de los 16 núcleos (en paralelo) seleccionados reciben una inducción de $2 I_s$ y por cada sensor $S_j=J_j$ se leerá dichos contenidos por los respectivos pulsos. Luego:

Ciclo de Escritura. Análogamente GSX_iS y LSX_iD , GSY_jD y LSY_iS se ponen en 0 lógico para conducir las corrientes ($+I_s$ hacia la fuente de $-15v$) entrante a XSi y saliente de XCA_i , y saliente ($-I_s$ desde la fuente $+5v$) de YS_j y entrante a YCC_i . El arreglo de los 16 núcleos seleccionados reciben una inducción de $-2I_s$ y el inhibidor $J_j= S_j$ activará un pulso si es que se requiere escribir un 0 lógico en el núcleo respectivo ($i=0,1,\dots, 7$ y $j=0,1,\dots,15$).

3.4.3 Consideraciones de los Circuitos de Entrada y Salida.⁸

Es necesario tomar en cuenta las consideraciones principales de los circuitos excitadores (de entrada) y de lectura (de salida). Otras consideraciones involucran la geometría de los alambres con relación a otros dentro del arreglo, las cuales son despreciables.

a. Consideraciones de los Circuitos Excitadores

Se incluyen los circuitos que van a direccionar a los núcleos, así como los circuitos

inhibidores. Es necesario considerar la impedancia a través de la cual la corriente puede fluir.

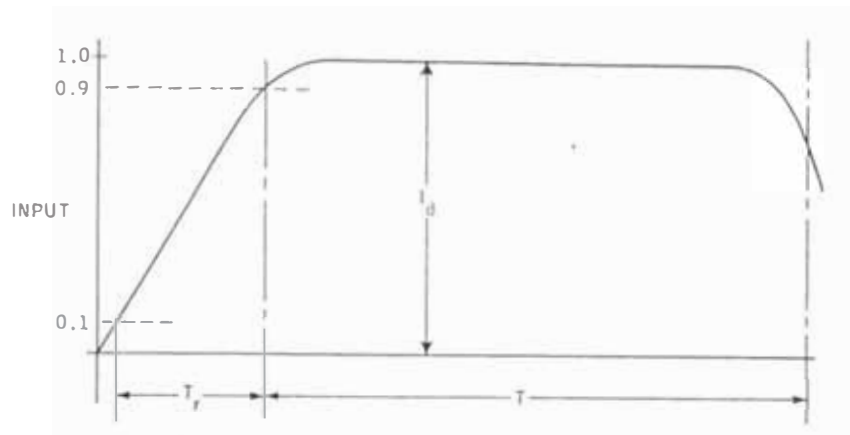
Impedancia de la Línea de Excitación. Digamos que el generador de corriente ve en nuestro caso a 16 núcleos en serie (cada núcleo recibe la misma corriente de excitación), y a una resistencia distribuida R_T en serie con los anteriores. Estos núcleos seleccionados dos de algunas líneas de excitación (direccionamiento) tienen una impedancia relativamente pequeña comparada al resto de la línea. Según el modelo de una línea de transmisión, por cada núcleo se tiene su inductancia propia (L_w) y su capacidad de acoplo a la tierra común (C) (se desprecia la resistencia de la línea de excitación y capacidad de acoplo a otras líneas de excitación) cuya impedancia efectiva o característica es $Z_o = \sqrt{L_w/C}$ (Z_o , L_w y C en el orden de 100Ω , $10^{-8}H$ y $1pF$ respectivamente). Para evitar indeseables reflexiones es necesario terminar la línea en su impedancia característica: $R_T = Z_o$. Por eso existen resistencias que hacen acoplables a los Interruptores de Grupo y Línea con los núcleos y Generador de Corriente (Igual consideración se toma para los circuitos inhibidores (Ver 3.4.1)). Para

los circuitos Inhibidores es necesario dividir las líneas de excitación en segmentos para arreglos largos, con excitador separado por cada segmento y así evitar los retrasos excesivos o degradación del Rise-Time, ya que Z es mucho mayor que X_c o Y_c .

Requerimientos de los Circuitos de Excitación. Cada línea de excitación debe tener un amplificador (Amplificador de Corriente) y un elemento de decisión de una entrada (Interruptor de Grupo y Línea). El amplificador convierte esta señal desde un nivel lógico a un pulso de corriente. El elemento de decisión lleva los pulsos patrones temporizados solamente cuando son de apropiada configuración las direcciones X e Y y la información J. Las configuración 3D-3 de la Corriente Anticoincidente evita una gran señal de ruido sobre el alambre sensor S por la subida de los pulsos X e Y durante el ciclo de lectura, y falsas escrituras o lectura por la temporización del pulso J. Los pulsos de excitación de direccionamiento (X e Y) inhibición (J) deben tener las siguientes formas de onda (ya sean positivas o negativas)

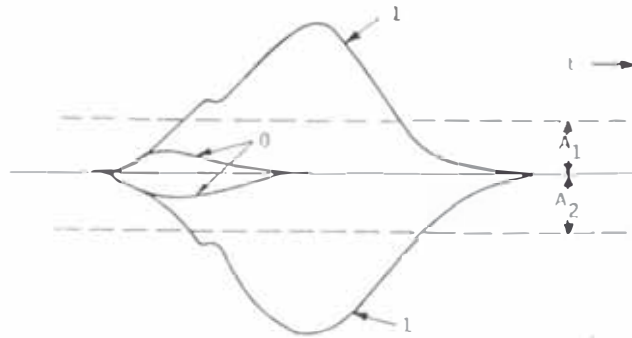
Donde:

I_d → Amplitud mínima de las corrientes de diodos de direccionamiento (cientos de mA)
 T → Duración mínima del pulso excitador (200ns)
 T_r → Tiempo de subida máximo (50ns)
Además: $\phi_{\text{núcleo}} = 18\mu\text{m}$, Demanda para el pilotaje: $J_f = \frac{750\text{mA}}{J_p \cdot 465} \cdot \Delta T$
 $\frac{dI}{d^{\circ}t} = 2\text{mA}/^{\circ}\text{C}$, señal útil / disturbio:
 $\frac{dV_1}{dV_z} = \frac{35}{9} \text{ mA}$

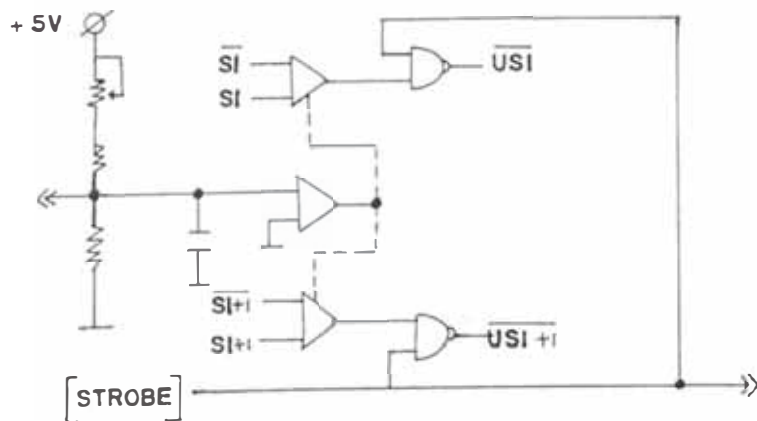


b. Consideraciones de los Circuitos de Lectura.

Deben ser considerados los niveles lógicos de señal, la temporización y acoplo de impedancias a circuitos standard. Ya que el alambrado sensor es equivalente a hebrar núcleos alternados o mitades de planos-bit alternados en dirección de polaridad opuesta; las formas de onda a ser amplificadas y discriminadas pueden ser cualquiera de las cuatro siguientes :



Esta lógica quiere decir que si hay a la salida un 1, un pulso es para ser generado o habilitado algún elemento de decisión; y si la salida es un 0, ninguna acción está por ocurrir. La rectificación de las señales, amplificación y limitación de señal al nivel TTL debe satisfacerlas el ICSN75238 cuyas entradas son Si y \bar{Si} , así:



En los amplificadores operacionales se amplificará la suma del semiimpulso incidente y del reflejado, el que conservará la polaridad del semiimpulso incidente el cual se propaga y se disipa sobre la línea de transmisión respectiva. [Strobe] habilitará la salida de estos amplificadores sensores para la lectura. La red RC del tercer amplifica-

dor diferencial sirve para indagar la exacta tensión para una lectura correcta. Las salidas \overline{USi} ya con nivel lógico TTL van hacia unos registros FF para su posterior transmisión hacia el sistema (fuera de las tarjetas MEM). Estos circuitos integrados cancelarán todo tipo de pulsos de ruido, eliminarán el ruido acoplado entre las otras líneas, el cual incluye una impedancia de entrada que adaptará la baja impedancia de las líneas de sensado S, y a la impedancia característica Z_0 , donde el ancho de banda del amplificador hace que sólo pasen las frecuencias de la lectura deseada y rechazadas las otras que se agrupan como ruido (relación señal a ruido maximizada y baja respuesta en frecuencia).

3.5 Memorias CMOS SRAM

Ahora nos dedicaremos a describir las características principales de la memoria de acceso aleatorio de configuración estática (SRAM) y construida a base de transistores de efecto de campo, con semiconductores de óxido de metal complementario (CMOS), la cual se va a utilizar en el diseño de la nueva tarjeta de memoria NEWMEM, como se verá en el siguiente capítulo.

3.5.1 Revisión de las Tecnologías Intel.⁽⁹⁾

Haremos una revisión de los procesos de

fabricación de tales memorias (Por ejemplo la memoria de nuestro diseño usa el proceso de fabricación por compuerta de Silicio CMOS). Un retazo de barra de silicio se convierte en un dispositivo de memoria de alto rendimiento mediante un proceso de tecnología basado en las técnicas de tratar el semiconductor de Oxido de Metal (MOS). Hay tres familias de tales tecnologías : PMOS, NMOS y CMOS. La tecnología PMOS implementa transistores FET de canal P mediante la difusión de dopantes tipo P (usualmente Boro) dentro de un Substrato de Silicio tipo N para formar la Fuente y el Drenador (canal incluido de portadores de carga positiva). La tecnología NMOS es similar pero usa dopantes tipo N (normalmente Fósforo o Arsénico) para hacer FET's de canal N en Substratos de Silicio tipo P (canal incluido de portadores de carga negativa). La tecnología de MOS complementario (CMOS) combina ambos dispositivos de canales P y N en el mismo Silicio, Cualquier Substrato de Silicio tipo P o N puede ser usado, sin embargo, las áreas profundas de tipo de dopado opuesto (llamados pozos) debe ser definido para permitir la fabricación del tipo de transistor complementario. Como fueron necesarias altas velocidades y grandes densidades, los nuevos dispositivos

la de dirección, control [Selección del Chip (CS) y habilitación de escritura y de las salidas (WE y OE respectivamente)], y el arreglo de memoria. Dentro del arreglo de memoria, la intersección de la columna seleccionada y la fila seleccionada localiza la celda de memoria deseada (Fig.3.5.1) la cual muestra la celda standard de seis transistores. Configurada como un FF biestable, la celda de memoria usa dos transistores para cargas y dos para activar dispositivos de modo que los datos son almacenados dos veces como el verdadero y el complemento. Los dos transistores restantes habilitan los datos sobre el bus interno de I/O. La memoria tiene un Generador de Polarización Interno, el voltaje de polarización permite el uso de un substrato de alta resistividad mediante el ajuste de los voltajes umbrales. Este reduce el efecto de la capacitancia del silicio, como resultado el rendimiento es mejorado. El voltaje de polarización es generado acoplando capacitivamente la salida del oscilador circular hacia la bomba de carga conectado al substrato. La polarización internamente generada permite la operación para una simple fuente de +5VDC, manteniendo la compatibilidad TTL (Ver Fig.3.5.2).

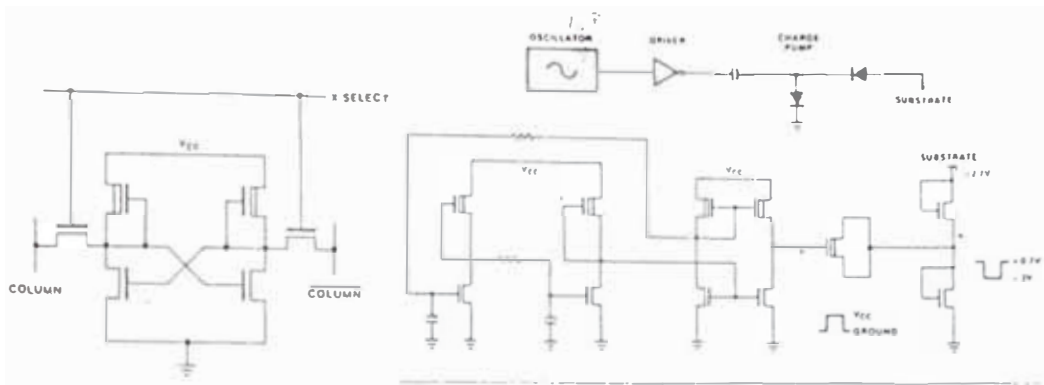


FIG. 3.5.1. CELDAS DE MEMORIA CMOS

FIG. 3.5.2. GENERADOR DE POLARIZACION DEL SUBSTRATO

Power Down. Cuatro señales internas dependen del valor que tome CS, $\Phi 1$ controla las direcciones que ingresan a la memoria, y si CS tiene un valor lógico 1, $\Phi 1$ hará que estas direcciones no ingresen al dispositivo, lo que quiere decir que la memoria no está activada (Standby) y en consecuencia tendrá su mínimo consumo (Power Down). Si CS tiene un valor lógico 0, $\Phi 1$ habilitará el ingreso de las direcciones a la memoria, activándose el funcionamiento del dispositivo (Activo o llamado Chip Seleccionado) y en consecuencia el consumo será mayor (Power-On). Luego el consumo de energía de un sistema de memoria es el producto del número de dispositivos, el voltaje aplicado y la corriente promedio por dispositivo. La corriente promedio de dispositivo sin Power-Down es aproximadamente la corriente de operación, y con Power-Down es la suma de la corriente activa total y la corriente Standby total dividida por el número de dispositivos

en el sistema. (Ver Fig.3.5.3)

Power On. Cuando la energía es aplicada, ocurren dos eventos que deben considerarse: Arranque de la Polarización del Substrato y Inestabilidad TTL. Sin el generador de polarización funcionando (V_{cc} menor a 1.0v), el modo de deflexión de los transistores dentro del dispositivo arrastra mucho más que el flujo normal de corriente. Cuando el generador de polarización empieza a operar (V_{cc} mayor que 1.0v), el umbral de estos transistores es desplazado, decreciendo el flujo de corriente (Ver Fig. 3.5.4). Para V_{cc} mayor que 1.0v, la corriente total de dispositivos es una función de las características del arranque de la polarización del substrato y la estabilidad TTL. Para eliminar estos problemas una técnica es diseñar las fuentes de alimentación secuencialmente; permitiéndose activar primeramente a la fuente TTL. Cuando la señal CS se ha estabilizado en 2.0v o más, la fuente de la memoria está activada. De este modo la corriente Power-On de la memoria sigue la curva marcada $CS=V_{cc}$.

FIG. 3.5.3.
EFECTOS
DEL POWER
DOWN EN
LOS SISTEMAS

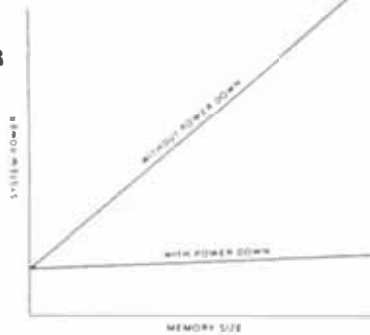
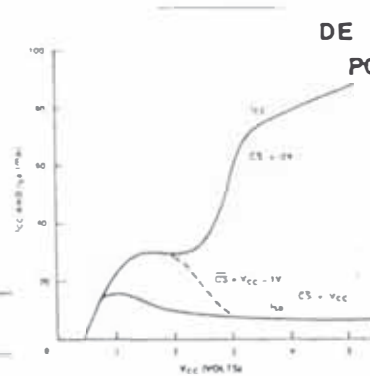


FIG. 3.5.4.
CARACTERISTICA
DE ENCENDIDO
POWER - UP



3.6 Criterios de Diseño para Tarjetas de Memorias No Volátiles.

Luego de haber diseñado las etapas de temporización de los ciclos de Lectura y Escritura, así como el control, las interfases de salida y entrada de datos, y los registros y decodificadores de las direcciones de la tarjeta de memoria, debemos tener en cuenta una serie de criterios para el diseño durante y posteriormente a las pruebas en Proto-board, con la finalidad de completar el diseño en el circuito impreso ya implementado.

3.6.1 Diseño de un Sistema de Alta Velocidad. (9)

Nuestro sistema de memoria no volátil de capacidad de 24K x 16b, tiene una duración para el ciclo de Lectura de 500ns y para la Escritura de 600ns, o sea que como máximo se tendrá una velocidad de ciclo de memoria de $1/(500+600)ns = 0.90 \text{ MHz}$ y de ahí 2MHz y 1.6 MHz para los ciclos de Lectura y Escritura, respectivamente; adicionalmente se tiene un reloj externo de sincronismo de 10 MHz. Se concluye

por los valores dados que nuestro sistema no es de alta velocidad, pero por los armónicos de sus valores se podrían generar efectos que deberían anularse con los siguientes criterios:

-Las características de un arreglo de memorias RAM son controladas por el circuito impreso (Board), el cual le sigue en importancia al propio dispositivo. El board debe enrutar la alimentación y señales a y desde la RAM.

-Un trazo de circuito impreso, siendo extremadamente una baja resistencia en DC, debe enrutar fácilmente los + 5vDc por todos los dispositivos. Pero como las RAM están operando, microcircuitos dentro de éstas crean corrientes conmutadas ON y OFF, creando picos de corriente de alta frecuencia sobre la red, y hace que ésta se comporte como un elemento de baja resistencia pura pero en forma de línea de transmisión. Asociada a esta línea de transmisión existe un factor de atenuación de voltaje directamente proporcional a la variación de la corriente con respecto al tiempo multiplicada por la inductancia. Este voltaje entre RAM tiene tolerancia +10% que puede ser excedido fácilmente por excursiones de +1v que no serían raras. Poniendo N líneas en paralelo a esta línea de

transmisión se reduce la impedancia equivalente en Z_0/N . La distribución de alimentación (+voltaje) y tierra (-voltaje) vía planos separados entrega mejor distribución. El proceso de cuadrículamiento es rodear a cada dispositivo con un anillo de distribución de energía y tierra formando varios caminos paralelos con su correspondiente reducción de impedancia. Esto se consigue haciendo trazos horizontales en un lado del board (+voltaje) y verticales al otro lado (-voltaje) conectados en forma de plancha, unidas a través de agujeros como si se formaran unas grillas.

-El desacoplo debería considerarse como un aspecto final de la distribución alimentación y tierra, la cual entrega carga localizada para minimizar los cambios instantáneos de voltaje en la grilla de alimentación debido a los cambios de corriente, cuando el dispositivo es seleccionado y deseleccionado. Normalmente se instalan en paralelo condensadores cerámicos de 0.1uF por cada dos dispositivos de memoria (los cuales se deducen de una aproximación de la expresión : $di=Cdv/dt$).

-El desacoplo de carga se adiciona para filtrar el ruido de baja frecuencia en el sistema de distribución de energía. En este

caso se adiciona condensadores de tantalio de (22 a 47) μ F por cada 16 dispositivos el cual entrega suficiente almacenaje de energía.

-Similar razonamiento se observa a las señales alternas de Dirección, Control y Datos. Mientras que estas no se cuadrículen o se desacople deben mantenerse breves y terminantes, pero tienen características de líneas de transmisión. Las entradas de los MOS RAM son esencialmente capacitivas, o sea las corrientes pueden ser subimpulsos, amortiguadas críticamente, o con sobre-elongación donde el voltaje puede cruzar el punto umbral del dispositivo. Suficientes resistencias de 33Ω en serie son instaladas para prevenir la distorsión, pero con todo esto se retardaría el acceso(terminación en serie).

-Las terminaciones en serie usan un resistor y consume poca energía, creando un voltaje que desfasa mínimamente el voltaje de entrada, por que el dispositivo de memoria tiene una alta impedancia de entrada. Una terminación en paralelo tiene la ventaja de una rápida subida y bajada de señal pero con la desventaja de un alto consumo de energía y el incremento del espacio en el board usado.

-Adicionalmente al tiempo de acceso de las RAM, el tiempo de propagación por retraso

aumenta el tiempo de acceso del sistema y así el tiempo del ciclo del sistema, y la eficiencia del sistema es maximizada cuando la propagación por retraso es minimizada (antes de la reducción, la eficiencia está entre 40 a 60%). Tres factores contribuyen al tiempo de retraso: Retraso lógico, carga capacitiva y el tiempo de tránsito.

-La carga capacitiva hace depender el tiempo de retraso por propagación. En las cartas se especifican para cargas conocidas (15 pF o 50 pF), una capacidad mayor hará más lento al dispositivo y viceversa. La aproximación empírica es de 0.05ns/pF. El cálculo se hace substrayendo la actual carga menos la especificada, multiplicada por la aproximación y substraída del retraso especificado.

-El tiempo de tránsito es el requerido para que la señal atraviese la trayectoria del circuito impreso, que vienen a ser líneas de transmisión: $t_p = f(LC)$; t_p → tiempo de travesía, L → inductancia por unidad de longitud de travesía, y C → capacidad por unidad de longitud de travesía.

$$\Rightarrow t_p' = \sqrt{L(C+CL)} = \sqrt{LC(1+CL/C)} = \sqrt{LC} \sqrt{1+CL/C} \quad t_p \sqrt{1+CL/C}$$

Donde: CL → Carga Capacitiva. Una señal no ve toda la carga capacitiva simultáneamente esta es distribuida durante el camino entre dispo-

sitivos. Empíricamente $t_p=(1.8 \text{ a } 2.0) \text{ ns/pie}$
 $C=1.5 \text{ pF/pulgada}$. El retardo total es la suma de los retardos. Adicionalmente al tiempo de acceso del dispositivo de memoria, el retardo TTL y el retardo por recorrido son el tiempo de acceso del sistema.

-Los efectos de longitud de travesía y carga capacitiva se minimizan con un circuito impreso adecuado. Las líneas de dirección y control son divididas en configuraciones a la izquierda y derecha con estas señales conducidas horizontalmente. Esta configuración minimiza el tiempo de retardo por propagación. No es necesario hacer lo mismo con las líneas de datos, ya que sus cargas no son grandes ni largos sus recorridos como las líneas de dirección y control. Los bloques de control y temporización, llenan el espacio restante. Las líneas de direcciones y control son perpendiculares a las líneas de datos el cual minimizan la diafonía (que puede ser capacitiva e inductiva) y así se simplificaría la búsqueda de fallas (por ejemplo un defecto en una fila de dispositivos indica un componente defectuoso de dirección o control, mientras que un defecto en una columna de dispositivos indica un componente defectuoso de datos).

-Cuando una señal conmuta desde un nivel 1 a 0 su excitador puede consumir 20mA, induciendo un transitorio en una pista adyacente. Si la señal adyacente está conmutando a un nivel 1, son disponibles solamente para el excitador 400uA para el consumo desde la fuente de corriente, y esta corriente inducida generara un pico negativo, llevando la señal a un nivel 1 negativo. Luego un tiempo adicional (de 10 a 15ns) es requerido para recobrar y reestabilizar un nivel 1 estable. Desde $di = C dv/dt$, una mejor alternativa es reducir la capacitancia (para maximizar la expresión), la cual resulta en un incremento correspondiente de dv/dt para un recuperamiento rápido. Dividiendo las cargas se reduce la capacitancia y permite una conducción de bajo consumo. Esto tiene doble efecto: decrece el retardo de propagación y entrega un agudo tiempo de subida y bajada.

3.6.2 Diseño de un Microsistema para Ambientes de Bajo Consumo. (9)

La principal característica de nuestra tarjeta de memoria (microsistema) mejor dicho de los dispositivos mismos de memoria, debe ser su bajo consumo, ya que al alimentar con fuente de baterías a las memorias cuando se quiere una retención de datos, éstas deben ser de

mínimo consumo de corriente. A continuación se tienen los respectivos criterios:

-Los ambientes de bajo consumo tienen dos elementos básicos: consumo activo (durante un acceso a memoria) y Standby (entre accesos). con respecto a las memorias y otro elemento: el consumo de retención de datos (el mínimo requerido para mantener la información en la memoria: Back-Up).

-Un sistema con retención de datos puede pero no necesariamente ser un diseño de bajo consumo. El principal prerequisite es que la porción del sistema a ser soportado por la batería en ausencia de la línea de alimentación debe ser de bajo consumo. Se debe incluir: Protección de la memoria de falsas señales (durante el Back-Up y en el instante del Power-Up) y la minimización de la disipación de energía durante el Back-Up. Para determinar el tamaño de la batería, valores típicos pueden ser usados, pero por la aplicación también debería considerarse particularmente el ambiente de temperatura.

-Para minimizar la cantidad del consumo requerido al menos en el circuito Back-Up: Usar todos los componentes CMOS; usar en lo posible XN dispositivos en vez de X1 (pocos dispositivos activos significan menor consumo

activo); no dejar abiertas ni en high-Z a las entradas CMOS, asegurándose de que estén en alto en nuestro caso; asegurar a través del dispositivo condensadores By pass que tengan caminos de baja inductancia (cuadrícula); mantener a los componentes cerca para reducir la capacidad de carga.

-Durante el Power-On los circuitos TTL son propensos a operar bajo condiciones en las cuales se violan sus especificaciones; consecuentemente las señales CS pueden ser indeterminadas. Uno entre varios puede ser bajo, activando uno o más bancos de memoria. Si la alimentación secuencial no es práctica. Un método igualmente efectivo es conectar el pin \overline{CS} hacia Vcc a través de una resistencia de 1 Kohm. Aunque esto no garantiza una entrada CS de 2.0v, estudios empíricos indican que el efecto es el mismo.

-Para minimizar los efectos de transistores de corriente, es recomendable que un condensador (By pass) de 0.1uF sea instalado por cada dispositivo de memoria. Se prefiere condensadores de alta velocidad (baja inductancia). La mayoría de dispositivos CMOS requieren menos que 0.1uF. El condensador de desacoplo requerido puede ser calculado de: $C_{By\ pass} = di \cdot dt/dv$, por ejemplo para un pico de

corriente (diferencia entre corriente activa y Stand by) de 95.63mA, un tiempo de respuesta de capacidad de carga de $1\mu s$ para condensadores típicos de tantalio, y 100mv de pico de voltaje el CBy pass = 0.04uF, en este caso 0.1uF para cada dispositivo sería suficiente.

-Cuando se está en modo Back-Up o Retención de Datos, ellos requieren dos décimas del uno por ciento de su consumo activo para mantener la información. Las implicaciones para el diseñador del sistema son, la más baja refrigeración y la más pequeña fuente de alimentación a baterías. Durante los ciclos de memoria se consideran el consumo Standby para la operación normal (Duty Cycle) y el consumo activo inclusive para las operaciones de Power-Up o Reset (100%-Duty Cycle). Las diferencias de estos consumos se considerarán para el condensador de la fuente de alimentación de las memorias (para menos de 1mseg y no más de 200mv de transitorio), y la operación normal no debería exceder del 70% de la capacidad de la fuente de alimentación.

-Los productos CMOS tienen mucho mayor cambio de corriente desde la Standby a la activa; que los productos NMOS, tanto que mientras ellos expanden las opciones (bajo consumo,

gran ancho de banda, etc.) disponibles al Ingeniero de Diseño, se debe alimentarlas apropiadamente. Esto significa desacoplo apropiado y una mayor posibilidad del uso de circuito impreso de cuatro caras con las caras internas de alimentación y tierra.

a. Baterías

En el proceso de selección de una batería en particular, primero se debe considerar la aplicación en la cual se va a usar. Por ejemplo en que ambiente va a trabajar (temperaturas a la que va a estar sujeta en estado de operación y Standby, vibraciones que tendrá que soportar, y cuan robusta deberá ser), el voltaje que es requerido (cuan bajo puede ser tolerado, aceptable curva de descarga inclinada o el requerimiento de una curva de descarga plana), la proporción de descarga y el período de tiempo (Energía la capacidad requerida en Amper -Hora), el espacio a ser requerido (Densidad de Energía ; o quizás el peso tolerable), el tiempo aceptable que las baterías deben subsistir (Vida de Servicio: capacidad requerida o en caso de ser recargables define el ciclo de vida), y el alto costo para proporción de descarga plana o quizás para superior servicio o inicialmente alto pero bajo en opera-

ción (puede ser el factor decisivo entre una batería preferida y otra que tan solo es aceptable). Hay otros factores que pueden ser aceptables como tiempo de almacenaje, Duty Cycle, seguridad, confiabilidad y disponibilidad. Las baterías están divididas en dos tipos básicos: Primarias (de una reacción química que por propósitos prácticos no pueden ser invertidas o recargada) y Secundarias (usan una reacción química reversible y pueden ser recargadas). Las baterías primarias tienen mejor retención (tiempo de almacenaje) de carga que las secundarias y la relación de costo/energía típicamente menor (cuando el costo de la secundaria no está distribuida sobre su ciclo de vida) por ejemplo tenemos baterías del Cloruro de Zinc, Oxido de Plata, Litio Mangánico, etc. Las baterías secundarias tienen una relativa corta vida de almacenaje por su autodescarga, pero con algunos medios de mantenimiento de carga, su tiempo de almacenaje puede extenderse virtualmente indefinidamente, por ejemplo baterías de Acido Forrado y Níquel-Cadmio, etc. (Ver APENDICE E).

b. Circuitos de Conmutación de Alimentación.

Un sistema con respaldo a batería requiere algunos recursos para entrar y salir fácil

mente al modo de operación de respaldo a batería (Battery Back-Up) Este debe, en una manera ordenada, detener el sistema y conmutar la memoria volátil sobre la alimentación a batería antes que se pierda la línea de alimentación. Este también debe retornar la memoria volátil a la línea de alimentación cuando aquella alimentación es restaurada y se debe hacer sin perder la información almacenada. El primer requisito de un circuito de conmutación de alimentación es que la alimentación para la porción del sistema que será soportada por la batería cuando la alimentación falle (CMOS) estará aislada de la alimentación del resto del sistema (TTL).

CAPITULO IV

DESARROLLO DEL DISEÑO CIRCUITAL A IMPLEMENTAR

Finalmente luego de haber descrito el funcionamiento de los sistemas de control automático del aparato de propulsión y de medidas y alarmas, así como el análisis del Hardware y la teoría básica implicada en la finalidad de esta tesis, seleccionaremos la mejor alternativa para solucionar la problemática y el diseño electrónico capaz de adaptarlo al sistema de control existente, además del aprovechamiento de esta nueva tecnología en lo que fuera posible.

4.1 Elección del Tipo de Tecnología Disponible

Como vimos en el Capítulo II (2.4), el sistema está fuera de servicio por que las tres tarjetas MEM (del computador ULP12) están obsoletas y la solución a corto plazo es reemplazarlas por un solo módulo de memoria al cual denominaremos tarjeta NEWMEM de característica No Volátil, de tecnología vigente en el mercado y que sea adaptable a dicho computador ULP12. La finalidad de esta tesis conduce a escoger el tipo de tecnología de memoria a usar y la tecnología para adaptarla al sistema de control, priori-

zando el mayor rendimiento, el menor consumo de energía, menor densidad y menor costo.

4.1.1 Tipo de Tecnología de Memoria. (9,10,11,12)

Según (2.4.2), las tres tarjetas MEM 1, 2 y 3 (c/u de 0.5m x 0.5m aprox.) en conjunto tienen una capacidad de 24K (24384) palabras, a 16 bits de datos, de acceso aleatorio (RAM) y su principal característica No Volátil (a núcleos magnéticos). Además de (2.4.2), luego de 400ns de la orden de lectura (ésta de 100ns) se tienen los datos leídos de la memoria durante 100ns, y se tienen 500ns luego de la orden de Es(res)critura (ésta de 100ns) para Es(res)cribir los datos en la memoria (o sea 500ns para el semi-ciclo de Lectura y 600ns para el semi-ciclo de Es(res)critura). La información inalterable que se graba en estas tarjetas MEM (Sistema Operativo I/O, MAN I, II, CED I,II,MOS/C, etc.) proviene directamente de unas cintas perforadas (Back-UP) la cual viene a ser menor que el total de la capacidad de estas tres tarjetas MEM. Esto quiere decir que en tales tarjetas no volátiles se tendrá almacenamiento de programas y almacenamiento (alterable) de datos, que en conjunto es mayor al 91% y menor al 99% del total de la memoria del ULP12. El almacenamiento de programas incluye rutinas para la inicialización

de Hardware (Al lanzar el ULP12 o Power On), comunicaciones, actualización de datos, sistema operativo de I/O, tablas de conversión, acumulación de datos, etc. El almacenamiento de datos incluye tablas de interrupción, stack, buffers, y datos variables. Debe hacerse hincapié que no se tiene el contenido de tales programas que están hechos en un macroassembler de 16 bits hecho por la firma SEPA a fines de los años setenta.

De las características dadas empezaremos por elegir el tipo de memoria de tecnología vigente, con la condición principal de ser solución inmediata a nuestra problemática. Como se vio en el Capítulo III primeramente las memorias DRAM y IRAM están descartadas por ser volátiles. Luego las memorias no volátiles de Burbuja Magnética se usan para un almacenamiento mucho mayor 24K x 16b. Las memorias de sólo lectura ROM, PROM y EPROM podrían hacer el almacenamiento de programas, pero no se haría por no tener acceso a la información del macroassembler de tales programas ya que sería más costoso diseñar el Hardware para conseguir tal Software y no sería solución inmediata. Ahora las memorias de lectura y escritura E2-PROM, NVRAM y FLASH conducen a un gran costo del Hardware adicional y Algoritmos especiales

recciones y señales de control a tal nivel; además sus tiempos de acceso para lectura y escritura de datos deben ser menores a los propios ya especificados. Para un mejor rendimiento debe consumir menor energía(Power Down) cuando está inactiva(Standby) que cuando está activa. La batería de respaldo(Batery Back Up) debe tener un tamaño adecuado para la instalación en el circuito impreso, aislada(mediante un circuito) de otros dispositivos para prevenir su descarga y que alimente a la CMOS SRAM sólo cuando es quitada la alimentación del sistema. No usaremos baterías recargables(ni su circuito de recarga) por tener estas un número limitado de recargas(alrededor de miles) y por entregar menor capacidad de corriente. La alimentación del sistema cuando esté lanzado, energizará la CMOS SRAM. La batería deber ser lo menos sensible a los cambios de temperatura para no destruir la información almacenada. Otra alternativa que incluimos en esta tesis, son las memorias no volátiles CMOS SRAM(NVCMOS SRAM) donde vienen empaquetadas en un chip la memoria CMOS SRAM, la Batery Back Up y su circuito de protección.

De las consideraciones a tomar en cuenta, hemos elegido de los manuales actuales y de mayor renombre, la memoria 51256S-10 32K x 8

bits CMOS STATIC RAM de la firma INTEL (la cual tiene reemplazos en varios fabricantes, incluso para la versión NVCMOS SRAM) fabricada usando el proceso de compuertas de silicio CMOS. Como características tiene la de operación estática (no necesita señal de clock, ni circuito de refresco), iguales tiempos de acceso y ciclo ($t_{acs}=t_{rc} - 100ns$, para un simplificado diseño del sistema), alimentación de +5v, con modo Power Down, compatible con circuitos TTL, datos comunes de entrada y salida, alta seguridad de funcionamiento en chip de 28 pines 600 mil PDIP. Cuando CS está en alto el dispositivo asume el modo Standby en donde su consumo va desde 3mA(max) a (2 ó 100)uA(min). Si CS está en bajo el dispositivo consume hasta 60mA max; tiene una retención de información que garantiza que los datos permanecerán válidos para un $V_{ccmin}>2.0v$, tal consumo es desde 50uA(max) a 2uA(min) ($CS>V_{cc}-0.2v$). La operación del dispositivo se resume en su tabla de verdad que se encuentra en las cartas de información del 51256S-10(Ver APENDICE C) escogemos los diagramas de tiempo para lectura y escritura. (Ver Diagrama 4.1.1)

ratura, aunque una menor velocidad pero que es suficiente para los requerimientos, para una mayor confiabilidad y minimización de costos posteriores. (Ver Fig.4.1.1)

4.1.3 Diagrama de Bloques del Diseño Circuital.

Desde el tipo y configuración de memoria elegida, partiremos por hacer el diagrama de bloques de nuestro diseño, con la finalidad de que cumpla los requisitos de las tarjetas de memoria MEM 1,2 y 3, como se indicó en (4.1.1), de nivel (todos los bloques de circuitos TTL); temporización de las señales de control, direcciones y datos de entrada (\overline{LCLOCK} , \overline{LREADI} , \overline{LWRITE} , $I1 \div I15$; $\overline{DU0} \div \overline{DU15}$) y de salida (\overline{LDA} , \overline{LEOC} ; $\overline{DI0} \div \overline{DI15}$) respectivamente; y de alimentación, que en nuestro caso sólo utilizaremos +5V_{DC} y GND (Ver Fig.4.1.2). Se preferirá los IC's 54'TTL por ser para sistema militar.

4.2 Diseño Circuital del Bloque de Decodificación de Direcciones.

Está conformado por los Bloques de Selección de Board y Retención de Direcciones. En este se debe considerar las tres funciones de las líneas de dirección en las tarjetas de memoria más comunes Selección de Board, Generación del CS y Direcccionamiento Propio de la RAM.

4.2.1 Bloque Selector de Board

ratura, aunque una menor velocidad pero que es suficiente para los requerimientos, para una mayor confiabilidad y minimización de costos posteriores. (Ver Fig.4.1.1)

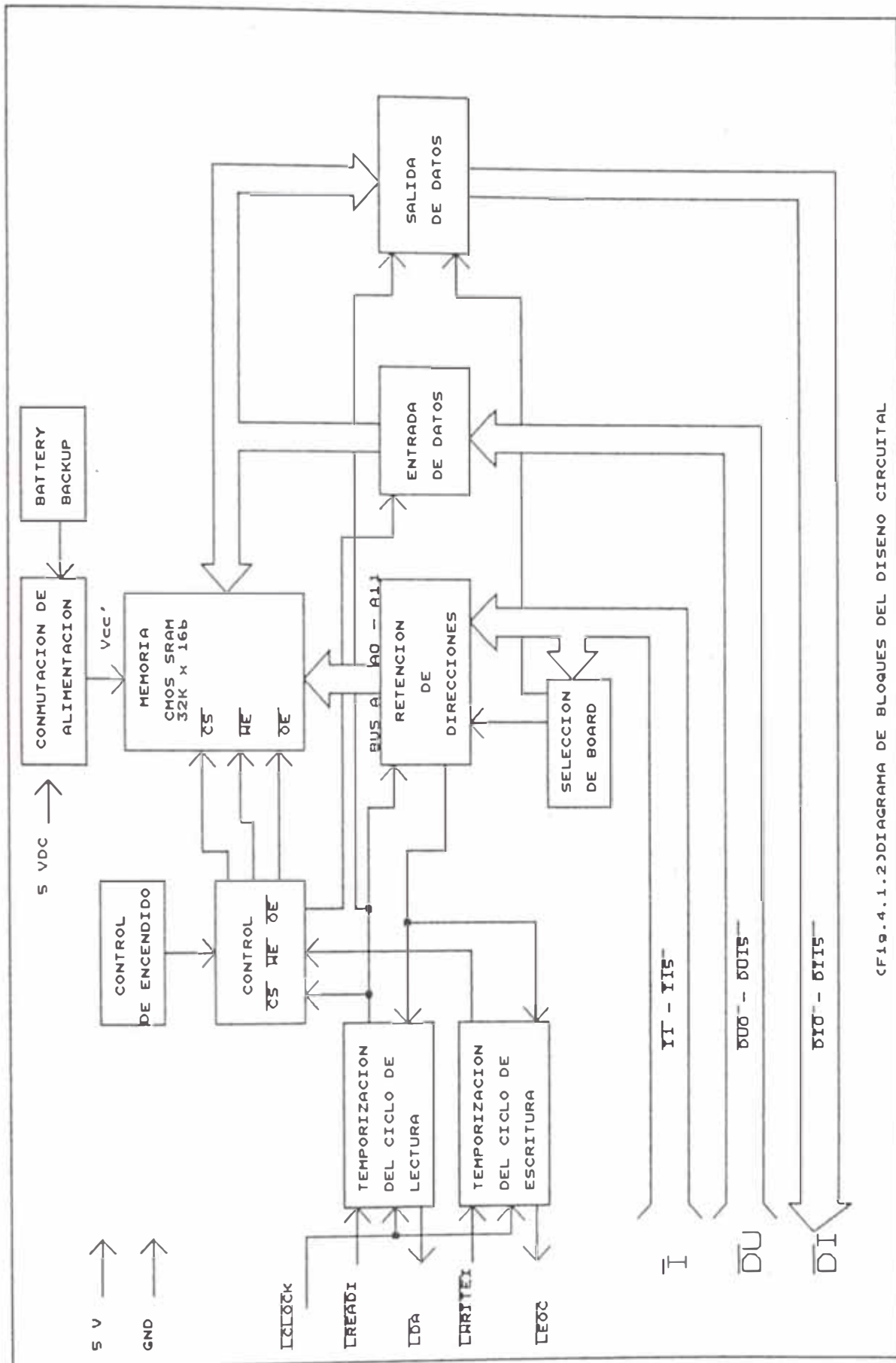
4.1.3 Diagrama de Bloques del Diseño Circuital.

Desde el tipo y configuración de memoria elegida, partiremos por hacer el diagrama de bloques de nuestro diseño, con la finalidad de que cumpla los requisitos de las tarjetas de memoria MEM 1,2 y 3, como se indicó en (4.1.1), de nivel (todos los bloques de circuitos TTL); temporización de las señales de control, direcciones y datos de entrada (\overline{LCLOCK} , \overline{LREADI} , \overline{LWRITE} , $\overline{I1} \div \overline{I15}$; $\overline{DU0} \div \overline{DU15}$) y de salida (\overline{LDA} , \overline{LEOC} ; $\overline{DI0} \div \overline{DI15}$) respectivamente; y de alimentación, que en nuestro caso sólo utilizaremos +5V_{DC} y GND (Ver Fig.4.1.2). Se preferirá los IC's 54'TTL por ser para sistema militar.

4.2 Diseño Circuital del Bloque de Decodificación de Direcciones.

Está conformado por los Bloques de Selección de Board y Retención de Direcciones. En este se debe considerar las tres funciones de las líneas de dirección en las tarjetas de memoria más comunes Selección de Board, Generación del CS y Direcccionamiento Propio de la RAM.

4.2.1 Bloque Selector de Board



CF19.4.1.2)DIAGRAMA DE BLOQUES DEL DISENO CIRCUITAL

Como se vio en (2.4.2), las tarjetas de memoria MEM 1, 2 y 3 (seleccionados por IC0, IC1, y IC2 respectivamente) abarcan en conjunto una capacidad desde 600(8) hasta 137776(8) que es aproximadamente 24K palabras(En nuestro proyecto no se considera la MEM4 que es seleccionada por IC3). En consecuencia no consideraremos en la tarjeta NEWMEM los campos de memoria que van desde 0 a 576(8) (Campo A) y desde 140000(8) hasta 177776(8) (Campos IC3 y B), y por analogía con las tarjetas MEM, al detectar estos campos deshabilitará los bloques de temporización y la salida de datos. Ahora diseñaremos la lógica de detección de estos campos:

Campo (A): De 0(8)=0000000000000000(2)
A 576(8)=0000000101111110(2)
Campo(B+IC3): De 140000(8)=1100000000000000(2)
A 177776(8)=1111111111111110(2)

Tabla del decodificador:

Campo	I I I I I I I I I I I I I I I I I	Octal	Capa- cidad	Decod SB=1
	1 1 1 1 1 1 5 4 3 2 1 0 9 8 7 6 5 4 3 2 1 0			
A	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 : 0 0 0 0 0 0 0 0 0 1 1 1 1 1 1 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 : 0 0 0 0 0 0 0 0 1 0 1 1 1 1 1 0	0 : : : 576	192	X
CMOS	0 0 0 0 0 0 0 0 1 1 0 0 0 0 0 0	600		
SRAM	: 1 0 1 1 1 1 1 1 1 1 1 1 1 1 1 0	: 137776	24384	NO
IC3	1 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0	140000		
+	: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0	: 177776	8192	Y

Donde:

$$X = \overline{I15} \overline{I14} \overline{I13} \overline{I12} \overline{I11} \overline{I10} \overline{I9} \overline{I8} + I15 I14 I13 I12 \overline{I11} \overline{I10} \overline{I9} \overline{I8} I7 - I15 I14 I13 I12 I11 \overline{I10} \overline{I9} (\overline{I8} + \overline{I8} \overline{I7})$$

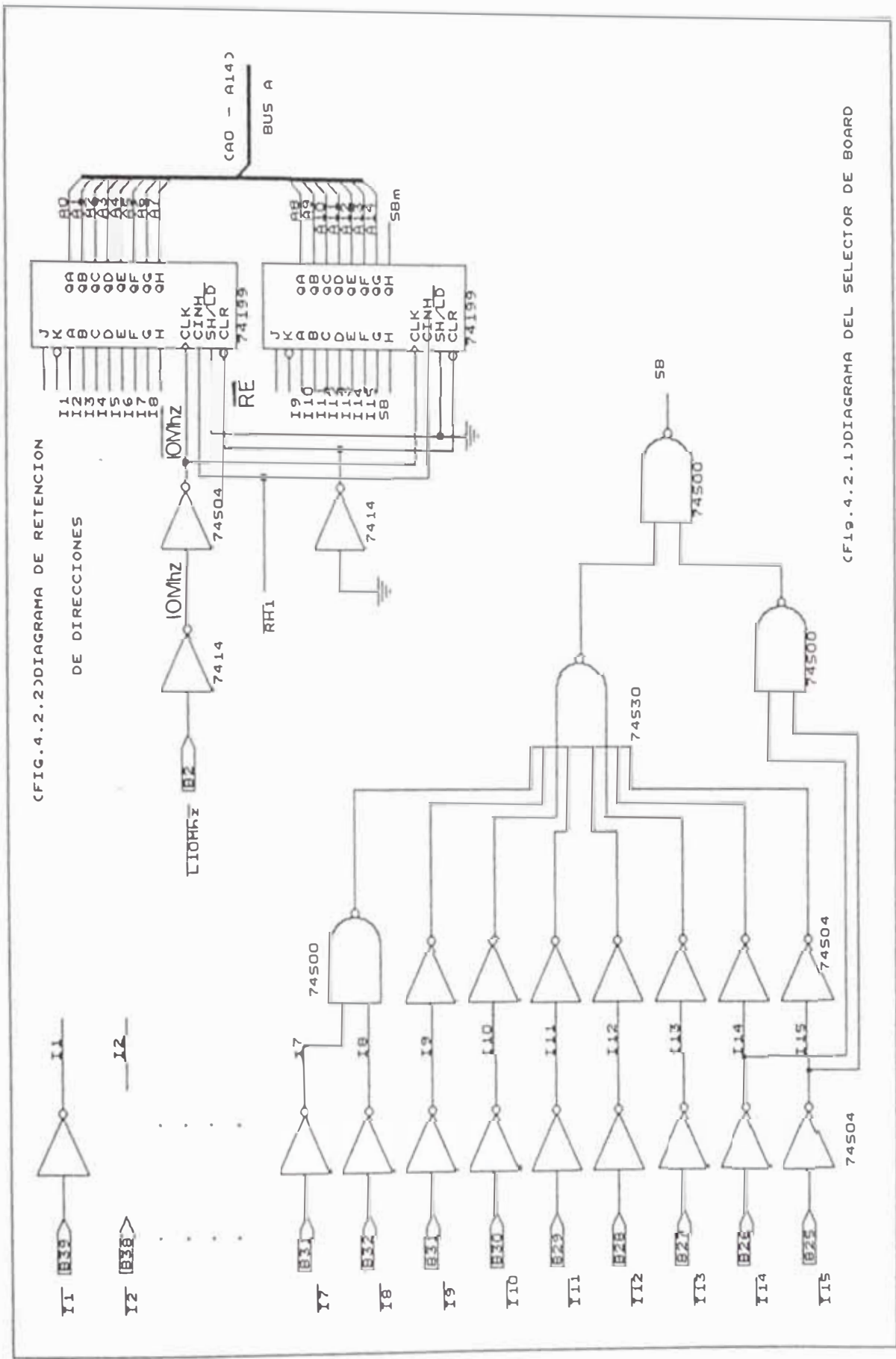
$$Y = I15 I14$$

$$\Rightarrow X + Y = \overline{I15} \overline{I14} \overline{I13} \overline{I12} \overline{I11} \overline{I10} \overline{I9} (\overline{I8} + \overline{I7}) + I15 I14$$

$$SB = I15 I14 I13 I12 I11 I10 I9 (I8 I9) \cdot (I15 I14) \quad (Ec.2.4.1)$$

El arreglo de esta última ecuación del decodificador SB nos facilita construir dicha lógica en base de compuertas NAND de 8 entradas, 2 entradas y respectivos inversores; al presentarse dichas señales de dirección (I1÷I15) con la bajada de \overline{LREADI} (sincronizada con L10Mhz), la propagación total de este decodificador debe ser mucho menor que 100ns para una rápida generación de CS, por lo que aseguramos usando compuertas veloces (Schottky): 74S30, 74S00 y 74S04. (Ver Fig.4.2.1)

(FIG. 4.2.2) DIAGRAMA DE RETENCION DE DIRECCIONES



(FIG. 4.2.1) DIAGRAMA DEL SELECTOR DE BOARD

4.2.2 Bloque Retención de Direcciones

Análogamente a las tarjetas MEM, las direcciones ($I1 \div I15$) deben memorizarse al inicio del semiciclo de Lectura y permaneciendo por el semiciclo de Escritura (o Reescritura) hasta el inicio del siguiente semi-ciclo de lectura en que se retendrán otras direcciones. La memorización se sincronizará con la subida del Clock de 10MHz y para tal se utilizará dos registros de 8 bits 74199 en paralelo, en su modo de carga paralelo, con señal de carga ($\overline{RH1}$) proveniente del bloque de temporización de Lectura. El Clock $\overline{L10\text{MHz}}$ que viene del bus EU, es una señal en que hay que eliminar el ruido mediante el inversor Schmitt-Trigger 7414[(7.5 a 22)ns de propagación] para nuevamente invertirlo pero con un 74504 y entregarlo retrasado (9 a 27)ns a los registros, y además asegurar a cero el contenido de los registros al momento del Power-Up mediante un 7414 con entrada a tierra y conectado al pin de aceramiento. Igualmente se retendrá el selector de board junto con las direcciones para (des)habilitar los bloques de temporización (Ver. Fig.4.2.2)

4.3 Diseño Circuital de los Bloques de Temporización

Tanto para indicar los fines de los semi-ciclos de Lectura y Es(res)critura, la salida de datos, la

carga de los registros de las direcciones, generación del CS, pulso de escritura WE y la temporización del OE, se necesita una exactitud y repetibilidad para una temporización en forma ordenada. Al no ser un sistema de alta velocidad una mejor elección sería registros de desplazamiento generados por clock y de la exactitud y estabilidad de este último, dependería la temporización. Por eso se tomará para estos dos bloques el mismo Clock $\overline{10\text{MHz}}$ de (4.2.2)

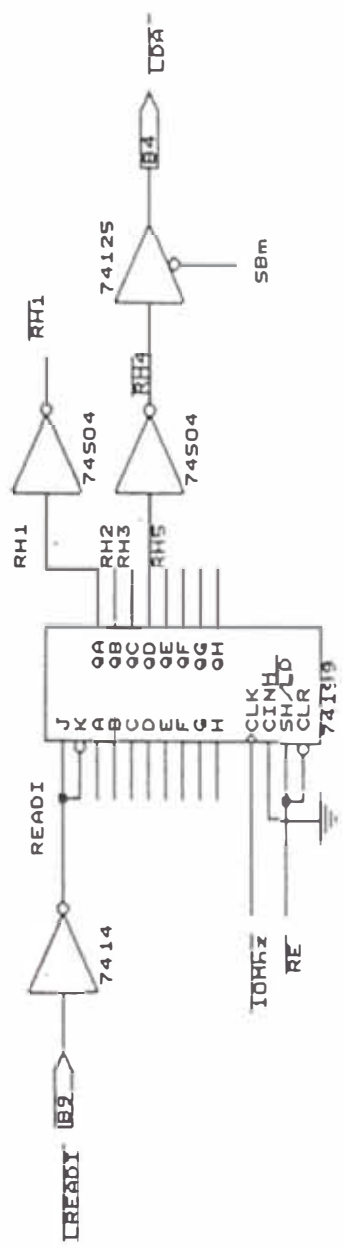
4.3.1 Bloque Temporización del Ciclo de Lectura

Para asegurar su funcionamiento también se dependerá de la exactitud y estabilidad de la señal de entrada a este registro de desplazamiento, luego se aplicará un 7414 a la señal de orden de lectura $\overline{\text{LREADI}}$. Como se vio en (2.4.2), 400ns después del pulso $\overline{\text{LREADI}}$ (de 100ns) aparece $\overline{\text{RH4}}$ el cual habilitará $\overline{\text{LDA}}$ y a la salida de datos, los cuales serán retenidos antes y después de RH4 por las memorias CMOS SRAM. Por eso escogeremos el registro de 8 bits 74199 en desplazamiento, con el inhibidor de clock a tierra para seguir sólo a la subida de $\overline{10\text{MHz}}$; los pines de desplazamiento y acercamiento luego de un 7414 con la entrada a tierra (RE), para las condiciones del Power-On. Si la palabra a leer no corresponde a la NEW-MEM, SB_m deshabilitará a LDA mediante el

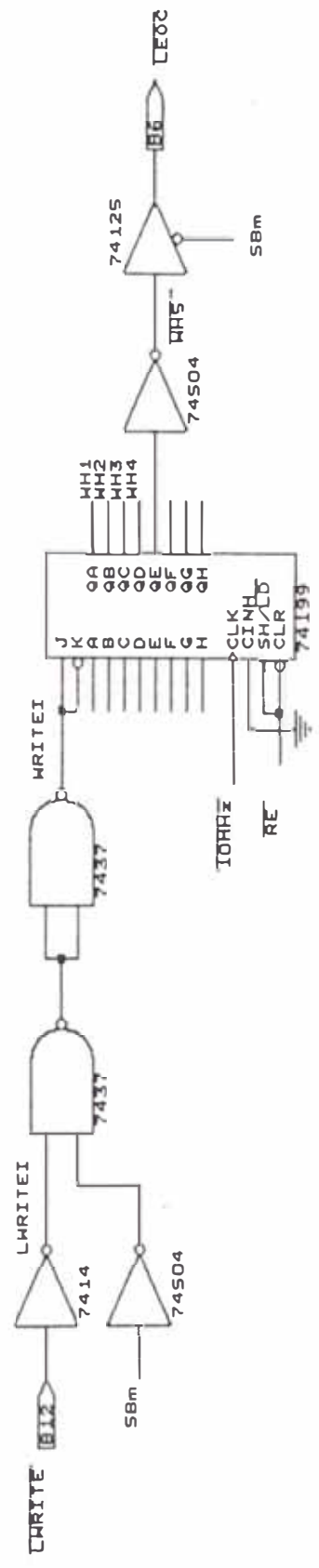
74125, $\overline{RH1}=1$ hará la retención de direcciones en simultáneo con la aparición de la subida de RH2 (Ver Fig. 4.3.1). Se recalca que LDA está retrasada hasta 23ns de RH4. RH2, RH3 y RH5 son para la generación de los controles CS y OE.

4.3.2 Bloque Temporización del Ciclo de Escritura

Al igual que (4.3.1), a $\overline{LWRITEI}$ se le aplicará un 7414 y por que este bloque debe ser protegido contra escrituras falsas ya sea por márgenes de ruido o por palabras que no pertenecen a la tarjeta NEWMEM, se le aplicará luego una compuerta NAND Buffer 7437 condicionada por el negado de SB_m (por un 74504, ya que el mapa de memoria que nos interesa es cuando $SB_m=0$), y tanto este Buffer como otro adicional [(15.5 a 66)ns de propagación], reducirán enormemente el margen de ruido y las oscilaciones de voltaje y corriente tanto para $\overline{LWRITEI}$ y SB_m , para así operar con toda la confiabilidad de la carga conectada que es la entrada serial del registro de desplazamiento de 8 bits 74199. Como se vio en (2.4.2), 500ns después del pulso (de 100ns) $\overline{LWRITEI}$ aparece WH5 el cual habilitará a LEOC con condicionamiento de SB_m mediante un 74125. WH2 y WH4 son para generación del pulso de escritura WE, y WH3 para \overline{CS} . (Ver Fig. 4.3.2)



(FIG. 4.3.1) DIAGRAMA DEL BLOQUE DE TEMPORIZACION DEL CICLO DE LECTURA



(FIG. 4.3.2) DIAGRAMA DEL BLOQUE DE TEMPORIZACION DEL CICLO DE ESCRITURA

4.4 Diseño Circuital de los Bloques de Control.

Estos van a ser el control de la memoria CMOS SRAM. Primeramente se debe cumplir con las temporizaciones seleccionadas dadas en el Diagrama 4.1.1. Al momento del Power-Up y estando el sistema sin giro (la tarjeta NEWMEM sin señales de entrada ni salida), la información almacenada no debe alterarse, y las memorias deben consumir la menor energía (Power Down), esto es $CS=WE=OE=1$. Luego se tendría un bloque de Control de Encendido y otro de Control para generar las respectivas temporizaciones de CS, \overline{WE} y OE, el cual sería a base de Flip Flops J-K con controles de Preset/Clear aprovechando los bloques de temporización de los registros de desplazamiento.

4.4.1 Bloque Control de Memoria.

El principio debe ser que en el Bus D de las memorias CMOS-SRAM se tengan los datos de salida (DOUT) antes y después del pulso RH4 (Semiciclo de Lectura), y los datos de entrada (DIN) durante el inicio del pulso WH1 hasta la mitad del pulso WH4 (Semiciclo de Escritura). De las cartas dadas en el APENDICE C, se tiene un tiempo de acceso máximo (tacs) de 100ns, luego se debe mantener estos DOUT durante 100ns mas (duración de RH4), o sea tendremos nuestro ciclo de Lectura de 200ns. Para asegurarnos podremos hacer durar 300ns a CS mediante un FF-JK y 200ns a OE mediante otro FF-JK

para tener DOUT antes y después de RH4. Estos FF's deben dispararse con el flanco de bajada de 10MHz ya que sus entradas aparecen con el flanco de subida. Además deben tener control de acercamiento. Teniéndose los datos DIN a escribir durante WH1 hasta la mitad de WH4, nuestro control WE puede ir dentro de este intervalo y suficiente con 200ns de duración. Ahora la duración de CS para la escritura de datos puede ir dentro del intervalo de \overline{WE} que suficiente es 100ns, y así se garantiza los tiempos de Set-UP de los datos, recuperación de escritura y ancho de pulso de escritura; previniendo una sobreposición de CS y \overline{WE} desde ciclos diferentes. Todos los tiempos mencionados están dentro del intervalo de la dirección memorizada, para que no se extiendan los ciclos ni sean abortados. Normalmente CS=OE=1 previene la sobre posición de datos en la CMOS SRAM y ahorra el consumo de corriente, y se concluye CS=0 durante los intervalos desde RH2 a RH5, y WH3. Para el primer caso escogeremos una salida del IC 74S114 con entradas J-K RH2 y RH5 respectivamente (RH2 J-K RH5) y para el segundo caso WH3 según la lógica:

ENTRADAS	$\overline{CS} = (\overline{RH2} \text{ J-K } \overline{RH5}) + \overline{WH3} = (\overline{RH2} \text{ J-K } \overline{RH5}) + \overline{WH3}$
(RH2 J-K RH5)	0
WH3	0

Ec. 4.4.1: $\Rightarrow \overline{CS} = (\overline{RH2} \text{ J-K } \overline{RH5}) \cdot \overline{WH3}$

Análogamente para OE, la salida negativa del otro FF-JK 74S114 con entradas de RH3 y RH5 respectivamente. Asimismo para WE usaremos un FF-JK 74S112 con entradas WH2 y WH4 respectivamente. (Hemos escogido este último IC para que con su otro FF-JK se diseñe el Bloque de Control de Encendido, ya que difiere del otro tipo de FF-JK usado por tener sus pines \overline{CLK} , \overline{PRE} y \overline{CLR} individuales) (Ver. Fig. 4.4.1). Hay que resaltar que OE sube al nivel 1 (30 ns max o 1.5 ns min) antes que CS y WE sube al nivel 1 (65.0ns max o 2.5ns min) después que CS, condiciones para una lectura (antes y después del pulso WH4) y escritura (antes y después del pulso WH3) de datos en las memorias CMOS SRAM.

4.4.2 Bloque Control de Encendido.

Partiremos del hecho de que los FF-JK que controlan a CS, OE y \overline{WE} deben ponerse al nivel lógico 1 en el instante del Power-Up. Como estamos utilizando las salidas negadas de tales FF-JK, nuestra respuesta a diseñar (\overline{CLR}) debe ir conectada en los pines de control de

FIG. 4.4.1. DIAGRAMA DEL BLOQUE DE CONTROL DE MEMORIA

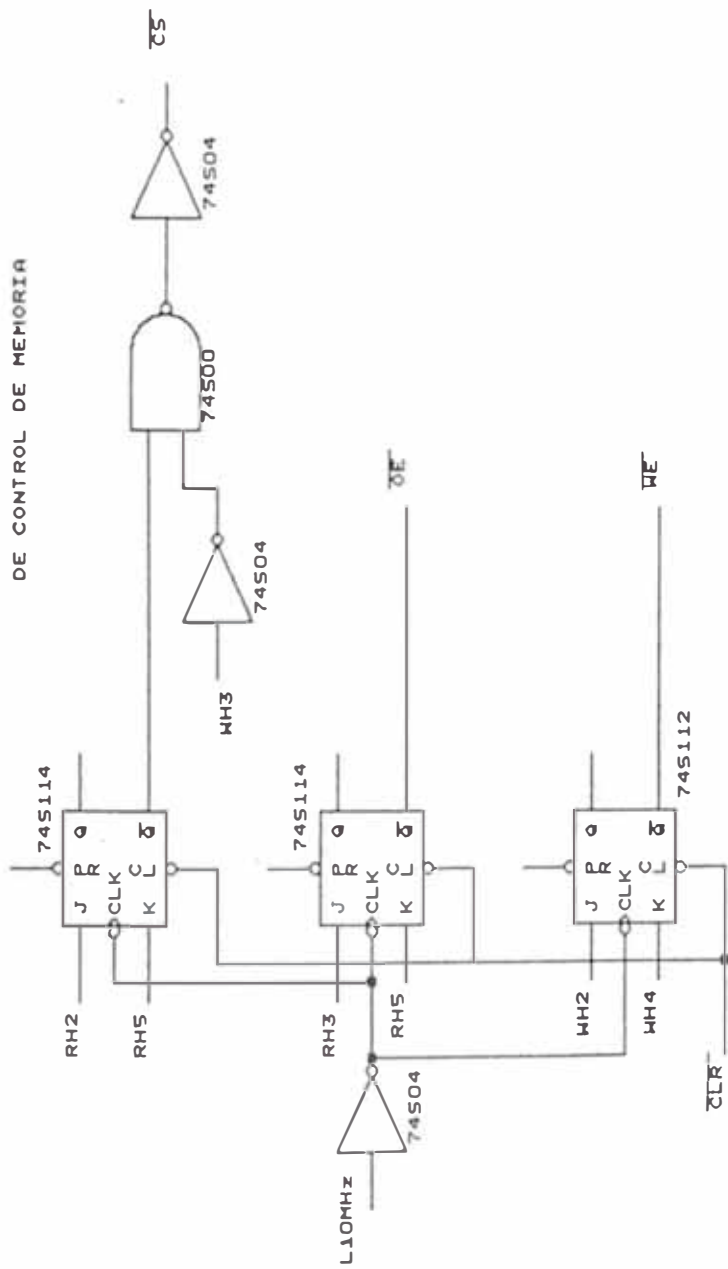
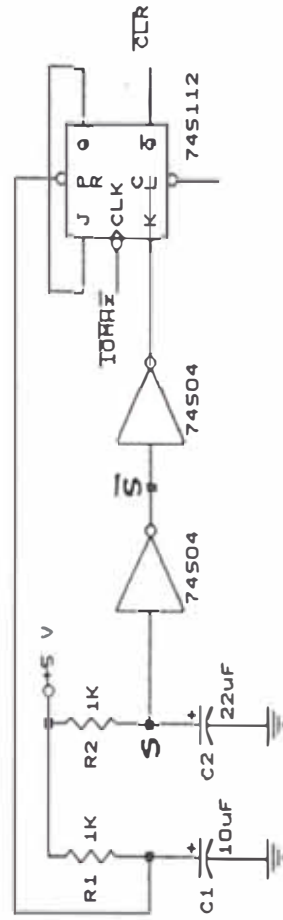


FIG. 4.4.2. DIAGRAMA DEL BLOQUE DE CONTROL DE ENCENDIDO



aceramiento de los FF-JK. Aprovechando un FF-JK sobrante del IC 74S112, diseñaremos un circuito de inicialización cuya salida de un lógico y luego mientras transcurre un tiempo se ponga a 1 lógico ya permanente. Usando la salida negada de este FF-JK como nuestra salida pondremos su pin de preposición ($\overline{2PRE}$) a un circuito que arranca su nivel en 0 lógico para luego ponerse en 1 lógico permanente, asegurando así que nuestra salida (\overline{CLR}) se inicie en 0 lógico. Este circuito puede ser un RC serie (de 1º orden) conectando R a $V_{cc} = +5v_{DC}$ y C a tierra, cuya salida se tome desde la unión RC. Cabe resaltar que la fuente de alimentación del Sistema es la que da el V_{cc} y de esta depende el valor instantáneo de +5vDC, ya que en la realidad V_{cc} crece en forma exponencial negativa desde que se lanza el sistema, relacionada con la impedancia capacitiva de la carga que ve la fuente. Para un mejor rendimiento el sistema usa una fuente de alimentación conmutada, de una rápida respuesta (ms), por eso diseñaremos el circuito RC para el $\overline{2PRE}$ con un $\tau = 10ms$ ($R_1 = 1K$ y $C_1 = 10\mu F$). Ahora para que nuestra respuesta \overline{CLR} finalmente se ponga en 1 lógico, la entrada K igualmente necesita un 1 lógico pero después de que el \overline{PRE} lo haya hecho, análogamente, lo conectamos

a un circuito RC de $\tau = 22\text{ms}$ ($R_2 = 1\text{K}$ y $C_2 = 22\mu\text{F}$) a través de dos inversores 74S04 para asegurar el retraso (ya que estos funcionarían mejor cuando $V_{cc} > 4.5\text{v}$). Para asegurar el funcionamiento realimentamos la salida 2Q a la entrada 2J, y por supuesto la conexión del clock $\overline{10\text{MHz}}$. (Ver Fig. 4.4.2) (Ver APENDICE F).

4.5 Diseño Circuitual de los Bloques de Adquisición de Datos

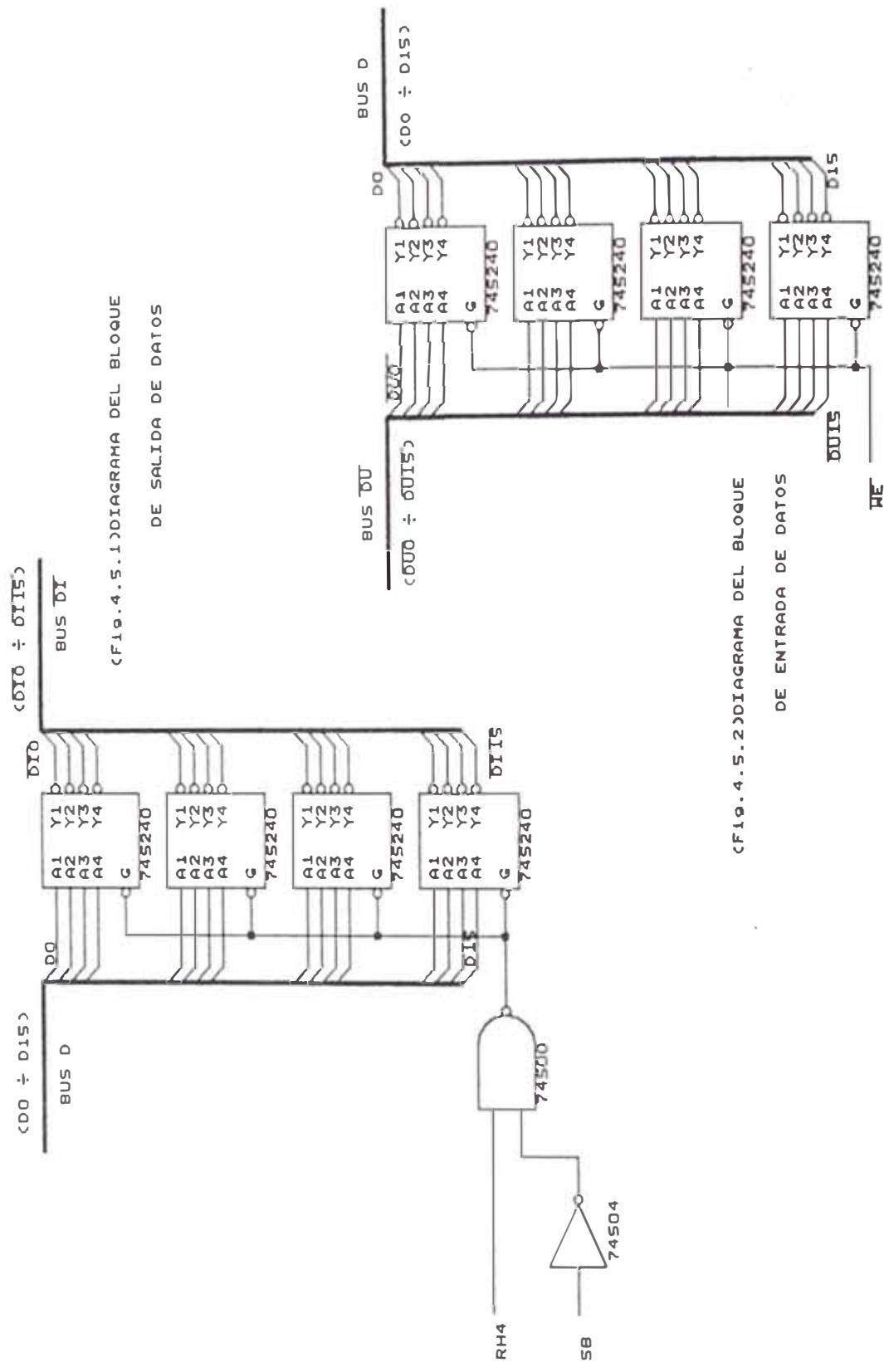
Ya que los pines de datos de la CMOS SRAM (BusD) hacen un bus bidireccional, los datos ($\overline{DU0} \div \overline{DU15}$) que entran a la tarjeta NEWMEM deben hacerlo a través de un Buffer/Latch, mientras los datos ($\overline{DI0} \div \overline{DI15}$) que salen deben hacerlo vía (Drivers) Excitadores.

4.5.1 Bloque Salida de Datos

Debe haber lectura de datos ($\overline{DI0} \div \overline{DI15}$) si es que la palabra pertenece a la tarjeta NEWMEM ($SB=1$) y si el acceso es durante RH4. Escogeremos dos IC74S240 que harían dieciseis excitadores de línea con salida a alta impedancia, activada con el valor negado de SB.RH4 (mediante un 74S00). Se recalca que el Bus DI se retrasa 55ns max de RH4. (Ver Fig. 4.5.1).

4.5.2 Bloque Entrada de Datos.

Los datos a escribir ($\overline{DU0} \div \overline{DU15}$) deben estar en el Bus D antes y después de CS, así es que lo conectaremos a través de dos IC 74S240 que funcionarán como dieciseis separadores o ce-



(Fig. 4.5.1) DIAGRAMA DEL BLOQUE DE SALIDA DE DATOS

(Fig. 4.5.2) DIAGRAMA DEL BLOQUE DE ENTRADA DE DATOS

rojos con salida de alta impedancia, activada con WE. Se recalca de los datos a escribir en el Bus D se adelanta de (20 a 100)ns de CS, lo que garantiza la escritura. (Ver Diagrama 4.5.1)(Ver Fig. 4.5.2)

4.6 Diseño Circuitual de los Bloques de Alimentación

Como se vio en (4.1), las memorias CMOS SRAM deben ser alimentadas por la fuente de alimentación del sistema(cuando está lanzado éste), o por la batería en la ausencia de dicha fuente de alimentación. Luego diseñaremos un circuito de conmutación de alimentación de fuente o batería. El principal pre-requisito es que la porción del sistema a ser alimentada por la batería debe ser de bajo consumo, donde se incluyen las consideraciones del consumo durante un acceso a memoria (Active Power) entre accesos (Standby Power), y el mínimo requerido para mantener la (Data Retention Power) información de la memoria.

4.6.1 Bloque Conmutación de Alimentación

Según nuestro diseño, debemos considerar primeramente la inestabilidad de los circuitos TTL al momento del Power-On (violan sus especificaciones), que igualmente sucede con la polarización de substrato de los IC CMOS, por eso evitaremos tal problema con fuentes de alimentación secuenciales (separadas), permitiendo que sea primeramente activada la de los

IC TTL. Esto es, la fuente de alimentación del sistema $V_{cc}=5V_{DC}$ será para los IC TTL y una V_{cc}' para los IC CMOS que en nuestro caso son las memorias CMOS SRAM. Del diagrama de tiempos las memorias están en Active Power durante 400ns (300ns, lectura y 100ns, escritura) de un total de (1100 a 1400)ns de ciclo de memoria (el resto del tiempo están en Standby Power). Estas memorias como max. consumen $2 \times 60mA = 120mA$ (Active Power: $CS = 0$, $V_{cc}' = 5.5v$, I/O alta impedancia) y en el modo Standby Power $2 \times 3.0mA = 6.0mA_{max}$ ($CS = V_{IH} = 1$), es decir un $(400ns/1100ns) \times 100 = 36.4\%$. O sea que para un ciclo de memoria las CMOS SRAM como max. consumen $120mA \times 0.364$ (Active) y $6mA \times 0.636$ (Standby) que en total hacen 47.496mA max. Para tal requerimiento diseñaremos un circuito de conmutación que usa un transistor que alimentará a V_{cc}' cuando exista la alimentación del sistema V_{cc} , y que deje de hacerlo cuando no exista V_{cc} . Para esto usaremos uno de propósitos generales tal como el Q1=2N3906 (reemplazo en ECG 159 : PNP, si, AF Pre Amp, Driver, Switching, $I_{C1max} = 1$ Amp, $P_{D1} = 0.6w$, $hFE_1 = 180$ typ) como aislador que será el conmutador de alimentación normal a batería, a éste será controlado por otro transistor y su red de polarización (circuito regula-

dor) el cual establecerá el voltaje al cual el circuito conmute. Este último transistor sería al Q2=2N3904 (reemplazo en ECG 123 AP: NPN, si, AFPre Amp, Diver, $I_{C2max}=0.6Amp$, $P_{D2}=0.5w$, $hFE_2=200typ$)(Ver Fig.4.6.1). Cuando se viene el Power-Off, este hace que Q2 entre en corte, y este último a su vez apaga a Q1. Durante la operación normal, Q2 activo hace que Q1 entre en saturación y en consecuencia la fuente alimente a las memorias. Luego cuando se tiene alimentación de la fuente $V_{cc}' = V_{cc} - 0.1v = 4.9v$. Para el ciclo de apagado (Reset) por menos de 1mseg las memorias consumirán por lo menos $2 \times 3mA = 6mA$. Usando la Fórmula: $C = di \cdot dt / dv$ se tendrá el condensador que soportará V_{cc}' durante el reset para no más de 200mv de caída de voltaje y mínimo 1mseg. $C1 = (47.496mA - 6mA) \times 1mseg / 200mv = 207.48uF$ 220uF/16v. Una operación normal no debe exceder del 70% de la capacidad de la fuente, así: $0.7 I_{ps} = 47.496mA$, $I_{ps} = 67.85mA \ll I_{c1max} = 1A$.

4.6.2 Bloque Battery Back Up.

Para la retención de la información, cuando no existe la alimentación $V_{cc} = 5v$ del sistema, V_{cc}' va a ser tomado por un circuito de batería, el cual alimentará directamente a los pines V_{cc} de las memorias. Para esta situación (Back Up) se debe minimizar el consumo de

energía, primeramente el pin CS debe estar en $V_{cc} - 0.2v$, y un método efectivo es conectar las señales CS a V_{cc} a través de una resistencia $R_{cs} = 1k\Omega$ (estudio empírico), además de esta manera se protege las memorias de falsas señales: durante el Back Up y el momento del Power Up. Para la minimización del consumo de energía durante el Back Up se tienen memorias CMOS de configuración 32kx8 (dos IC) los cuales consumirán menor corriente, asegurando su entrada CS en 1 lógico, y cada condensador de protección debe tener baja inductancia (alta velocidad). A continuación escogeremos una batería del tipo primaria de gran capacidad de servicio (no recargable), de un voltaje mayor que 2.2v, con una curva plana de descarga; resistente a altas temperaturas de operación y en Data Retention, resistente al golpe y a ambientes de alta vibración. La batería elegida es del sistema Litio (Lithium=Li): 3v por celda, Electrodo (+) y (-) de Lithium y Manganese Dioxide, respectivamente (Ecuación de Reacción: $2Li + 2MnO_2 \rightarrow Li_2O + Mn_2O_3$); capacidad de servicio desde: 35mAh hasta 1100mAh; rango de temperatura en Back Up: $(-60 \text{ a } 75)^\circ C$ y en operación $(-10 \text{ a } 70)^\circ C$; impedancia media; alto costo inicial y en operación; dimensiones en cm. (2.84x2.77x1.52). Se conectará un diodo de

conmutación D1=1N4148 (reemplazo en ECG519: Si, $I_D=450\text{mAmax}$, $t_s=4\text{ns}$) en serie con la batería para prevenir la carga de nuestra celda primaria y principalmente para tener un rápido $V_{cc}'=2.3\text{v}$ cuando no hay alimentación del sistema. Por consiguiente el voltaje en los pines CS serán de 2.1v, en estas condiciones las memorias CMOS SRAM van a consumir $2 \times 1.5\text{uA}=3\text{uA}$ (valor medido). Haciendo la conversión de su capacidad de servicio de mAh a uA año: $35\text{mAh} \times (1000\text{uA}/1\text{mA}) \times (1\text{año}/8760\text{h})=3.995\text{ uA ano}$ y $1100\text{mAh} \times (1000\text{uA}/1\text{mA}) \times (1\text{año}/8760\text{h})=125.57\text{uA año}$. Si se escoge la batería que de la máxima capacidad se tendría una retención de datos asegurada por $125.57\text{uA año}/3\text{uA}=41.8$ años; y con la carga adicional de R_{cs} , los condensadores de protección de cada memoria (2) y del conmutador de alimentación (1), etc., se tendría asegurados como mínimo aproximadamente 10 años de Data Retention en modo Back Up, haciendo conmutación de una alimentación a otra (Ver Fig.4.6.1). Para evitar una variación del voltaje de CS tanto para los instantes del Power Up y del Power Off que haría entrar a un peligroso nivel lógico 0 (Ver APENDICE F), se coloca un condensador de desacoplo en el pin CS, que cumpla la condición $C_{cs}=di.dt/dv$, es decir para variaciones de corriente de orden

de 1mA en 15mseg max. no variar más de 200 mv,
luego $C_{cs} = \frac{1}{f}$. (Ver Fig. 4.6.2)

Como se indicó en (4.1.1) otra opción a nuestro diseño son las NONVOLATILE SRAM (DS1230Y) de la firma DALLAS semiconductor (compatibles con nuestras CMOS SRAM) en que se integran empaquetadas en un solo IC, la propia memoria CMOS SRAM y el circuito análogo al de la Fig (4.6.1.) (Fuente de alimentación a batería de litio y circuito de control inteligente) para la protección de la memoria contra cambios inadvertidos durante fluctuaciones de la alimentación del sistema, entregándose más de 10 años de Data Retention en el modo Back Up. Adicionalmente, otra opción sería los INTELLIGENT SOCKETS (DS 1213C) también de Dallas-Semiconductor en que se integra en un socket un circuito análogo a la Fig (4.6.1), y que conectado por ejemplo a nuestras CMOS SRAM se tendría las compatibles NONVOLATILE SRAM.

4.7 Diseño del Circuito Impreso. (14)

Luego de pasar las pruebas (abordo de la FM51) del diseño instalado en proto-boards, conectado al sistema por cables (inmunes a la diafonía) y conectores de 2x49 pines procederemos a hacer el diseño del circuito impreso (LAYOUT). Las obsoletas tarjetas MEM 1,2 y 3 que miden aproximadamente 0.5m x 0.4m, van colocadas horizontalmente (una encima de

otra) con el lado angosto conectado al computador ULP 12. Nuestra nueva tarjeta a diseñar sólo debe tener exactamente las dimensiones que van conectadas a tal computador (la otra dimensión se estimará) por medio de dos conectores (tipo bus de 49 pines c/u separados 0.1" entre sí a dos caras). Luego en nuestra tarjeta van a instalarse 23 IC's (2 CMOS SRAM y 21 TTL), 2 transistores, 1 diodo, 1 batería de litio, 5 resistencias, 7 condensadores y 2 conectores 2x49 pines. Para el diseño de tarjetas, especialmente para memorias, su construcción es muy importante luego de la de dichos dispositivos, ya que el circuito impreso de la tarjeta (board) al enrutar la alimentación y señales a (y desde) las RAMs y los dispositivos lógicos, va a ocasionar problemas de temperatura (por sobre consumo de corriente), inestabilidad en los niveles lógicos, retrasos de las señales y falsos contactos (por golpes o vibración). Estos inconvenientes se superan con un board adecuado. Primeramente la temperatura y la inestabilidad de niveles lógicos se disminuiría distribuyendo la alimentación y su retorno mediante placas internas separadas (por una pequeña distancia o dieléctrico: puede proveer baja impedancia por capacitancia distribuida) en una tarjeta de cuatro capas; pero en nuestro medio no se fabrican aún tales tipos de tarjetas, que nos veremos obligados a usar tarjetas de dos caras (componentes y soldaduras) colocando

pistas horizontales de alimentación (y su retorno) en la capa superior y pistas verticales en la capa inferior, con termodisipadores donde se requieran (la minimización de efectos de temperatura es principalmente en los circuitos de Battery Back Up y de conmutación de alimentación, en los modos de operación y Back Up). Cuando las CMOS SRAM están operando, microcircuitos dentro de éstas crean corrientes conmutadas de alta frecuencia sobre la distribución de la red de alimentación, volviéndola un elemento de baja resistencia pura pero en forma de línea de transmisión (L-C), cuyo respectivo factor de atenuación de voltaje puede exceder fácilmente excursiones de $\pm 1\text{v}$ que confundirían los niveles lógicos; para evitar esto, igualmente se usan planos separados de voltaje (+) y (-), reduciendo la impedancia equivalente, y además se debe hacer el cuadrículamiento (gridding) de rodear a cada dispositivo de memoria (en un cuadro) con un anillo de distribución de alimentación y tierra formando varios caminos paralelos (con su correspondiente reducción de impedancia conectados en forma de planchas a través de agujeros (vías de paso) para formar una plantilla cuadrículada. Ahora cuando tales dispositivos son seleccionados o des-seleccionados, cambios instantáneos de voltaje se producen en la plantilla de alimentación debido a cambios de corriente, para esto se debe colocar un condensador cerámico de $0.1\mu\text{F}$ (uno

por cada dos dispositivos) como desacoplo (decoupling) de la distribución de la alimentación/tierra. También se debe filtrar el ruido de baja frecuencia del sistema de distribución de poder adicionando un condensador de tantalio (22 a 47 uF) por cada 16 dispositivos (Bulk decoupling) que entregará suficiente almacenaje de energía. La distribución de los componentes para el board se hará teniendo en cuenta las consideraciones de (3.6.1), así como otras mas resaltantes.

Con las consideraciones y requerimientos dados procederemos a ejecutar la construcción del LAYOUT, que para tal utilizaremos un método automatizado el cual consiste en tener como soporte un diseño por ayuda del computador (CAD), llamado EE DESIGNER III Ver 1.6/2.4 (1991) (hecho en Lenguaje C de Microsoft) de la firma Team Visionics Corporation (USA), instalados en los computadores (80286) del Sistema PROTECH (propios de MGP). El procedimiento consiste en ingresar la información del Diagrama del circuito esquemático completo (SCHEMATIC DESIGN) de nuestro diseño; luego de pasar las pruebas de los diagramas de tiempo de dos con el programa LOGIC SIMULATOR (incluido), ingresaremos las dimensiones (en pulgadas, ya que la separación de los pines de los IC son 0.1 pulgadas) de nuestra tarjeta NEWMEM (LAYOUT DESIGN); y de acuerdo con lo mencionado líneas arriba colocaremos nuestros dispositivos y componentes.

A continuación se ordenará la ejecución de la INGENIERIA DE REVERSA (SCHEMATIC LAYOUT: donde previamente se escogió la separación y grosor de las pistas de alimentación, tierra, señales, memorias, diámetros para los pines y vías de paso; se ingresó las restricciones ya mencionadas, etc.) donde el paquete de Software automáticamente confeccionará el enrutado de las pistas a dos caras (AUTOROUTER); el terminado final se hace siguiendo el siguiente flujo de pasos:

→Ploteado de los dos LAYOUT(Component & Solder Layer) →Obtención de respectivos fotolitos a través de fotomecánica →Procesado en ácido férrico de tarjeta de doble capa sensibilizada por los fotolitos →Lavado →Perforado →Pulido →Plateado →Soldado de:remaches para pines y vías de paso →Soldado de:sochets para memorias y componentes →Laqueado(luego de pasar las respectivas pruebas). Cabe mencionar que los retrasos por propagación generados por cargas capacitivas aparecidas y por pistas largas del circuito impreso no violan los diagramas de tiempos(ya que nuestro sistema es de mediana velocidad). Finalmente se instalaron los soportes mecánicos para evitar problemas de vibración, en las pruebas abordo que se hicieron con 100% de operatividad. (Ver Fig.4.7.1)

4.8 Evaluación Económica.

Primeramente se tendrá la relación del costo(FOB) de componentes para el diseño cuya configuración

tiene empaquetados los bloques Item 02: Battery BackUp y Conmutación de Alimentación; y/o de memoria(Item 03):

<u>Item</u>	<u>Comp.</u>	<u>Disposit.</u>	<u>Descripción</u>	<u>Costo/ Unidad</u>	<u>Costo SubT.</u>
01	U18,U19	51256S-10	CMOSsRAM32Kx8b	19.50	39.00
02	U18,U19	DS1213C	Intelligents Sockets.	10.30	20.60
03	U18,U19	DS1230Y	CMOSNonvolatile	29.77	59.54
04	U9	54S00	Quad 2-Input NAND Gate	3.00	3.00
05	U11	5437	Quad 2-Input NAND Buffer	3.00	3.00
06	U3,U6 U7,U8 .U22,U23	54S04	Hex Inverter	3.00	18.00
07	U4	5414	Hex Inverter- Schmitt Trigger	2.50	2.50
08	U10	54S30	8-InputNAND Gate	3.00	3.00
09	U20	54S112	Dual JK FF	4.00	4.00
10	U21	54S114	Dual JK FF	6.00	6.00
11	U5	54125	Quad Tristate Buffer	4.50	4.50
12	U1,U2, U12,U13	54199	8-bit Shift Register	10.50	42.00
13	U14,U15, U16,U16	54S240	Octal Buffer/ Line Driver	14.00	56.00
14	R3,R4	1KΩ	Resistor,¼w	0.50	1.00
15	C2	10µf/16v	Electrolitic Capacitor	0.55	0.55
16	C3	22µf/16v	Electrolitic	0.55	0.55
17	C6	47µf/16v	Tantalum Solid Capacitor	1.50	1.50
18	C4,C5	0.1µf	Ceramic Capacitor	0.50	0.50
					247.24
Item 03 reemplaza a los Items 01 y 02:					-59.60
					187.64
Con un 30% adicional que incluye flete, impuestos,etc. se redondea a:					\$ 250.00

Luego se debe considerar los costos de fabricación que incluyen: tarjeta expansora para pruebas abordo; ploteado y fotomecánicas para elaboración del circuito impreso a dos caras; vías de paso(800);

sockets para U18 y U19; líquido para plateado, soldadura, alcohol isopropílico para limpieza, laca de aislamiento; aseguramiento mecánico contra vibraciones; que haciendo un redondeo serían \$150.00 adicionales, y que finalmente el precio costo total de una tarjeta sería de \$400.00.

4.9 Optimización de la Temporización del Ciclo de Memoria.

Teniendo nuestro diseño en operatividad (para el sistema existente) el cual utiliza memorias de 100ns de acceso (igual a su tiempo de ciclo) aprovecharemos esto para minimizar los tiempos de los ciclos de Lectura y Es(Res)critura de nuestra tarjeta, con la condición de que el sistema la acepte haciendo modificaciones en lo que fuera posible a nuestro Hardware del diseño ya terminado. Se parte desde que el ciclo de Lectura de la tarjeta NEWMEM empieza con la orden recibida $\overline{\text{LREADI}}$ y 400ns después termina con la señal entregada $\overline{\text{LDA}}$. Si es que este tiempo (de 400ns) se reduce a 100ns, el sistema lo acepta ya que se cumplen las ecuaciones (2.4.12), (2.4.13) y (2.4.18). Igualmente sucede con el ciclo de Es(Reescritura) de la tarjeta NEWMEM, que empieza con la orden LWRITEI y 500ns después termina con la señal LEOC, si es que los 500ns se reducen a 100ns, el sistema lo acepta al cumplirse las ecuaciones (2.4.15), (2.4.16) y (2.4.17). Pero ahora veremos si es que mediante modificaciones en nuestro diseño se

puede hacer tales minimizaciones. Nuestro problema es tener DOUT (en el bus D) antes y después de RH1 y según nuestras posibilidades nuestro ciclo de lectura empezaría un poco antes de RH1 (direcciones válidas). Para el ciclo de escritura tendríamos que tener DIN (en el bus D) antes y después de WH1, en este caso sí se podría tener $\overline{\text{LEOC}}$ en simultáneo con WH1 (o WH2). Se concluye que la minimización se haría con la entrega de $\overline{\text{LDA}}$ 200ns después de $\overline{\text{LREADI}}$ y de $\overline{\text{LEOC}}$ 100ns después de $\overline{\text{LWRITEI}}$, teniéndose finalmente un ciclo de memoria de $300\text{ns}+200\text{ns}=500\text{ns}$ -min. Ya que sobran compuertas en el 7414 crearemos dos clocks adicionales 10MHz y $\overline{10\text{MHz}}$ negados de $\overline{10\text{MHz}}$ y $\text{L}10\text{MHz}$ respectivamente, como soportes de sincronismo para la minimización. En la (Fig.4.2.2) cambiamos la entrada $\overline{\text{RH1}}$ de CI por el negado de $\overline{\text{READI}}$ (por medio de un 74SO4) y además el clock $\overline{10\text{MHz}}$ de CLK por el nuevo 10MHz , así se tendrán direcciones válidas en el bus A antes que termine $\overline{\text{LREADI}}$. En la (Fig 4.4.1) cambiamos las entradas de 74S114 RH2 de 1J y RH5 de 1K por $\overline{\text{READI}}$ y RH3 respectivamente, también la entrada WH3 por WH1, y el clock 10MHz de CLK por $\text{L}10\text{MHz}$; igualmente RH3 de 2J y RH5 de 2K por RH1 y RH3 respectivamente; en el 74S112 cambiamos las entradas WH2 de 1J y WH4 de 1K por $\overline{\text{WRITEI}}$ y WH2 respectivamente, y el clock $\overline{10\text{MHz}}$ de $\overline{1\text{CLK}}$ por el nuevo clock $\overline{10\text{MHz}}$; así se conseguiría la información DOUT en el bus D antes y

después de RH2 y se ingresaría DIN al bus D antes y después de WH1. En la (Fig. 4.3.1) hacemos el cambio de RH4 por RH2, así tendremos LDA al instante con $\overline{\text{RH2}}$. De igual forma en la (Fig.4.3.2) cambiamos WH5 por WH1 (o WH2), así tendremos LEOC al instante con WH1 (o WH2). Finalmente en la (Fig.4.5.1) cambiamos RH4 por RH2 para tener los datos válidos en sincronismo con $\overline{\text{LDA}}$. Ver (Diagrama 4.8.1). En la tarjeta NEWMEM tales modificaciones se hacen cortando pistas desoldando las vías de paso respectivas(Ver Fig.4.9.1,Diag.4.9.1,APENDICE B)

4.10 Eliminación del Semiciclo de Reescritura.

En el sistema existente se diseñó un semiciclo de reescritura necesario porque el semiciclo de lectura era destructivo en las memorias de núcleos magnéticos. Esto no lo es en nuestras memorias CMOS SRAM y la idea es eliminar tal semiciclo de reescritura en la operación (L,R) de Lectura y Reescritura (Ver (2.4.3) con la condición de que se continúe con las microsecuencias siguientes. Para esto haremos unas modificaciones en el Hardware de la tarjeta INT. En la tarjeta INT haremos la eliminación de CW, FW, AT para que no se cree la orden LWRITEI en la operación (L,R). Para esto la Ec.(2.4.14) y Ec.(2.4.13) las cambiaremos por las siguientes:

- Fase CW $\text{Set}=[(\text{C22})\text{c}].\text{CLDI}=\text{S}'.\text{CLDI}$
 $\text{Reset}=\text{CW}.\text{AT}=\text{LWRITEI} (\text{Set FW}) (\text{Ec.2.4.14})'$

- Fase AT Set - $[(C_{22})_c].LDA=S'.LDA$

Reset - CW (Ec.2.4.13)'

Para la (Ec.2.4.14)'se corta la pista de la salida del 74500 que hace el $(C_{23})_c.(C_{21})_c$ y $(C_{22})_c$ se puentea a la otra entrada de su 74500 respectivo. Para la (Ec.2.4.13)'se corta la pista de la entrada J del FF/J-K de AT, y en un 74500 libre se hace el $(C_{22})_c.LDA$, para luego conectarlo a la entrada J del FF J-K de AT a través de un 74504. De esta forma se elimina el semiciclo de Reescritura en el sistema, optimizando un tanto el ciclo de memoria y disminuyendo el consumo de corriente para el ciclo en particular. (Ver Diagrama 4.10.1)

CONCLUSIONES

- 1.-La implementación del proyecto de actualización tecnológica de la presente tesis demuestra que con recursos propios y de ingeniería de reversa es posible dar una solución a corto plazo a problemas que sólo dependían de tecnología (información y repuestos) asequible sólo al fabricante con lo que se conoce como dependencia por obsolescencia con llave en mano.
- 2.-Se da un gran ahorro a MGP ya que la solución por computador llega a tener un costo no mayor que \$ 300 (menos del uno por ciento de lo que cobra el fabricante) entre componentes, materiales, etc., teniendo que hacer tres de estos módulos por buque para reflotar a las cuatro FM.
- 3.-Los sistemas militares de fines de la década del setenta sólo contaban con memorias RAM no volátiles del tipo de núcleos magnéticos, ya que por su composición puramente estática presentaba resistencia a las vibraciones mecánicas, con el inconveniente de ser de baja velocidad y capacidad, y alto consumo y

tamaño, suficientes para cumplir con los requerimientos de aquellos sistemas.

- 4.-Por efectos de la temperatura en los diferentes tiempos de uso de cada módulo, se comprueba que los tiempos de acceso son diferentes para diferentes tarjetas Core Memory, e incluso para diferentes palabras de una misma Core Memory, esto es debido a la alteración de las características de almacenamiento, por los que algunos núcleos pueden cambiar el dato almacenado por otros en un tiempo más corto, o el retardo que se produce al seleccionar una celda es más largo en otras.
- 5.-Se demostró que la falta de refrigeración es la causa que hace malograr a las tarjetas Core Memory, ya que por ejemplo basta sobrepasar la temperatura de Curie de algún núcleo de ferrita que contenga alguna palabra del sistema operativo, para que la tarjeta Core Memory respectiva quede inoperativa.
- 6.-Los semiciclos de lectura sobre las tarjetas Core Memory, borran el contenido leído a 0 lógico (la lectura es destructiva), por lo que se dispone de una circuitería incorporada que se encarga de reescribir los datos leídos (que al leerlos se borraron) sobre la misma posición que se seleccionó, en un semiciclo de Re-escritura adicional.
- 7.-Debido a la poca información y literatura disponible, se tuvo que hacer ingeniería de reversa para facilitar el trabajo, mediante un paquete in-

terfase 'BRIDGE' entre un paquete PROTECH (que ingresa las tarjetas problema sin alimentación al computador) y otro denominado DESIGNER III (que calcula los diagramas esquemáticos requeridos) propios de MGP para levantar el verdadero Hardware involucrado en la problemática.

- 8.-Como solución inmediata y a corto plazo de nuestra problemática, se eligió las memorias CMOS SRAM 51256S-10 (de Intel) con respaldo a batería de Litio (de gran capacidad de corriente, y resistente a altas temperaturas y vibraciones), por ser de menor costo, consumo de energía, densidad, y mayor rendimiento, tal que la grabación de dichas memorias se hagan directamente desde el SCAP o el CED, garantizando una retención de la información de aproximadamente diez años.
- 9.-La otra solución fueron las memorias no volátiles CMOS SRAM (NVCMOS SRAM) DS1230Y-70 (de Dallas Semiconductor), donde se incluye en un sólo chip la SRAM propiamente dicha, la batería de Litio y el circuito conmutador de alimentación, con una retención de información de por lo menos diez años.
- 10.-La tarjeta de memoria CMOS con respaldo a batería denominada NEWMEM, que reemplaza a tres de núcleos magnéticos MEM 1,2 y 3, tienen circuitos TTL de interfase con el sistema, tales como separadores, excitadores de línea, disparadores Schmitt e inversores; ya que las señales de control, direcciona-

miento e información vienen con ruidos propios de un sistema de mediana velocidad (usa un reloj principal de 10 MHz).

11.-Las pruebas abordo del prototipo armado en protoboard, recién tuvieron éxito cuando se colocaron cables inmunes a la diafonía entre los conectores que van de interfase al sistema y el protoboard mismo, esto debido a los armónicos del reloj de 10 MHz.

12.-El diseño del circuito impreso se hizo con ayuda del computador es decir haciendo Ingeniería de Reversa desde el Circuito Esquemático ingresado de nuestro diseño, mediante el paquete DESIGNER III V.2.4. con las consideraciones y los requerimientos que se hacen para las tarjetas de memoria.

13.-Se aprovecha a lo máximo permisible la velocidad de acceso mucho mayor de las memorias CMOS SRAM con respecto a las Core Memory, reduciendo los tiempos de los ciclos de memoria desde un 35.7% hasta un 45.4%, es decir si por ejemplo el sistema detecta un anomalía y para esto activaba una alarma dentro de 9 seg, ahora lo haría entre 5.47 y 4.55 seg como mínimo.

14.-Las tarjetas de memoria NEWMEM no necesita el semiciclo adicional de reescritura para los ciclos de lectura (Lectura, Reescritura) del minicomputador ULP 12, el cual se elimina haciendo unas modificaciones del Hardware de la tarjeta INT. El CPU de tal

minicomputador que usa buses compartidos entre datos y direcciones, y el Hardware restante no facilitan la optimización de este tiempo del ciclo de lectura para nuestra NEWMEM, se tendrían que hacer muchas modificaciones a varias tarjetas, las cuales se alejan de la finalidad de la presente tesis.

BIBLIOGRARIA

- 1.-'Manuale per l'uso e Manitenzione del Sistema de Automazione della Propulsione SEPA-7206,'Vol.I; SEPA; Maggio 1979; Milano, Italia.
- 2.-'Manuale dell'Hardware ULP12',Vol.I; SEPA; 1979; Milano, Italia.
- 3.-'Circuitos Eléctricos I'; O.Morales G, F.López A.; 1983; Lima, Perú.
- 4.-'Campos y Ondas'; Ramo Whinnery, Vanduzer; 1984; U.S.
- 5.-'Dispositivos y Circuitos Electrónicos'; Millman, Halkias; 1980; U.S.
- 6.-'Electrónica Digital'; Strangio; 1988; Madrid-España.
- 7.-'Electrónica Digital'; Angulo; 1990; Madrid-España.
- 8.-'Circuit Degign of Digital Computer'; V.Hawkins; Robert Research; 1968; CA, U.S.
- 9.-'Memory'; Intel Corporation Literature Sales; 1990; IL.U.S.
- 10.-'MOS Memory-Comercial y Military Specifications, Data Book'; Texas Instruments Incorporated; 1989; TX, U.S.
- 11.-'Mos Memory Products Data Book'; Fujitsu Microelectronics; 1989; CA, U.S.
- 12.-'Newark Catalog Number 112'; Newark Electronics; 1992; IL. U.S.
- 13.-'TTL Logic-Standar TTL, Schottky, LOW-Power Schottky Data Book'; Texas Instruments Incorporated;

1988; DA.U.S.

14.-'EE Designer III User's Guide-The Completely Integrated Engineering System for the PC Environment, Ver.2.4'; Team Visionics Corporation; 1991; CA.U.S.