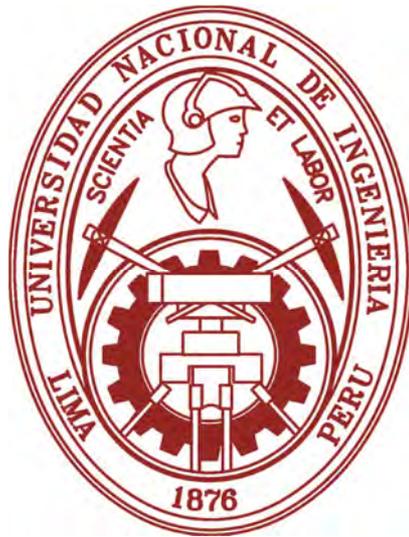


UNIVERSIDAD NACIONAL DE INGENIERIA

FACULTAD DE INGENIERIA ELECTRICA Y ELECTRONICA



**“DISEÑO E IMPLEMENTACIÓN DE UN SISTEMA DE SINCRONISMO
PARA UNA RED TRIFÁSICA CON DISTORSIÓN Y DESBALANCE”**

**PARA OBTAR EL TITULO PROFESIONAL DE:
INGENIERO ELECTRONICO**

**PRESENTADO POR:
BR. CARLOS HERNÁN INGA ESPINOZA**

**PROMOCION
2011 – II**

**LIMA – PERU
2013**

**DISEÑO E IMPLEMENTACIÓN DE UN SISTEMA DE SINCRONISMO
PARA UNA RED TRIFÁSICA CON DISTORSIÓN Y DESBALANCE**

Dedicado a mis padres Lina y Noé, mis
hermanos Jessica y Luis que me apoyaron
durante toda mi formación profesional y en
la elaboración de esta Tesis.

SUMARIO

La gran variedad de máquinas eléctricas usadas en generación de energía eléctrica como lo son, generadores hidroeléctricos, eólicos, ciclo-convertidores, etc., necesitan de un dispositivo que realice un seguimiento continuo de fase a la red trifásica para poder acoplarse a ella, caso contrario no se lograría suministrar potencia a red y lo que es peor, produciría serios daños en los equipos de control, además este sistema de sincronismo requiere ser inmune a perturbaciones como desbalances y distorsiones armónicas, cuya presencia afectan negativamente el seguimiento de la fase de la red no solo al inicio sino también durante su funcionamiento, deteniendo muchas veces el suministro a la red.

En el presente trabajo se implementó y probó el correcto funcionamiento de un sistema de sincronismo, contando con diseños tanto del algoritmo de control embebido en el DSP como también del hardware en todo lo que este proyecto de investigación involucra en las etapas de adquisición, procesamiento y salida de señales, tomando en cuenta los factores externos al sistema.

La implementación se llevó a cabo en el Laboratorio de Electrónica y en el Laboratorio de Electricidad de la Facultad de Ingeniería Eléctrica y Electrónica – UNI.

INDICE

PROLOGO	1
CAPITULO I	
SISTEMA DE SINCRONISMO	4
1.1. Introducción.	4
1.2. Usos del sistema de sincronismo.	5
1.3. Problemática.	5
1.4. Justificación.	6
1.5. Objetivos.	6
1.5.1. Objetivo general.	6
1.5.2. Objetivos específicos.	6
CAPITULO II	
FUNDAMENTO TEÓRICO	7
2.1. Transformación de Sistemas de Referencia.	7
2.1.1. Transformación abc - $\alpha\beta$	8
2.1.2. Transformación de abc - dq	10
2.1.3. Transformación entre ejes de referencia.	12
2.2. Perturbaciones en la red trifásica.	12
2.2.1. Tipos de perturbaciones:	13
2.2.2. Desbalance de fase.	14
2.2.3. Distorsión armónica.	15
2.3. Teorema de Fortescue.	17
2.4. Lazo de seguimiento de fase (LSF).	18
2.4.1 Diagrama de bloques general de un lazo de seguimiento de fase.	18
2.4.2. Funcionamiento del lazo de seguimiento de fase.	19
2.4.3. Tipos de lazo de seguimiento de fase.	20
2.5. Controladores PID	21
2.5.1. Acciones de control.	21
2.5.2. Efectos de las acciones de control.	23
2.6. Método del óptimo simétrico.	24
2.7. Filtros digitales.	26
2.7.1. Usos de los filtros digitales.	26
2.7.2. Implementación de un filtro digital.	27
2.7.3. Clasificación de los filtros digitales.	27
2.7.4. Filtro de media móvil.	27
CAPITULO III	
SISTEMA DE SINCRONISMO PROPUESTO	29
3.1. Descripción general del sistema de sincronismo propuesto.	29
3.2. Hardware del sistema de sincronismo.	31
3.2.1. Procesador digital de señales.	31
3.2.2. Transductor de voltaje de efecto hall.	37

3.2.3. Convertidor digital analógico	39
3.2.4. Regulador de tensión	41
CAPITULO IV	
DISEÑO DEL SISTEMA DE SINCRONISMO	43
4.1. Diseño del circuito de adquisición	43
4.2. Diseño del circuito de acondicionamiento de señal	44
4.3. Diseño de fuentes de alimentación reguladas bipolares	48
4.3.1. Diseño de fuente de alimentación bipolar de 15 v.	49
4.3.2. Diseño de fuente de alimentación regulada bipolar	49
4.4. Diseño del sistema de control	50
4.4.1. Modelamiento del sistema	52
4.4.2. Cálculo de la secuencia positiva (CSP)	55
4.4.3. Diseño del controlador del sistema	59
4.4.4. Diseño del controlador en tiempo discreto	64
CAPITULO V	
SIMULACIÓN DEL SISTEMA DE SINCRONISMO	66
5.1. Simulación del circuito de acondicionamiento de señal	66
5.2. Simulación del sistema de control	70
5.2.1. Simulación del sistema de control en tiempo continuo	70
5.2.2. Simulación del sistema de control en tiempo discreto	82
5.3. Simulación del sistema de sincronismo en PSIM	85
5.4. Simulación de pruebas en laboratorio	88
5.4.1. Simulación de la prueba de tensiones de línea con armónicos	88
5.4.2. Simulación de la prueba con tensiones de fase con armónicos	91
5.4.3. Simulación de prueba con tensiones de línea con desbalance	95
CAPITULO IV	
IMPLEMENTACION	99
6.1. Descripción	99
6.2. Implementación del circuito de acondicionamiento de señales y fuentes de alimentación	100
6.3. Implementación del sistema de control en el DSP	102
6.4. Conversor digital - análogo	107
CAPITULO VII	
PRUEBAS Y RESULTADOS EXPERIMENTALES	108
7.1. Prueba con tensiones de línea con distorsión armónica	108
7.2. Prueba con tensiones de fase con distorsión armónica	113
7.3. Pruebas con red trifásica con desbalance de fase	116
7.4. Prueba con caída de red trifásica	126
CONCLUSIONES Y RECOMENDACIONES	128
ANEXOS	
A. Programa del DSP TMS320F28335	130
B. Script de la simulación en MATLAB	137
C. Fotos de las pruebas en laboratorio	138
D. Cálculos Procedimentales	141
E. Extracto del manual técnico del DSP TMS320335	145
F. Manual técnico del transductor de voltaje LV-25P	161
BIBLIOGRAFIA	164

PROLOGO

La sincronización de fase de un sistema trifásico parece una tarea sencilla que durante mucho tiempo se buscó solucionar tratando las señales de voltaje de manera puramente analógica, pero no se obtenían buenos resultados cuando aparecían perturbaciones dentro de la red. Por ello distintos sistemas que utilizan un sistema de sincronismo para poder acoplarse a la red eléctrica tenían inconvenientes cuando dichas perturbaciones aparecían, haciendo que se detenga la operación y en algunos casos causando averías. En un inicio se desarrolló un sistema de sincronismo de acople rápido a la red, que al detectar una fuerte perturbación en la red, este sistema ejecutaba una cadena de instrucciones para así detener el funcionamiento del sistema acoplado, sin provocar averías para luego reiniciar el funcionamiento, en este caso se lograba reducir considerablemente los daños causados por las perturbaciones, pero había un tiempo en el cual este sistema acoplado dejaba de funcionar, lo cual conlleva a pérdidas económicas y de operación. Ello incentivo a las empresas líderes a desarrollar un sistema de sincronización capaz de afrontar las perturbaciones en la red y asegurar el requerimiento de las empresas de tener sus sistemas acoplados a la red en continuo funcionamiento. Cabe mencionar que el costo de un sistema de sincronismo dada su complejidad es bastante alto, limitando el acceso de estos sistema solo a las empresas que puedan pagarlas y sacarles el máximo provecho.

Hoy en día un sistema de sincronización es parte crucial de todo sistema de generación eléctrica y de otros sistemas relacionados al campo de la energía. Podemos ver su uso en distintas partes del mundo y también en el Perú, en la necesidad de cumplir con la demanda de energía eléctrica que se tiene en las capitales y también en las áreas rurales. Eso sumado a su empleo en la necesidad de alimentar con una calidad óptima de energía a distintas máquinas eléctricas usadas en la industria y también a los artefactos electrónicos del público en general.

El objetivo de esta tesis es diseñar e implementar un sistema de sincronismo de fase para redes trifásicas bajo perturbaciones de desbalance y distorsión armónica, teniendo en cuenta todos los requerimientos buscados en un sistema de sincronismo dentro de la industria. La implementación del sistema de sincronismo se llevó a cabo en el Laboratorio de Electrónica y en el Laboratorio de Electricidad de la Facultad de Ingeniería Eléctrica y Electrónica, en donde se utilizó un procesador digital de señales (DSP) como sistema de

control, el cual se encargó de procesar las señales adquiridas a través de circuitos de acondicionamiento de señal.

El alcance de esta tesis consiste en el desarrollo de un sistema de sincronismo capaz de brindar un funcionamiento óptimo ante perturbaciones, y su posterior utilización en el desarrollo de sistemas de control embebidos en sistemas de generación eléctrica en la universidad.

El presente volumen de tesis está estructurado en 7 capítulos y 6 anexos, donde cada uno será descrito a continuación.

En el capítulo I, se define un sistema de sincronismo y sus usos en la industria, la problemática a resolver mediante la implementación del sistema y se justifica la necesidad de un sistema de sincronismo con las características mencionadas.

En el capítulo II se encuentra el fundamento teórico de las herramientas matemáticas, métodos y técnicas utilizadas en el diseño del sistema de sincronismo.

El capítulo III, se detallan las características principales y el funcionamiento del sistema de sincronismo propuesto y de las partes del hardware que lo compone tanto en el procesamiento, la adquisición de señales y la señal de salida, también se justifica la selección de estos en la implementación del proyecto.

En el capítulo IV, se desarrolla el diseño del sistema de sincronismo, tanto del hardware utilizado como del sistema de control. Además se precisas las consideraciones en las conexiones entre las partes que componen el hardware del sistema.

El capítulo V, se realiza la simulación del sistema de sincronismo comprobando de esta manera las condiciones de trabajo y características para el cual el sistema de sincronismo fue diseñado, además se realizan las simulaciones de las pruebas a realizar en el laboratorio con el objetivo de contrastarlas con las pruebas experimentales.

El capítulo VI, se detalla la implementación del sistema de sincronismo, las conexiones entre las partes que componen el hardware del sistema de sincronismo, la estructura del algoritmo dentro del sistema de control, el diagrama de flujo del algoritmo y como este funciona.

El capítulo VII, se detallan las pruebas realizadas sobre el sistemas de sincronismo y se muestran los resultados experimentales obtenidos en el laboratorio. Luego se presentan las conclusiones y recomendaciones del sistema de sincronismo propuesto para su correcto funcionamiento continuo.

Finalmente se presentan seis Anexos, en el primer Anexo se muestra el código fuente del programa cargado en el DSP, en el segundo se presentan ilustraciones adicionales de las pruebas realizadas en el laboratorio. En el tercero se muestra un extracto del manual técnico del DSP TMS320F28335, utilizado como sistema de control, en este extracto se

encuentran las características del DSP y las descripciones de sus pines. Por último se anexa la hoja técnica del transductor de voltaje LV-25P.

Esta tesis no se hubiese podido desarrollar en el tiempo en que se hizo si no fuese por la ayuda y apoyo incondicional de mi asesor, el Dr. Rodolfo Moreno Martínez, y también del apoyo del Ing. Eleazar Sal y Rosas Celi, a ellos mi agradecimiento por todas las horas dedicadas a la culminación de este proyecto.

CAPITULO I

SISTEMA DE SINCRONISMO

1.1. Introducción.

En las últimas décadas la población mundial ha ido aumentando a pasos agigantados, haciendo que la demanda de alimentos y de energía aumente a la par, lo cual conlleva a una crisis energética que todos los países afrontan en la actualidad. En adición a este problema se tiene el agotamiento de las reservas de hidrocarburos, los cuales son fuente principal de energía a nivel mundial.

En orden de afrontar dichos problemas se tienen plantas de cogeneración en donde se consumen hidrocarburos como gas natural, gas licuado de petróleo y en algunos casos diésel, este último implica altos costos en producción. En harás de satisfacer la demanda energética se busca formas alternativas de obtener energía eléctrica utilizando recursos renovables como agua en centrales hidroeléctricas, viento en generadores eólicos y los rayos solares en los paneles solares, este ultimo de menor impacto ambiental. Una vez obtenida la energía eléctrica, se busca suministrar potencia a la red, para hacer esto es necesario un sistema que sincronice el conversor DC/AC con la red trifásica comercial permitiendo el acoplamiento entre ambos sistemas.

Así mismo en la industria existen fábricas y plantas donde se tiene que suministrar corriente DC a máquinas eléctricas, en estas plantas se utiliza un rectificador trifásico controlado, en el cuál un sistema de sincronismo es también requerido para el correcto funcionamiento y conversión de la corriente.

En los dos casos anteriormente mencionados podemos ver el papel que un sistema de sincronismo cumple dentro de la generación y suministro eléctrico y de la industria en general, en ambos casos se busca un funcionamiento continuo, en el primer caso, que el suministro a la red sea constante, y en el segundo caso que las máquinas eléctricas se sigan alimentando, de este manera la producción no se detiene y se sigue obteniendo ingresos, por estas razones el sistema de sincronismo tiene el requerimiento de ser inmune a perturbaciones dentro la red trifásica como son el desbalance de fases y la distorsión armónica.

El objetivo de esta tesis es diseñar e implementar un sistema de sincronismo de fase para redes trifásica bajo perturbaciones de desbalance y distorsión armónica, teniendo en cuenta todos los requerimientos buscados en un sistema de sincronismo dentro de la industria. La implementación del sistema de sincronismo se llevó a cabo en el laboratorio de Electrónica de la Facultad de Ingeniería Eléctrica y Electrónica, en donde se utilizó un procesador digital de señales (DSP) como sistema de control, el cual se encargó de procesar las señales adquiridas a través de circuitos de acondicionamiento de señal.

1.2. Usos del sistema de sincronismo.

Como se mencionó en la introducción, un sistema de sincronismo es usado en sistemas de generación eléctrica de tipo renovable, específicamente en los inversores controlados DC – AC, permitiendo que estos puedan acoplarse a la red y suministrar potencia eléctrica, también se mencionó a los rectificadores trifásicos controlados cuya función es alimentar con corriente DC a maquinas eléctricas dentro de un planta industrial y donde el uso de un sistema de sincronismo asegura la calidad de la corriente DC. Los usos de un sistema de sincronismo no se limita a los casos antes mencionados dado que también son usados en compensadores estáticos de potencia reactiva (SVC), cuya función es brindar la compensación de energía reactiva de rápida acción en redes de transmisión eléctrica de alto voltaje, evitando así las fluctuaciones de tensión en el sistema de distribución que afectan el funcionamiento de los equipos [1].

Así mismo entre los usos de un sistema de sincronismo se encuentra los filtros activos para corrientes armónicos donde cabe señalar que un sistema de sincronismo es de vital importancia en estos sistemas que cumplen la función de resolver los problemas de calidad y ahorro de energía en plantas industriales, uno de los beneficios que ofrecen este sistema es evitar el sobrecalentamiento de transformadores, motores y variadores de velocidad, y alargando el tiempo de vida de muchos aparatos electrónicos.

Otra utilización está en los sistemas de almacenamiento de energía acoplados a la red eléctrica donde su utilización se da en los dos sentidos, es decir, se utiliza al almacenar la energía eléctrica proveniente de la red eléctrica y al suministrar energía eléctrica a la red.

1.3. Problemática.

En el apartado anterior se denotaron los usos de un sistema de sincronismo en distintos sistemas (sistemas de generación de energía, rectificadores trifásicos, etc.), en todos ellos se requiere un funcionamiento permanente, lo cual conlleva a que el sistema de sincronismo cumpla con el requerimiento de entregar una señal de fase en las mejores condiciones, con el objetivo de aminorar las pérdidas de producción ante un eventual fallo de operación, que puede producirse debido a perturbaciones presentes en la red eléctrica. La Figura 1.1 muestra la señal de fase de la red trifásica, en la parte a) se ve la

fase con perturbaciones, si estas perturbaciones en la red llegarán directamente como entrada a los sistemas anteriormente mencionados, no solo provocarían paros intempestivos de producción, lo cual involucra grandes pérdidas económicas, sino también la posible avería del sistema acoplado a la red eléctrica, en esto último pérdidas económicas también estaría involucrada. Es por ello que estos sistemas requieren de forma necesaria un sistema de sincronismo para red trifásica que sea inmune a perturbaciones como desbalance y distorsión armónica.

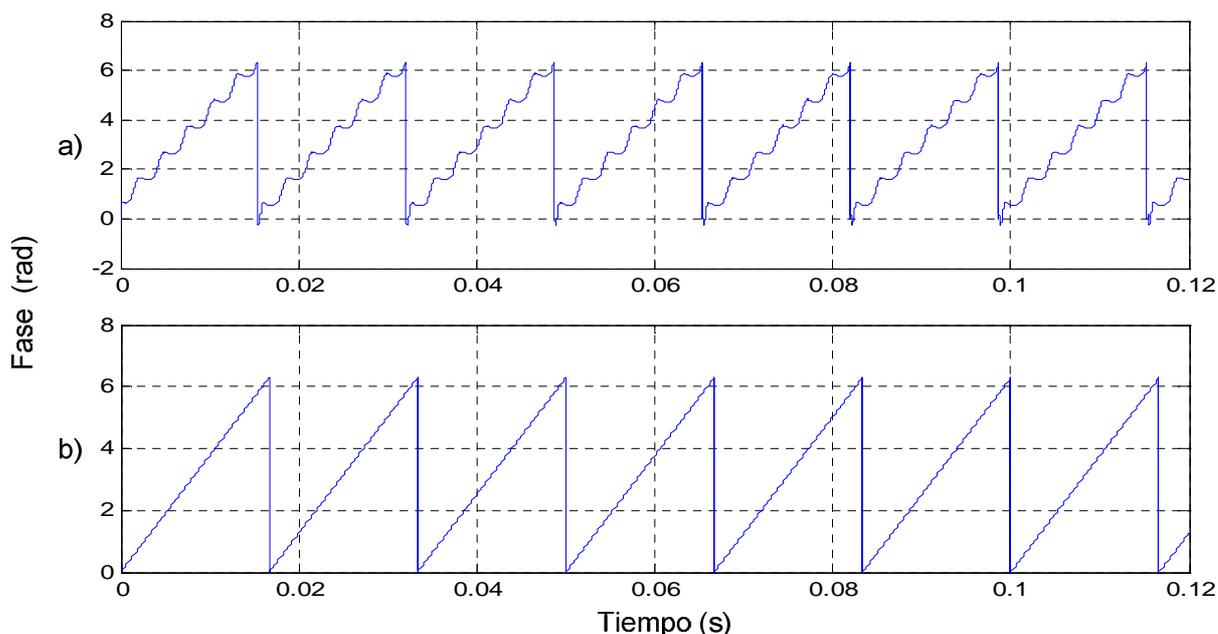


Figura 1.1: Fase una red trifásica, a) Con Perturbaciones, b) Sin perturbaciones.

1.4. Justificación.

La justificación del diseño e implementación de este proyecto nace en la necesidad de distintos sistemas eléctricos, como los ya mencionados, en acoplarse a una red trifásica sin que perturbaciones como desbalance de fase y distorsión armónica detengan su funcionamiento, y buscando que se aminoren las pérdidas de producción ante paradas por fallas eventuales.

1.5. Objetivos.

Los objetivos planteados en este proyecto de investigación son los siguientes:

1.5.1. Objetivo general.

Diseñar e implementar un sistema de sincronismo para redes trifásicas que cuenta con inmunidad ante perturbaciones de desbalance y distorsión armónica para su uso en sistemas eléctricos que necesiten acoplarse a la red.

1.5.2. Objetivos específicos.

Usar una plataforma DSP TMS350F28335 como un sistema de control digital de un sistema de sincronismo para redes trifásicas.

CAPITULO II

FUNDAMENTO TEÓRICO

En este capítulo se presentan los métodos, técnicas y herramientas matemáticas que se emplean en el diseño del sistema de sincronismo, además se presenta un análisis sobre como las perturbaciones influyen negativamente en redes trifásicos, en donde se mostrarán las causas que las originan y también como estas influyen negativamente en las redes eléctricas trifásicas.

2.1. Transformación de Sistemas de Referencia

Muchas veces se utilizan ciertos criterios de arreglos en expresiones matemáticas con el fin de poder resolver ecuaciones diferenciales u otras de forma más sencilla. En el caso de las transformaciones de Clarke y Park, ambas han sido elaboradas con el fin de disminuir la complejidad al operar con sistemas trifásicos en ecuaciones de voltaje [2].

Antes de entrar en detalle con las transformaciones de Clarke y Park, se analizarán a las componentes de entrada al sistema de control, las cuales son las señales trifásicas sinusoidales V_a, V_b, V_c , las cuales en base a la teoría de vectores espaciales introducida por Kobacs y Racz, quedan bien definidas si se conoce el módulo del vector giratorio \vec{v} , el cual gira a una frecuencia fundamental ω .

El vector \vec{v} se puede descomponer o proyectar en diversos sistemas de referencia, la descomposición más común es la descomposición en el sistema estático de tres ejes a 120° ($a - b - c$).

En la Figura 2.1, se muestra la descomposición del vector \vec{v} en el sistema de referencia de tres ejes.

Donde para un ángulo θ , la descomposición será la siguiente:

$$V_{abc} = \begin{pmatrix} V_a \\ V_b \\ V_c \end{pmatrix} = V \begin{pmatrix} \cos \theta \\ \cos \left(\theta - \frac{2\pi}{3} \right) \\ \cos \left(\theta + \frac{2\pi}{3} \right) \end{pmatrix} \quad (2.1)$$

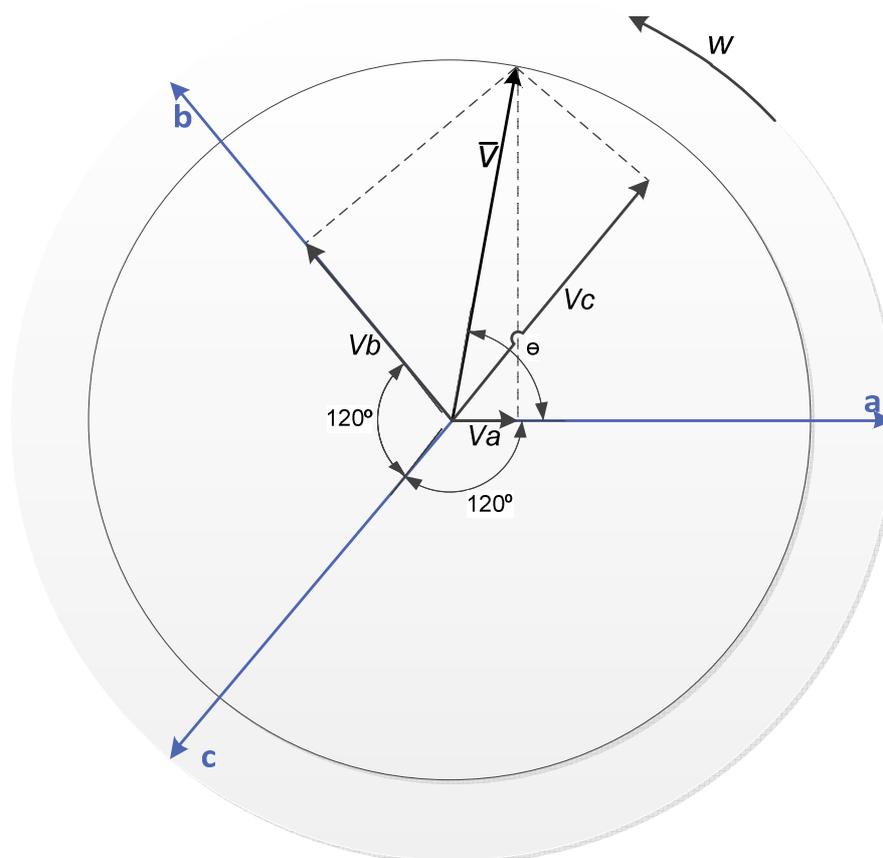


Figura 2.1: Descomposición del vector \vec{v} en el sistema de referencia a-b-c

2.1.1. Transformación abc - $\alpha\beta$.

Esta transformación consta en la transformación de las variables de tensión trifásica en un sistema bifásico ortogonal y estacionario que en este caso llamaremos $\alpha - \beta$. Dicha transformación se efectuó en un primer instante en base a una operación matemática que introdujo Clarke, siendo el objetivo de esta transformación la de disminuir variables y así facilitar labores de cálculo [2].

Kovacs y Racz mediante su Teoría de vectores espaciales introdujeron la idea del vector espacial partiendo de razonamientos y fenómenos físicos relacionados con devanados polifásicos, con la cual se le logra dar una explicación física a la Transformación de Clarke y logrando que se entienda y asimile mejor la transformación, dicho vector espacial realiza una trayectoria circular respecto al origen de coordenadas del sistema de referencia $\alpha - \beta$.

La principal ventaja en usar esta transformación, y tal como se mencionó en la primera parte del capítulo, es la disminución de variables y simplificación de modelos matemáticos utilizados en el análisis de máquinas eléctricas.

En la Figura 2.2 se muestra gráficamente la representación del vector \vec{v} en el sistema de referencia ortogonal estacionario $\alpha - \beta$. Debido a que \vec{v} es un vector bidimensional

giratorio entonces puede ser descompuesto en una parte real y una parte imaginaria, y por ende puede ser representado mediante la siguiente expresión:

$$\vec{v} = |\vec{v}|e^{j(\theta)} = |\vec{v}|e^{j(k\omega t + \theta_0)} = \text{Re}\{\vec{v}\} + j\text{Im}\{\vec{v}\} = v_\alpha + jv_\beta \quad (2.2)$$

De la expresión notamos el término k , el cual representa el orden del armónico para el caso de un sistema trifásico distorsionado.

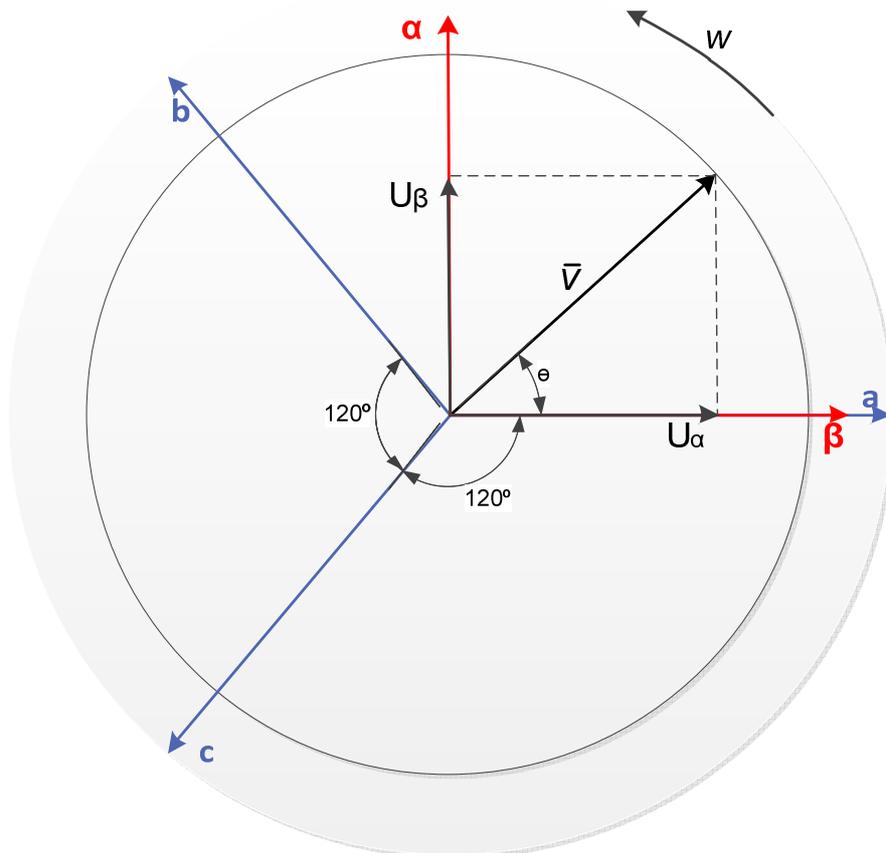


Figura 2.2: Descomposición del vector \vec{v} en el sistema de referencia $\alpha - \beta$.

Matemáticamente se puede llevar a cabo la transformación de Clarke tomando las medidas instantáneas de la red trifásica por medio de operaciones matriciales.

Para que esta transformación funcione en sistemas trifásicos desbalanceados se define una componente de secuencia cero U_γ . La siguiente ecuación muestra la Transformación de Clarke matemáticamente [3].

$$[U_{\alpha\beta\gamma}] = T_C [V_{abc}] \quad (2.3)$$

Dónde:

$$T_C = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & \frac{\sqrt{3}}{2} \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix}$$

La transformación inversa estará dada por la siguiente expresión:

$$[V_{abc}] = T_{\alpha\beta 0}^{-1} [U_{\alpha\beta\gamma}] \quad (2.4)$$

Dónde:

$$T_C^{-1} = \begin{bmatrix} 1 & 0 & 1 \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} & 1 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} & 1 \end{bmatrix}$$

En el presente trabajo no usará la componente de secuencia cero U_γ , por lo tanto la matriz de transformación quedará simplificada.

$$T_{CS} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & -\frac{\sqrt{3}}{2} & \frac{\sqrt{3}}{2} \end{bmatrix}$$

T_{CS} : Matriz de la Transformación de Clarke Simplificada.

Tomando en cuenta dicha observación, para una señal de entrada trifásica V_{abc} , las componentes en el sistema de referencia ortogonal estacionario estará dado por la siguiente expresión:

$$U_{\alpha\beta} = T_{CS} V_{abc}$$

$$\begin{pmatrix} U_\alpha \\ U_\beta \end{pmatrix} = T_{CS} \begin{pmatrix} V_a \\ V_b \\ V_c \end{pmatrix} \quad (2.5)$$

2.1.2. Transformación de abc - dq

Permite transformar un sistema trifásico a un sistema bifásico ortogonal giratorio de referencia. Como vimos en el apartado anterior, si la transformación de Clarke permite reducir el número de variables, la transformación de Park permite ver magnitudes físicas que varían sinusoidalmente en el tiempo, como constantes, siempre y cuando la frecuencia de rotación del eje de referencia ortogonal giratorio $d - q$ coincida con la frecuencia del sistema trifásico [2].

En el caso de que la señal de entrada trifásica presente algún armónico, esta distorsión se verá reflejada de manera que las magnitudes serán variables después de usar la transformación de Park.

En base a idea de vector espacial introducida por Kobacs y Racz se muestra en la figura 2.3 la representación de la descomposición del vector \vec{v} en el sistema ortogonal giratorio.

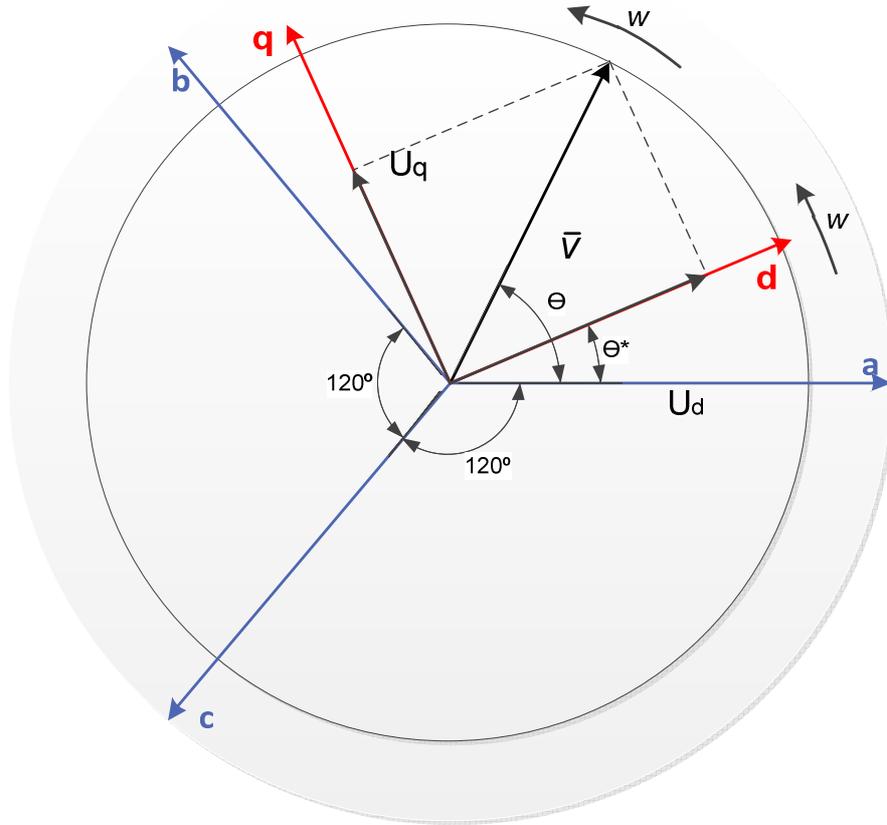


Figura 2.3: Descomposición del vector \vec{v} en el sistema de referencia $d - q$.

En la ecuación (2.6) se presenta la transformación de un sistema de tres ejes estacionarios a un sistema ortogonal giratorio. Cabe mencionar que para lograr dicha transformación se debe tomar en cuenta en todo momento el valor de θ^* , ángulo de fase entre ambos sistemas. Al igual que en la Transformación de Clarke, para la aplicación de la Transformación en sistemas trifásicos desbalanceados se requiere una tercera componente de secuencia cero la cual será definida como U_0 . Por lo que el vector será representado de la siguiente forma:

$$U_{dq0} = [U_d \quad U_q \quad U_0]^T$$

$$[U_{dq0}] = T_P [V_{abc}] \quad (2.6)$$

Dónde:

$$T_P = \sqrt{\frac{2}{3}} \begin{pmatrix} \cos \theta^* & \cos\left(\theta^* - \frac{2\pi}{3}\right) & \cos\left(\theta^* + \frac{2\pi}{3}\right) \\ -\sin \theta^* & -\sin\left(\theta^* - \frac{2\pi}{3}\right) & -\sin\left(\theta^* + \frac{2\pi}{3}\right) \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{pmatrix}$$

La transformación inversa de Park estará dada por la siguiente expresión:

$$[V_{abc}] = T_P^{-1} [U_{dq0}] \quad (2.7)$$

Dónde:

$$T_P^{-1} = \sqrt{\frac{2}{3}} \begin{pmatrix} \cos \theta^* & -\sin \theta^* & \frac{1}{\sqrt{2}} \\ \cos\left(\theta^* - \frac{2\pi}{3}\right) & -\sin\left(\theta^* - \frac{2\pi}{3}\right) & \frac{1}{\sqrt{2}} \\ \cos\left(\theta^* + \frac{2\pi}{3}\right) & -\sin\left(\theta^* + \frac{2\pi}{3}\right) & \frac{1}{\sqrt{2}} \end{pmatrix}$$

Debido a que el análisis del modelamiento se realizará sobre sistemas balanceados se utilizará la forma simplificada de la Transformación de Park prescindiendo de la componente de secuencia cero U_0 . Por lo que la Transformación de Park simplificada a dos componentes es la siguiente [3].

$$[U_{dq0}] = T_{PS}[V_{abc}] \quad (2.8)$$

Dónde:

T_{PS} : Matriz de la Transformación de Park Simplificada.

$$T_{PS} = \sqrt{\frac{2}{3}} \begin{pmatrix} \cos \theta^* & \cos\left(\theta^* - \frac{2\pi}{3}\right) & \cos\left(\theta^* + \frac{2\pi}{3}\right) \\ -\sin \theta^* & -\sin\left(\theta^* - \frac{2\pi}{3}\right) & -\sin\left(\theta^* + \frac{2\pi}{3}\right) \end{pmatrix}$$

2.1.3. Transformación entre ejes de referencia.

La Transformación de Park se puede llevar a cabo en dos partes:

Parte I: Una transformación desde el sistema coordenado estacionario trifásico ($a - b - c$) a un sistema ortogonal estacionario ($\alpha - \beta$), lo que representa realizar la transformación de Clarke.

Parte II: Una transformación del sistema ortogonal estacionario al sistema ortogonal giratorio ($d - q$). Dicha transformación es llamada también transformación entre ejes de referencia

Esta segunda parte se realiza a través de la siguiente expresión [1]:

$$\begin{bmatrix} U_d \\ U_q \end{bmatrix} = T \begin{bmatrix} U_\alpha \\ U_\beta \end{bmatrix} \quad (2.9)$$

Dónde:

$$T = \begin{bmatrix} \cos \theta^* & -\sin \theta^* \\ \sin \theta^* & \cos \theta^* \end{bmatrix}$$

2.2. Perturbaciones en la red trifásica.

Idealmente la red eléctrica debe proporcionar tres ondas senoidales desfasadas 120° entre si y que presentan igual amplitud, sin embargo en la práctica las ondas de tensión de línea de la red trifásica presentan perturbaciones. Dichas perturbaciones no se presentarían en un caso utópico en el cual no haya usuarios en la red eléctrica, y en el cual la señal eléctrica de buena calidad no se vea perturbada ocasionalmente debido a fallas producidas en los centros de generación eléctrica como son las plantas

hidroeléctricas y plantas de cogeneración. No obstante, existen miles de usuarios conectados en la red eléctrica, lo cual significa una innumerable cantidad de cargas, que aún funcionando en su máxima eficiencia, pueden ocasionar perturbaciones en la red eléctrica como por ejemplo desbalance en las fases, inyección de corriente armónica, sin mencionar el caso en el que las cargas están en mal estado produciendo sobreconsumos o cortocircuitos, lo cual como ya sabemos puede afectar a las otras cargas conectadas localmente.

De la Figura 2.4, las cargas de los usuarios están conectadas en un punto en común, así que si se da el caso en el que una carga demanda corrientes armónicas a la red o demanda una corriente muy alta a causa de un cortocircuito, las cargas eléctricas de los usuarios vecinos se verán afectadas.

2.2.1. Tipos de perturbaciones:

Las principales perturbaciones son:

- Huecos de tensión
- Sobretensión temporaria
- Sobretensión transitoria
- Subtensión
- Fluctuaciones de tensión (Flicker)
- Distorsión armónica
- Desbalance de fase [4]

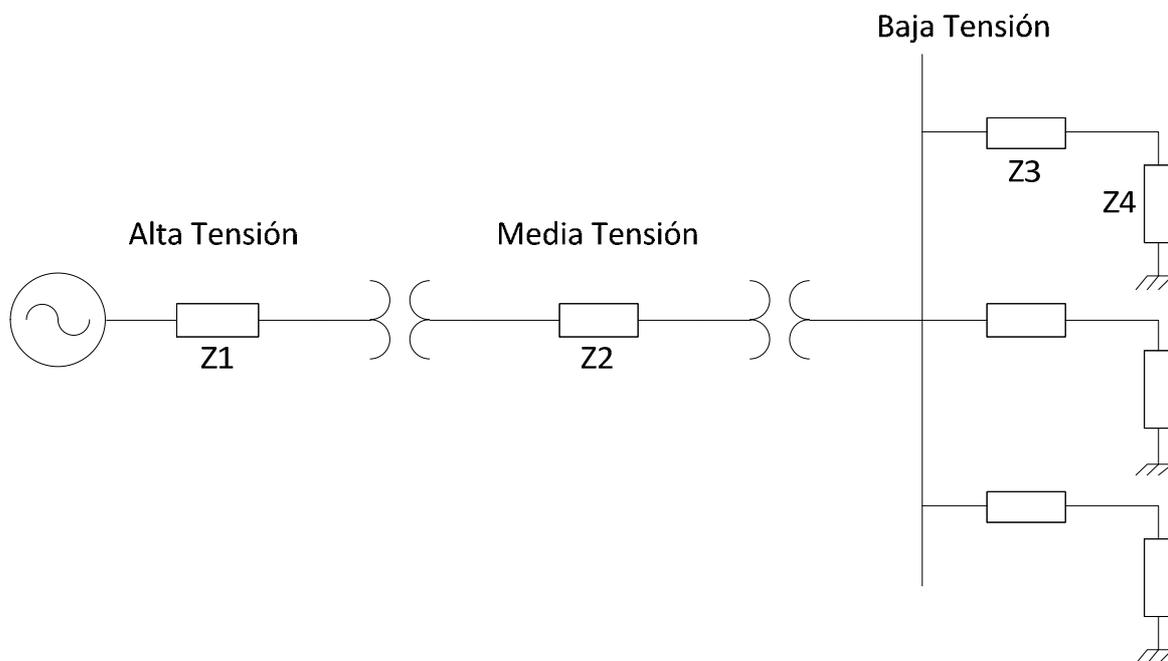


Figura 2.4: Diagrama unifilar simplificado de la red eléctrica y la conexión con los usuarios.

Los tipos de perturbaciones se pueden clasificar de la siguiente forma:

a) Perturbaciones aleatorias.

Son fenómenos aleatorios pasajeros que tienen origen tanto en los elementos de la red eléctrica como son: cables, transformadores, etc., como también en la instalación del usuario. El efecto usual de este tipo de perturbación es la caída transitoria de tensión y en ocasiones un corte regularmente prolongado en determinadas zonas de la red. Otras causas de estas perturbaciones son variaciones considerables de carga, rayos, maniobras en alta tensión y cortocircuito [5].

b) Perturbaciones estacionarias.

Son fenómenos de carácter permanente, o que se prolongan por largos periodos de tiempo, tienen su origen en la mayoría de equipos localizados en la instalación del usuario [4].

2.2.2. Desbalance de fase.

El desbalance de fase o tensión se define como una condición en la cual los valores eficaces de las tensiones de fase o los ángulos entre fases no son iguales.

a) Causas del desbalance de fase.

El balance perfecto de fases es teóricamente inalcanzable debido a las causas que originan el desbalance de fase, la principal causa son las cargas monofásicas sobre el sistema trifásico debido a una distribución no homogénea, sobre todo en los consumidores de baja tensión.

Las impedancias propias y mutuas entre fases no balanceadas generan desbalances en las caídas de tensión aun con cargas simétricas.

Un banco de condensadores con una fase fuera de servicio es otra causa de desbalances de fases ya que genera un desbalance de compensación de corriente reactiva capacitiva.

Los hornos de arco por las características de su funcionamiento, presentan características de carga variable a todo el proceso de fundición. [6]

b) Error por desbalance de fase.

El desbalance en la fase puede ser considerado de la siguiente manera:

Siendo V_a, V_b y V_c las tensiones de fase.

$$V_a = V_m \cos(\theta)$$

$$V_b = V_m(1 + \mu) \cos\left(\theta - \frac{2\pi}{3}\right)$$

$$V_c = V_m(1 + \nu) \cos\left(\theta + \frac{2\pi}{3}\right)$$

Donde μ y ν son los índices de desbalance.

Si realizamos la transformación de Clarke, entonces los vectores estacionarios pueden ser expresados de la siguiente manera:

$$U_{\alpha} = V_m \cos \theta + V_m \left[\frac{\mu + \nu}{6} \cos \theta - \frac{\mu - \nu}{2\sqrt{3}} \sin \theta \right] \quad (2.10)$$

$$U_{\beta} = -V_m \sin \theta + V_m \left[\frac{\mu - \nu}{2\sqrt{3}} \cos \theta - \frac{\mu + \nu}{2} \sin \theta \right] \quad (2.11)$$

El segundo término del lado derecho de ambas ecuaciones (2.10) y (2.11) son producidas por el desbalance en la fase. Al realizar la transformación entre ejes de referencia obtenemos U_q .

$$U_q = -V_m \sin(\theta - \hat{\theta}) + V_m \left[\frac{\mu - \nu}{2\sqrt{3}} \cos(\theta + \hat{\theta}) - \frac{\mu + \nu}{6} \sin(\theta + \hat{\theta}) \right] \quad (2.12)$$

Asignando $\delta = \theta - \hat{\theta}$, donde δ es muy pequeño, como consecuencia se puede asumir que $\theta - \hat{\theta} = 2\theta$, por lo que la ecuación anterior puede verse mas simplificada de la manera siguiente.

$$U_q = -V_m \sin(\delta) + V_m \left[\frac{\mu - \nu}{2\sqrt{3}} \cos(2\theta) - \frac{\mu + \nu}{6} \sin(2\theta) \right] \quad (2.13)$$

Se simplifica la siguiente ecuación agrupando las constantes.

$$E_{df} = \sqrt{\left(\frac{\mu - \nu}{2\sqrt{3}}\right)^2 + \left(\frac{\mu + \nu}{6}\right)^2}$$

$$\phi_{df} = -\tan^{-1}\left(\frac{1}{\sqrt{3}} \frac{\mu + \nu}{\mu - \nu}\right)$$

Con lo cual y tomando en cuenta que $\sin \delta \cong \delta$, para δ muy pequeño, simplificando aún más la ecuación (2.13):

$$U_q \cong -V_m \delta + V_m E_{df} \cos(2\theta + \phi_{df}) \quad (2.14)$$

$$Error \cong E_{df} \cos(2\theta + \phi_{df}) \quad (2.15)$$

Esto significa que durante el control el factor U_{qe} será controlado a cero, pero el desbalance de fase originará una componente de una frecuencia de 2ω , donde ω es la frecuencia angular de la red eléctrica [7].

$$\omega = \frac{d\theta}{dt}$$

2.2.3. Distorsión armónica.

Esta perturbación es una señal sinusoidal de frecuencia múltiplo de la frecuencia fundamental (60Hz). Este tipo de perturbación puede ser evaluado de dos formas:

- Individualmente, por su amplitud relativa con respecto a la amplitud de la componente fundamental.
- Globalmente, mediante el cálculo del THD con la siguiente expresión:

$$THD = \sqrt{\sum_{i=0}^m \frac{V_i}{V_n}} \quad (2.16)$$

Dónde V_i representa los valores individuales de la tensión armónica y V_n el valor nominal de la componente fundamental [6].

a) Causas de la distorsión armónica.

Entre las causas de la distorsión armónica se encuentran:

- Fuentes de alimentación de accionamiento conmutado, comúnmente conocido por sus siglas en inglés SMPS (Switching Mode Power Supply), la cual es una fuente de alimentación que utiliza un regulador de conmutación para convertir energía eficientemente.
- Estabilizadores electrónicos de dispositivos de iluminación fluorescente.
- Pequeñas unidades de Sistemas de Alimentación Ininterrumpida, conocidos como SAI o UPS (Uninterruptible Power Supply).
- Cargas no lineales en la red trifásica como convertidores estáticos (grupos rectificadores, reguladores de velocidad, cargadores de baterías, etc), instalaciones de iluminación con lámparas de descarga, transformadores, reactancias con núcleo de hierro, motores universales, grupos de soldadura y hornos de arco [8].

b) Error por distorsión armónica.

Las ondas de voltaje con distorsión pueden ser representadas de la siguiente manera:

$$V_a = V_1 \cos(\theta) + V_5 \cos(5\theta) + V_7 \cos(7\theta) + \dots$$

$$V_b = V_1 \cos\left(\theta - \frac{2\pi}{3}\right) + V_5 \cos 5\left(\theta - \frac{2\pi}{3}\right) + V_7 \cos 7\left(\theta - \frac{2\pi}{3}\right) + \dots$$

$$V_c = V_1 \cos\left(\theta + \frac{2\pi}{3}\right) + V_5 \cos 5\left(\theta + \frac{2\pi}{3}\right) + V_7 \cos 7\left(\theta + \frac{2\pi}{3}\right) + \dots$$

Donde V_1, V_5, V_7, \dots son las magnitudes de las componentes armónicas. Al realizar la transformación de Clarke sobre las anteriores expresiones obtenemos:

$$U_\alpha = V_1 \cos(\theta) + V_5 \cos(5\theta) + V_7 \cos(7\theta) + \dots \quad (2.17)$$

$$U_\beta = -V_1 \sin(\theta) + V_5 \sin(5\theta) - V_7 \sin(7\theta) + \dots \quad (2.18)$$

Luego, usando la Transformación de Park se llega a:

$$U_q = -V_1 \sin(\delta) + V_5 \sin(\hat{\theta} + 5\theta) + V_7 \sin(7\theta) + \dots \quad (2.19)$$

$$U_q = -V_1 \delta + (V_5 - V_7) \sin(6\theta) + (V_{11} - V_{13}) \sin(12\theta) + \dots \quad (2.20)$$

De la expresión anterior podemos decir que el error originado por la distorsión armónica será:

$$Error = E_{h6} \sin(6\theta) + E_{h12} \sin(12\theta) + \dots \quad (2.21)$$

Dónde:

$$E_{h6} = \frac{V_5 - V_7}{V_1} ,$$

$$E_{h12} = \frac{V_{11} - V_{13}}{V_1} , \dots$$

De la ecuación (2.21), se puede notar que el Error tiene componentes de frecuencia $6w, 12w, \dots$, las cuales son múltiplos de 6 de la frecuencia de la componente fundamental de la red trifásica [7].

2.3. Teorema de Fortescue.

En 1918, el ingeniero electricista Charles Legeyt Fortescue presentó un método matemático que permitía convertir un conjunto de fasores desequilibrados en la suma de sus componentes simétricos. Fortescue demostró que este método se puede aplicar en cualquier número de fases, pero la descripción que se realizará será solo para el empleo de este método en sistemas trifásicos dado que el sistema de sincronización de fase es para redes trifásicas. [9]

Sea un sistema trifásico de ejes A, B y C, según el método, todo conjunto de fasores sean de voltaje o de corriente, balanceados o no, pueden ser representados como la suma vectorial de un grupo de fasores componentes simétricos que tienen el mismo módulo, de los cuales uno gira en el secuencia A – B – C (secuencia positiva), otro en secuencia contraria A – C – B (secuencia negativa) y otros tres girando con la misma fase (secuencia cero), tal como se muestra en la Figura 2.5.

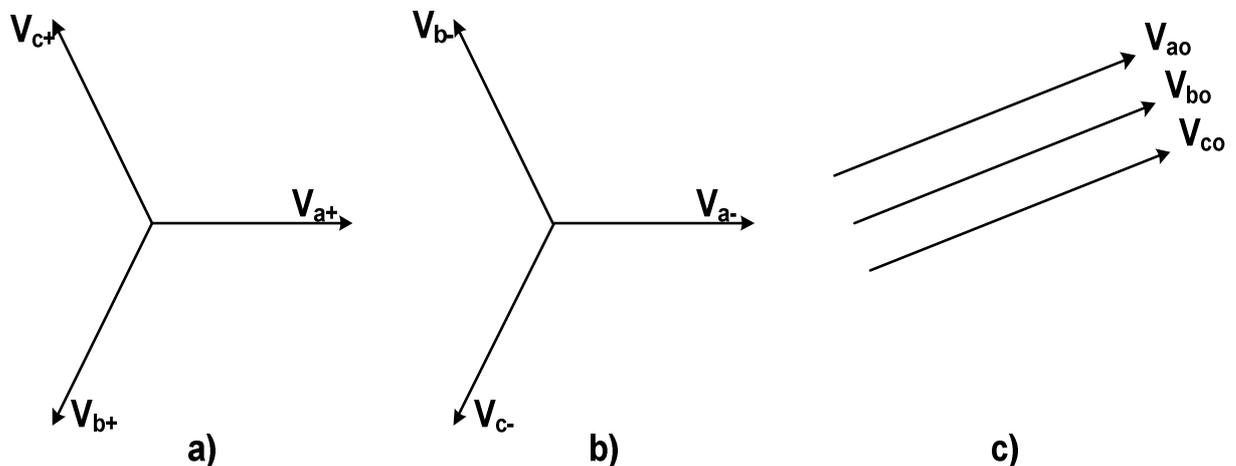


Figura 2.5: Secuencias del sistema trifásico, a) Secuencia positiva, b) Secuencia Negativa y c) Secuencia Neutra.

El análisis es abstracto que tiene muchas bases teóricas, que se explican viéndolo desde una perspectiva desagregada.

Para transformar el conjunto de fasores trifásicos se utiliza la matriz T_F :

$$T_F = \begin{bmatrix} 1 & 1 & 1 \\ 1 & b^2 & b \\ 1 & b & b^2 \end{bmatrix}$$

Donde b es un fasor de magnitud unitaria y un ángulo de -120° . Así es que para hallar las componentes simétricas V_0 (secuencia cero), V_+ (secuencia positiva) y V_- (secuencia negativa) a partir de los voltajes trifásicos V_a , V_b y V_c o viceversa se utilizan las siguientes ecuaciones:

$$\begin{bmatrix} V_0 \\ V_+ \\ V_- \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 & 1 & 1 \\ 1 & b^2 & b \\ 1 & b & b^2 \end{bmatrix} \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} \quad (2.22)$$

$$\begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 1 & b & b^2 \\ 1 & b^2 & b \end{bmatrix} \begin{bmatrix} V_0 \\ V_+ \\ V_- \end{bmatrix} \quad (2.23)$$

De manera específica si se quiere obtener directamente las componentes de la secuencia positiva se puede hacer mediante el uso de la matriz T_+ :

$$T_+ = \begin{bmatrix} 1 & b^2 & b \\ b & 1 & b^2 \\ b^2 & b & 1 \end{bmatrix}$$

$$\begin{bmatrix} V_{a+} \\ V_{b+} \\ V_{c+} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 & b^2 & b \\ b & 1 & b^2 \\ b^2 & b & 1 \end{bmatrix} \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} \quad (2.24)$$

Como se puede observar el resultado es un conjunto de vectores independientemente del número de fase de secuencias. La utilidad radica en la aplicación de este principio en sistemas complejos, ya que al obtener la secuencia positiva del sistema trifásico desbalanceado permite trabajar con una componente balanceada del sistema trifásico, este sistema balanceado está en la misma secuencia y está en fase con el sistema original pero no presenta perturbaciones.

2.4. Lazo de seguimiento de fase (LSF).

También llamado PLL (Phase Locked Loop) es una técnica utilizada para obtener la fase y la frecuencia de una señal trifásica, esto se hace realimentando la fase, la frecuencia o ambas, con el objetivo de sincronizarla con una señal de entrada externa, llamada señal de referencia, así el lazo de seguimiento y la red trifásica estarán en fase y tendrán la misma frecuencia. [10]

2.4.1 Diagrama de bloques general de un lazo de seguimiento de fase.

Un lazo de seguimiento de fase en general está conformado por los siguientes bloques:

- Comparador/detector de fase.
- Filtro pasa bajos.
- Oscilador controlado por tensión o corriente.

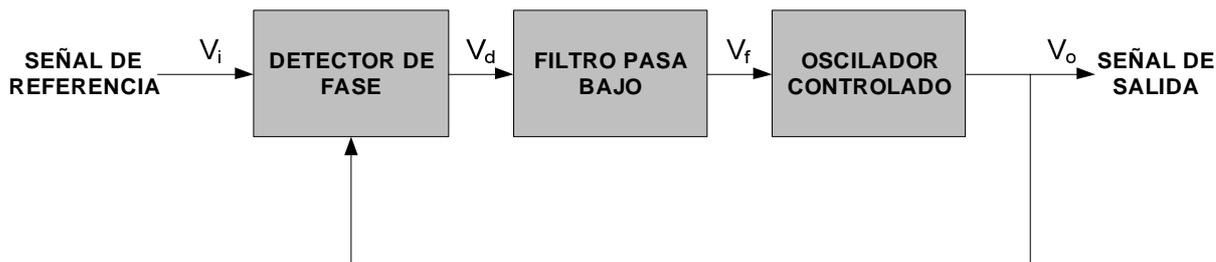


Figura 2.6: Diagrama de bloques general de un lazo de seguimiento de fase.

a) Comparador/detector de fase.

Este bloque devuelve una salida que depende de la diferencia de fases entre la señal obtenida del oscilador y la señal externa de referencia. En algunos lazos de seguimiento de fase este bloque engloba desde una simple operación de suma y multiplicación hasta un algoritmo complejo de operaciones matemáticas.

Existen varios tipos de comparadores/detectores de fase, las consideraciones para la correcta elección del comparador a utilizar son la naturaleza de la señal de entrada (analógica o digital), linealidad de la característica de salida con el error de fase y el intervalo de error de fase de entrada.

b) Filtro pasa bajo.

Este bloque permite pasar solo la componente de baja frecuencia de la salida del comparador/detector de fase. Se encarga también de eliminar el ruido de la banda, lo que nos proporciona una señal continua.

c) Oscilador controlado.

Este bloque genera la señal de salida del lazo de seguimiento de fase, la cual será usada como realimentación en el sistema. Este dispositivo electrónico consta de etapas de amplificación, realimentación y circuitos resonantes, las cuales otorgan a la salida una frecuencia proporcional a la tensión de entrada. Usualmente esa salida es una señal sinusoidal.

Los osciladores controlados más comunes son los osciladores controlados de voltaje de cristal, LC y multivibradores RC. [10]

2.4.2. Funcionamiento del lazo de seguimiento de fase.

Un lazo de seguimiento de fase trabaja en dos márgenes llamados de enganche y de sintonía, cuando el lazo de seguimiento de fase está fuera de sintonía, es decir, cuando la frecuencia de la señal de entrada es muy alta o muy baja, la tensión de salida toma un valor central (w_{co}). El LSF trabaja en dos rangos de frecuencias llamados márgenes de enganche (Δw_C) y de captura (Δw_C), como se muestra en la Figura 2.7, en el primer margen, cuyos límites superior e inferior son w_{LS} y w_{LI} , el PLL está en sintonía ($w_i=w_o$), por otro lado al margen de captura se llega mediante un régimen transitorio, en el cual la determinación de los límites superior w_{CS} e inferior w_{CI} puede llegar a ser un proceso muy

tedioso. El margen de captura es inferior al margen de enganche y se trata de que la frecuencia de salida del detector de fase se encuentre en la banda pasante del filtro. [10]

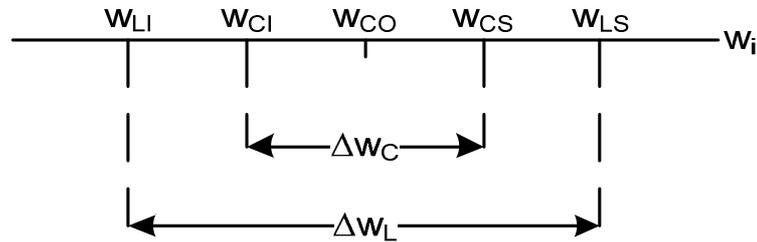


Figura 2.7: Margen de enganche y margen de captura.

Para una señal de referencia $V_i = V_{im} \sin(\omega_1 t + \theta_1)$ y una señal de salida de $V_o = V_{om} \sin(\omega_0 t + \theta_0)$, la tensión a la salida del comparador de fase (ver Figura 2.6) es:

$$V_d = K_d (\cos(\omega_1 t - \omega_0 t + \theta_1 - \theta_0) - \cos(\omega_1 t + \omega_0 t + \theta_1 + \theta_0)) \quad (2.25)$$

Dónde K_d es la ganancia del comparador de fase.

$$K_d = K_m \frac{V_{im} V_{om}}{2}$$

2.4.3. Tipos de lazo de seguimiento de fase.

En los sistemas trifásicos, existen diversos tipos de lazo de seguimiento de fase que cumplen con el objetivo final, el cual es la obtención de la fase del sistema trifásico. Entre los diversos tipos de lazos de seguimientos están los basados en el sistema de referencia sincronizado, los basados en generadores de cuadratura de señal entre otros [11], cada uno de los tipos tienen ventajas y desventajas los cuales determinarán su empleo de acuerdo al modelamiento del sistema y a su vez el funcionamiento de cada uno determinará el valor de las constantes del sistema de control y las consideraciones de programación del dispositivo en el cual se desee utilizar para la aplicación.

Un lazo de seguimiento de fase basado en un simple generador de cuadratura de fase tiene la característica de tener un filtro de primer orden pasa todo, pero no son de frecuencia adaptativa, lo cual significa que podría dar errores en el momento que se busque obtener la secuencia positiva. Otros lazos de seguimiento de fase básicos que gozan de cierta simplicidad, lo cual permite un más rápido procesamiento de las señales en el dispositivo en el cual sea empleado, son incapaces de filtrar armónicos de las señales de entrada.

Otro grupo de lazos de seguimiento de fase, como los basados en la transformación de Hilbert o en la transformación inversa de Park [11], logran enfrentar los problemas de un cálculo preciso de la secuencia positiva y filtros para bloquear los armónicos lo cual implica un mejor desempeño de un sistema de sincronización, la única desventaja de estos tipos de LSF es su alta complejidad lo cual involucra una mayor dificultad en la programación del dispositivo y por ende un mayor tiempo de procesamiento.

2.5. Controladores PID

El control PID es el algoritmo de control más utilizado en la industria, su utilización abarca desde la implementación en circuitos embebidos hasta su configuración y sintonización en Sistemas de Control Distribuido.

Su estudio puede abarcado desde distintos puntos de vista y puede ser utilizado dependiendo de cómo favorece la acción del controlador al proceso.

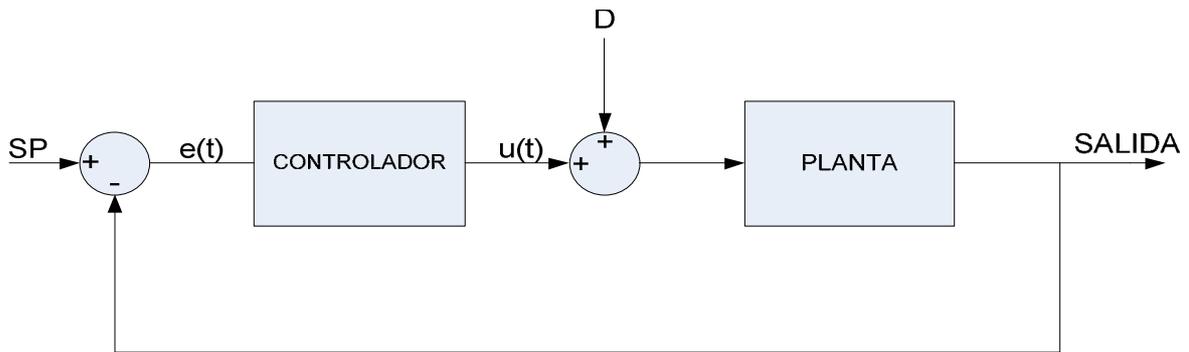


Figura 2.8: Diagrama de bloques de un sistema de control.

En la figura 2.8 Se tiene el diagrama de un sistema de control, el cual está constituido por un controlador y el modelo del proceso (Planta).

Dónde:

$E(t)$ = Error entre la salida del proceso y el valor de referencia SP (Set-Point).

$U(t)$ = La respuesta de salida del controlador.

Se puede notar también en el diagrama una componente D, la cual se suma adicionalmente con $U(t)$ como entrada a la planta. La existencia de esta componente D se debe a las interferencias y/o distorsiones que pueden aparecer durante el proceso y que de alguna manera perjudican el funcionamiento del Sistema de Control. Más adelante se elaborará un algoritmo de control con el objetivo de atenuar la distorsión [12].

2.5.1. Acciones de control.

Dentro de las acciones de controladores PID se encuentran:

- a) Acción de control proporcional
- b) Acción de control integral
- c) Acción de control proporcional integral
- d) Acción de control proporcional derivativa
- e) Acción de control proporcional integral derivativo

a) Acción de control proporcional:

Para un controlador con acción proporcional, el cociente entre la salida del controlador y el error resulta ser la constante proporcional K_p . Tal como lo muestra la ecuación continuación.

$$u(t) = K_p e(t) \quad (2.26)$$

En el dominio de Laplace, se puede despejar K_p :

$$K_p = \frac{U(s)}{E(s)} \quad (2.27)$$

Sea cual sea la naturaleza del proceso, K_p funciona básicamente como un amplificador del error [12].

b) Acción de control integral:

En este tipo de controlador, el valor de salida del controlador cambia de manera proporcional a la señal de error $e(t)$. Es decir, tomando como referencia la Figura 2.8:

$$\begin{aligned} \frac{du(t)}{dt} &= K_i e(t) \\ u(t) &= K_i \int_0^t e(t) dt \end{aligned} \quad (2.28)$$

El valor de K_i es variable, permitiendo ajustar el controlador de acuerdo a las necesidades de control. Realizando la transformación de Laplace [12].

$$\frac{U(s)}{E(s)} = \frac{K_i}{s} \quad (2.29)$$

c) Acción de control proporcional integral:

La acción proporcional integral de un controlador PI es la combinación de las dos acciones mencionadas anteriormente, se define por la siguiente expresión:

$$u(t) = K_p e(t) + \frac{K_p}{T_i} \int_0^t e(t) dt \quad (2.30)$$

Por lo que la función de transferencia en transformada de Laplace es:

$$\frac{U(s)}{E(s)} = K_p \left(1 + \frac{1}{T_i s} \right) \quad (2.31)$$

Donde K_p es la ganancia proporcional y T_i se denomina tiempo integral. Ambas variables son ajustables. La variación de K_p afecta a la acción proporcional y a la acción integral. Por otro lado, T_i ajusta solo a la acción integral, el inverso de T_i es denominado "velocidad de reajuste" y su valor representa la cantidad de veces por segundo que se duplica la parte proporcional de la acción de control [12].

d) Acción de control proporcional derivativa:

Esta acción de control se define de la siguiente manera:

$$u(t) = K_p e(t) + K_p T_d \frac{de(t)}{dt} \quad (2.32)$$

Y su función de transferencia es:

$$\frac{U(s)}{E(s)} = K_p (1 + T_d s) \quad (2.33)$$

Dónde, K_p es la constante proporcional y T_d es una constante denominada “tiempo derivativo”, ambas ajustables. La acción derivativa, también llamada control de velocidad”, ocurre cuando la magnitud de salida del controlador es proporcional a la velocidad de cambio de la señal de error. El tiempo derivativo es el intervalo de tiempo durante el cual la acción de la velocidad hace avanzar el efecto de la acción de control proporcional.

Este tipo de acción de control tiene la ventaja de ser previsiva, pero la desventaja de amplificar señales de ruido [12].

e) Acción de control proporcional integral derivativa:

Esta acción es combinación de la acción proporcional, acción integral y la acción derivativa, y se denomina comúnmente acción de control PID. Tiene las ventajas de las tres acciones de control individuales. La ecuación que la define es la siguiente:

$$u(t) = K_p e(t) + \frac{K_p}{T_i} \int_0^t e(t) dt + K_p T_d \frac{de(t)}{dt} \quad (2.34)$$

Y su función de transferencia es:

$$\frac{U(t)}{E(t)} = K_p \left(1 + \frac{1}{T_i s} + T_d s \right) \quad (2.35)$$

Donde las constantes ya fueron definidas en las acciones anteriores [12].

2.5.2. Efectos de las acciones de control.

Cada acción de control tiene un efecto en el proceso que se está controlando, dado que las acciones de control definidas anteriormente se componen de la acción proporcional, acción integral y de la acción derivativa, se definirá los efectos de estas tres acciones en el desempeño de un sistema de control.

a) Acción proporcional:

El efecto que produce una acción de control proporcional es similar a la de un amplificador, en este caso amplifica el valor del error.

Este tipo de acción de control entrega la señal de control con un error de estado estacionario, o desplazamiento llamado offset.

b) Acción integral:

En este tipo de acción un error pequeño positivo nos dará una acción de control creciente, y un error pequeño negativo generará una acción de control decreciente. Por ello, la acción de este controlador elimina el error del estado estacionario, pero puede conducir a una respuesta oscilatoria de amplitud decreciente lenta o de amplitud creciente, los cuales son inconvenientes a tomar en cuenta en el ajuste de las constantes.

c) Acción derivativa:

Cuando una acción de control derivativa se agrega a un controlador proporcional, hace que el controlador tenga alta sensibilidad. Una ventaja de usar una acción de control derivativa es que el controlador prevé el error y produce una acción correctiva, permitiendo aumentar la estabilidad del sistema [12].

2.6. Método del óptimo simétrico.

El método del óptimo simétrico se desarrolló en base a un método previo llamado "Método de la magnitud óptima, ambas son métodos de optimización de controladores. El método de la magnitud óptima tiene como objetivo la obtención de las mejores constantes del controlador tal que la ganancia del sistema sea plana y cercana a la unidad con el ancho de banda lo más grande posible.

Una desventaja de este primer método de optimización es que la respuesta del sistema frente a cualquier perturbación, aplicada a otros lugares de la entrada de referencia, no era óptima y lo que es más, la posibilidad de cualquier perturbación es ignorada. La razón es que este método solo optimizaba el lazo de transferencia de lazo cerrado entre la entrada de referencia y la variable a ser controlada. Otra desventaja es que el sistema controlado solo mostrará un comportamiento tipo I o 0, incluso si hay presencia de componentes integradores libre en la planta o proceso [13].

Ante la necesidad de optimizar la función de transferencia no solo con la entrada de referencia sino también con la perturbación presente en el proceso, se sugiere el uso del método del óptimo simétrico. El método del óptimo simétrico es usado para el cálculo de las constantes de un controlador, sea cual sea la acción de este.

Conforme a este método las constantes son seleccionadas tal que las gráficas de bode de amplitud y de fase sean simétricas tomando como eje de simetría la frecuencia de corte, la cual está en la media geométrica de las dos frecuencias límites (superior e inferior) de la función de transferencia de lazo abierto.

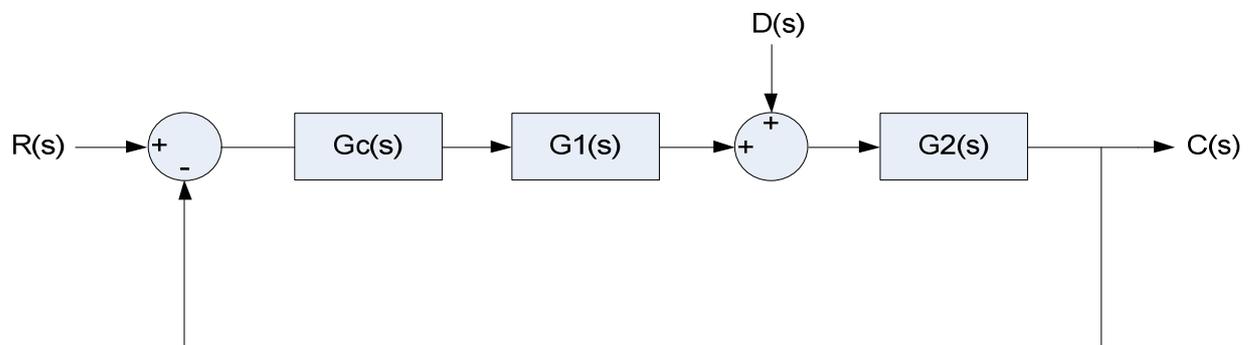


Figura 2.9: Diagrama de bloques de un sistema con perturbación.

En la Figura 2.9 se puede notar un sistema que presenta una perturbación $D(s)$ y en el cual el controlador será desarrollado utilizando el método del óptimo simétrico. Las

funciones de transferencia del sistema con respecto a la entrada de referencia y la perturbación son las siguientes:

$$\frac{C(s)}{R(s)} = \frac{G_C(s)G_1(s)G_2(s)}{1 + G_C(s)G_1(s)G_2(s)} \quad (2.36)$$

$$\frac{C(s)}{D(s)} = \frac{G_2(s)}{1 + G_C(s)G_1(s)G_2(s)} \quad (2.37)$$

De las ecuaciones anteriores, podemos notar que presentan el mismo denominador y por ello la misma ecuación característica.

$$1 + G_C(s)G_1(s)G_2(s) = 0 \quad (2.38)$$

Por lo que se tendría un sistema secundario o embebido definido por la siguiente función de transferencia:

$$T(s) = \frac{1}{1 + G_C(s)G_1(s)G_2(s)} \quad (2.39)$$

La función de transferencia del proceso definido en forma factorizada es la siguiente:

$$G_P(s) = \frac{1}{\beta(s)} = \frac{1}{(1 + \sigma s) \prod_{i=1}^p (1 + T_i s) \prod_{j=1}^q T'_j s} \quad (2.40)$$

Asumiendo que el controlador contiene un retardo pequeño σ y un número de retardos considerables, $T_i \gg \sigma$. El controlador puede ser definido de la siguiente manera.

$$G_C(s) = \frac{\alpha(s)}{2s} = \frac{\prod_{i=1}^{n=p+q} (1 + \tau_i s)}{T'_y s} \quad (2.41)$$

De la ecuación 2.41 podemos observar que para constantes de tiempo grandes la función de transferencia del sistema puede ser tratada como integradores libres, de forma que considerando la frecuencia en la que la gráfica de bode de magnitud tiene el valor de 0db se obtiene la siguiente aproximación.

$$G_P(s) = \frac{1}{(1 + \sigma s) \prod_{i=1}^{p+q} T_i s} \quad (2.42)$$

Por lo que para:

$$T_y = \frac{T'_y}{\prod_{i=1}^n \left(\frac{T_i}{T'_y}\right)}$$

Se obtiene la siguiente función de transferencia de lazo abierto:

$$G(s) = \prod_{i=1}^n \left(\frac{1 + \tau_i s}{\tau_i s}\right) \frac{1}{T_y s (1 + \sigma s)} \quad (2.43)$$

En el cálculo de la función de transferencia de lazo cerrado se obtiene lo siguiente:

$$\frac{G(s)}{1 + G(s)} = \frac{\prod_{i=1}^n \left(\frac{1 + \tau_i s}{\tau_i s}\right)}{\prod_{i=1}^n \left(\frac{1 + \tau_i s}{\tau_i s}\right) + T_y s (1 + \sigma s)} \quad (2.44)$$

La ecuación 2.44 es una expresión que puede ser simplificada asumiendo que $\tau_i s \gg 1$ y tomando en cuenta lo siguiente:

$$\prod_{i=1}^n \left(\frac{1 + \tau_i s}{\tau_i s} \right) = \prod_{i=1}^n \left(1 + \frac{1}{\tau_i s} \right) = 1 + \frac{1}{s} \sum_{i=1}^n \frac{1}{\tau_i} + \frac{1}{s} \sum_{i=1}^n \sum_{i=1; i \neq j}^n \frac{1}{\tau_i \tau_j} + \dots$$

$$\approx 1 + \frac{1}{s} \sum_{i=1}^n \frac{1}{\tau_i} \quad (2.45)$$

Haciendo $\tau_i = \tau$, con el objetivo de minimizar la magnitud de los términos de orden superior se obtiene:

$$\frac{G(s)}{1 + G(s)} = \frac{\left(1 + \frac{\tau}{n} s \right)}{1 + \frac{\tau}{n} s + \frac{T_y \tau}{n} s^2 (1 + \sigma s)} \quad (2.46)$$

Por lo tanto la función de transferencia del sistema secundario es:

$$T(s) = \frac{1}{1 + \frac{\tau}{n} s + \frac{T_y \tau}{n} s^2 (1 + \sigma s)} \quad (2.47)$$

De las ecuaciones anteriores los términos a definir son T_y y τ , los cuales de acuerdo a este método del óptimo simétrico se hallarán sustituyendo $j\omega$ por s e igualando las primeras $2n$ derivadas del módulo al cuadrado de la función de respuesta en frecuencia evaluada en $\omega = 0$ [13].

Como resultado de este criterio se obtiene:

$$\tau = 4n\sigma$$

$$T_y = 2\sigma$$

Reemplazando en la ecuación 2.46, se obtiene la función de transferencia de lazo abierto:

$$G(s) = \frac{1 + 4\sigma s}{8\sigma^2 s^2 (1 + \sigma s)} \quad (2.48)$$

2.7. Filtros digitales.

Son filtros que actúan sobre señales digitales mediante operaciones matemáticas, en las que toma una secuencia de números (señales de entrada) y la modifica produciendo otra secuencia de números (señal de salida) con el objetivo de atenuar o resaltar ciertas características.

2.7.1. Usos de los filtros digitales.

Algunos de los usos de los filtros digitales son los siguientes:

- Separación de señales que fueron combinadas en el proceso (ruido, interferencias provenientes de otros sistemas)
- Recuperación de señales distorsionadas.

- Síntesis de sonido, en la creación o modificación de señales para moldear espectros o formas de onda y lograr el efecto auditivo deseado.
- Efectos de audio, lo cuales son usados en la industria de la música en la producción de efectos de sonido como chorus, flanger, etc [14].

2.7.2. Implementación de un filtro digital.

Existen dos maneras de hacer la implementación de un filtro, las cuales son:

- a) Por convolución de la señal de entrada con la respuesta al impulso del filtro. La señal de salida del filtro es un promedio ponderado de la muestra actual y de las muestras pasadas. La siguiente ecuación representa la respuesta al impulso finita (FIR).

$$y[n] = (x * h)[n] = \sum_{k=0}^{N-1} x[k]h[n-k] \quad (2.49)$$

Donde N es el orden del filtro.

- b) Por una ecuación de recurrencia, donde las características del filtro estarán definidas por los coeficientes de recursión y en la señal de salida estarán involucradas muestras de la señal de entrada y muestras previas a la salida. La siguiente ecuación representa la respuesta al impulso infinita (IIR).

$$y[n] = a_1y[n-1] + a_2y[n-2] + b_0x[n] + b_1x[n-1] + b_2x[n-2] \quad (2.50)$$

2.7.3. Clasificación de los filtros digitales.

La Tabla 2.1 muestra la clasificación de los filtros digitales según su implementación y uso.

Tabla 2.1: Clasificación de los filtros digitales.

		POR SU IMPLEMENTACIÓN:	
		Convolución Respuesta al impulso finito (FIR).	Recursión Respuesta al impulso infinito (IIR).
USADO PARA:	Dominio en el tiempo Suavizado	Media Móvil	Un Polo
	Dominio en frecuencia Separación de frecuencias.	Sinc enventanado	Chebychev
	Personalizado Deconvolución.	FIR personalizado	Diseño iterativo

2.7.4. Filtro de media móvil.

Pertenece al tipo de filtros FIR (ver Tabla 2.1), los cuales son filtros cuya respuesta a una señal impulso como señal de ingreso tendrá un número de términos finitos no nulos. El filtro media móvil consiste en el cálculo de la media aritmética de una determinada cantidad de valores obtenidos hasta el tiempo actual. Por ejemplo si se habla un filtro

media móvil en el cual se toman los M últimos valores entonces la señal de salida se obtendrá a partir de la siguiente ecuación.

$$y[n] = \frac{1}{M} \sum_{k=0}^{M-1} x[n-k] \quad (2.51)$$

Entre sus características más resaltantes:

- La salida es el promedio de las últimas M muestras adquiridas.
- Su óptimo desempeño para suprimir ruido blanco.
- Es el filtro más veloz de acuerdo a su implementación en recurrencia.
- Tiene bajo desempeño como filtro pasa-bajo [14].

CAPITULO III

SISTEMA DE SINCRONISMO PROPUESTO

En este capítulo se da una visión general del sistema de sincronismo propuesto empezando por su utilización en distintas aplicaciones, descripción general del sistema y la descripción de las características y el funcionamiento de las partes que componen el hardware utilizado en su implementación.

3.1. Descripción general del sistema de sincronismo propuesto.

Como ya se detalló en la primera parte del presente proyecto de tesis, existen varias aplicaciones donde un sistema de sincronismo es requerido, una de las aplicaciones se da en un convertor de energía CC-CA controlado que es usado en un sistema de generación de energía [1], mostrado en la Figura 3.1, en dicho sistema el inversor trifásico convierte el voltaje CC en voltaje CA pero no en una forma arbitraria sino de tal manera que las tensiones alternas generadas estén en fase con la red, con el objetivo de acoplarse a ella y dar suministro de manera conjunta.

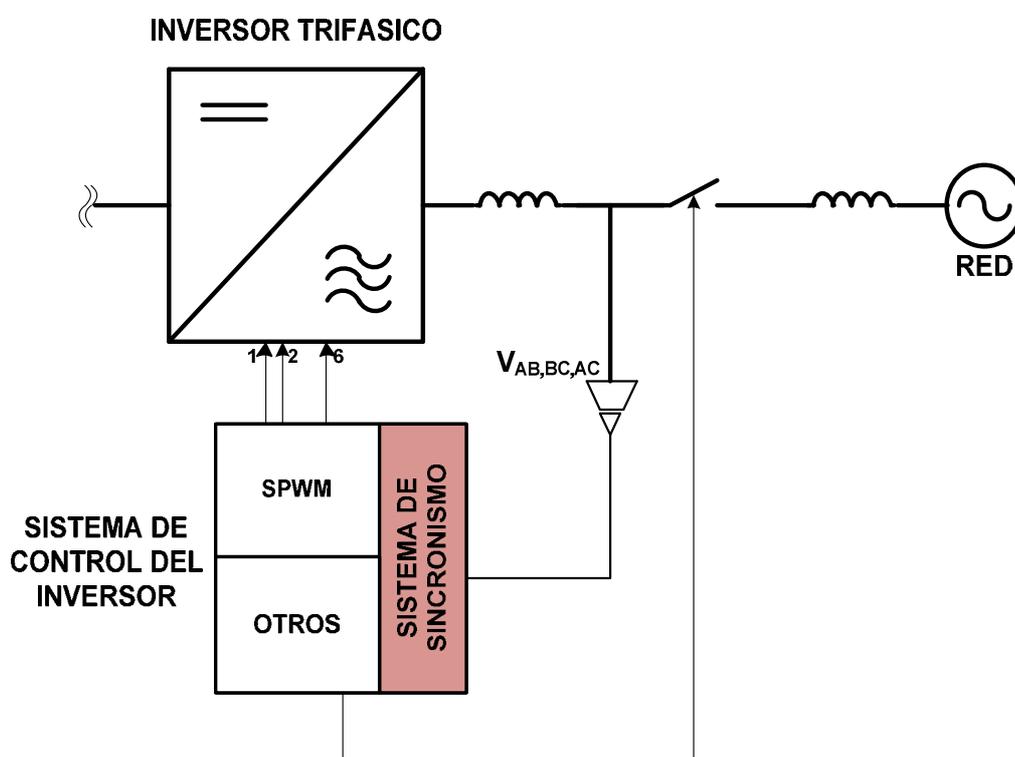


Figura 3.1: Inversor de voltaje CC-CA.

Otra aplicación del sistema sincronismo se muestra en la Figura 3.2 con un rectificador trifásico controlado (RTC) [2], en esta aplicación el RTC rectifica las tensiones trifásicas por medio de tiristores y un circuito de disparo, el cual necesita de un sistema de sincronismo para su desenvolvimiento en dicho sistema.

En ambos casos se nota que el sistema de sincronismo es parte vital para acoplar dichos sistemas a la red eléctrica. Además de eso este sistema de sincronismo debe cumplir algunos requerimientos como la inmunidad ante perturbaciones del tipo desbalance y distorsión armónicas, las cuales se suelen presentar con frecuencia en la red eléctrica y otros requerimientos más que fueron presentados en la problemática a enfrentar en el apartado ubicado en el capítulo I.

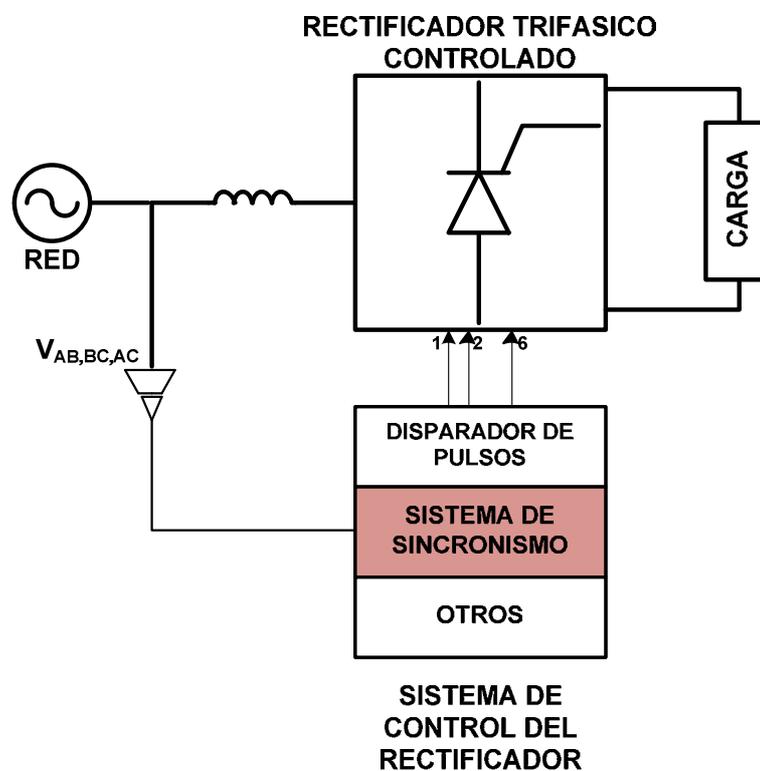


Figura 3.2: Rectificador trifásico no controlado.

El sistema de sincronismo propuesto contempla varias etapas las cuales son: adquisición y acondicionamiento de señales, procesamiento de las señales en el sistema de control y por último visualización y entrega de las variables de interés, como la fase, la frecuencia, la componente simétrica, etc., cada una de dichas etapas cumple una función específica. La Figura 3.3 muestra un diagrama de bloques general del Sistema de Sincronismo propuesto, en ella se muestra como primera etapa, la adquisición de las señales de voltaje de línea de la red trifásica por medio de transductores de voltaje, para su posterior acondicionamiento. Luego las señales ingresan al sistema de control, donde el algoritmo de control las procesa y entrega las variables de interés. El algoritmo de control emplea

método para el tratamiento digital de las señales y el sistema de control del sistema de sincronismo propiamente dicho, en el cual se utilizan técnicas como el cálculo de la secuencia positiva entre otros, en aras de implementar un sistema de sincronismo inmune al desbalance y distorsión armónica y que además cumpla con los requisitos y objetivos trazados. El diseño del sistema se encuentra en el capítulo siguiente y contempla todas las etapas.

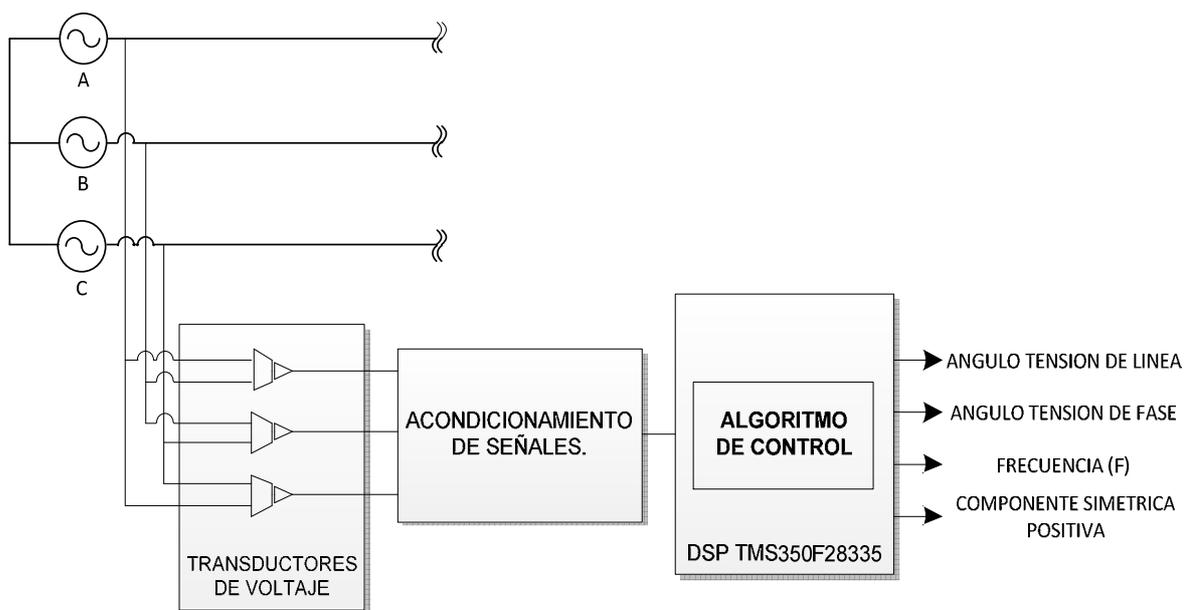


Figura 3.3: Diagrama de bloques general del sistema de sincronismo.

3.2. Hardware del sistema de sincronismo.

En este apartado se describe las características y funcionamiento de cada uno de los elementos que conforman el hardware del sistema de sincronismo.

3.2.1. Procesador digital de señales.

Un procesador digital de señales o DSP consta de un microprocesador que posee un conjunto de instrucciones, las cuales permitirán llevar a cabo operaciones numéricas a muy alta velocidad para aplicaciones que así lo requirieran.

La mayoría de estas aplicaciones son aquellas que requieren del procesamiento y representación de señales analógicas en tiempo real, en donde se realiza una adquisición de datos proveniente de un convertor analógico digital (ADC) de acuerdo a un tiempo de muestreo.

a) Antecedentes.

Desde 1978 hasta la actualidad gran cantidad de empresas como INTEL y Texas Instruments han dedicado equipos de personas y gran capital a la creación y desarrollo de procesadores digitales de señales, logrando poco a poco hacer más completo el funcionamiento y utilidad de estos.

INTEL, en 1978, produce el 2920 llamando a este “procesador digital de señales”, el 2920 tenía un chip conversor analógico-digital (ADC), un conversor digital-analógico (DAC) y un procesador de señales interno, este 2920 no tuvo éxito en el mercado debido a que no poseía un multiplicador de hardware.

1979, AMI y Bell Labs lanzan al mercado procesadores digitales S2811 y MAC 4 Microprocessor respectivamente, el producto de AMI fue diseñado como un microprocesador periférico y no gozo de aceptación en el mercado, caso contrario ocurrió con Bell Labs y el primer chip procesador de señales.

Los primeros DSP's completos fueron el PD7710 de NEC y el DSP1 de AT&T ambos fueron creados en base a las investigaciones de PSTN (Public Switched Telephone Network)

El primero DSP de Texas Instruments en ser introducido en el mercado, fue el TMS32010 en 1983, el cual mostraba mejoras considerables comparado con sus antecesores, la escalabilidad fue la mejora más recalable, ya que permitía al DSP trabajar con otros dispositivos de similares características [15].

b) DSP TMS320F28335.

Este procesador digital de señales, el cual pertenece la familia C2000 de DSPs de Texas Instruments, es el que se utilizó en la implementación del proyecto. Cuenta con ciertas características tanto en funcionamiento como en programación que se tomaron en cuenta para la implementación de los algoritmos de control.



Figura 3.4: DSP TMS350F28335

El TMS320F28335 es un DSP de punto flotante, el cual se muestra en la Figura 3.4 montado en una placa de desarrollo, este DSP extiende la funcionalidad de los procesadores de punto fijo, ya que cuenta con registros e instrucciones que han sido añadidas para realizar las operaciones de simple precisión de punto flotante (IEEE single-precision floating point operations). Este DSP saca lo mejor sus predecesores y de las tecnologías para procesadores ya existentes como RISC (reduced instruction set

computer) el cual permite tener un ciclo de operación por cada ejecución de instrucción. Además, incluye una arquitectura de Harvard modificada, que hace posible la obtención de instrucción y de información en forma paralela, y un direccionamiento circular.

La CPU puede leer instrucciones e información cuando esta escribe información simultáneamente con el objetivo de mantener el ciclo de operación unitario. Esto lo realiza sobre seis separados buses de instrucción/información [16].

c) Características:

Las características del DSP TMS320F28335 son:

- Procesamiento de punto flotante de 32bits.
- Tecnología CMOS estática de alto rendimiento. 150MHz. Núcleo de 1.9V, diseño de entradas/salidas a 3.3V.
- Memoria interna del chip tipo flash de 512Kb, 34KBx16 SARAM. Memoria interna del chip de 68Kb.
- ROM de arranque de 8Kx16, con modos de arranque por software, mediante SCI, SPI, CAM, I2C, McBSP, XINTF, y E/S paralelo.
- Reloj y control del sistema don PLL, reloj interno, módulo temporizador guardián (watchdog).
- Bloque de expansión de interrupciones periféricas (PIE), con soporte de hasta 58 interrupciones periféricas.
- Periféricos para la mejora del control: 18 salidas PWM, 6HRPWM con 150ps de resolución MEP, 6 entradas de captura de evento, 2 interfaces de encoders por cuadratura.
- Una CPU con 3 temporizadores de 32 bits.
- Periféricos de puerto serie, 2 módulos CAN, 3 módulos SCI (UART), 2 módulos McBSP (configurables como SPI), un módulo SPI, un bus I2C.
- 16canales de entradas de convertidores analógico a digital de 12 bits. Una tasa de conversión de 80 ns, 2x8 canales de entrada multiplexados, dos bloques de muestreo y retención, conversión única y simultánea, referencia interna o externa.
- Hasta 88 pines GPIO (General Purpose Input/Output) multiplexados programables individualmente, con filtrado de la entrada [17].

Un extracto de la información técnica respecto al procesador digital de señales está ubicado en el Anexo E.

d) Arquitectura del DSP TMS320F28335.

El DSP en mención es capaz de ejecutar seis operaciones básicas en un solo ciclo de instrucción y por ello la arquitectura de este dispositivo debe reflejar eso en alguna manera.

- Componentes de la arquitectura.

DSP dentro de su arquitectura de punto flotante contiene:

- Unidad central de procesamiento, usada para la generación de la información y direcciones en la memoria del programa, decodificación de instrucciones, desarrollo de operaciones aritméticas, lógicas y de desplazamiento, y un control de transferencia de datos entre registros del CPU, memoria de datos, y memoria del programa.
- Unidad de punto flotante para operaciones de punto flotante de simple de precisión simple.
- Lógica de emulación, empleada para monitorear y controlar varias partes y funciones del dispositivo, también para comprobar la operación del mismo.
- Señales para la interfaz con memoria y periféricos, sincroniza y controla la CPU y la lógica de emulación, mostrando el estado de ambos y usando interrupciones [14].

- Diagrama de bloques.

La arquitectura del DSP en mención puede ser representada a través de un diagrama de bloques. En el cual cada bloque cumple una función en específico blindando las características que tiene el DSP.

En la Figura 3.5 se muestra el diagrama de bloques del DSP TMS320F28335, en el cual están los bloques de la arquitectura del DSP los cuales son llamados también unidades funcionales.

Dentro de las unidades funcionales están:

- Internal and External Bus System
- CPU
- Internal Memory Sections
- Control Peripherals
- Communication Channels
- Direct Memory Access Controller (DMA)
- Interrupt Management Unit (PIE) and Core Time Unit
- Real – Time Emulation Interface

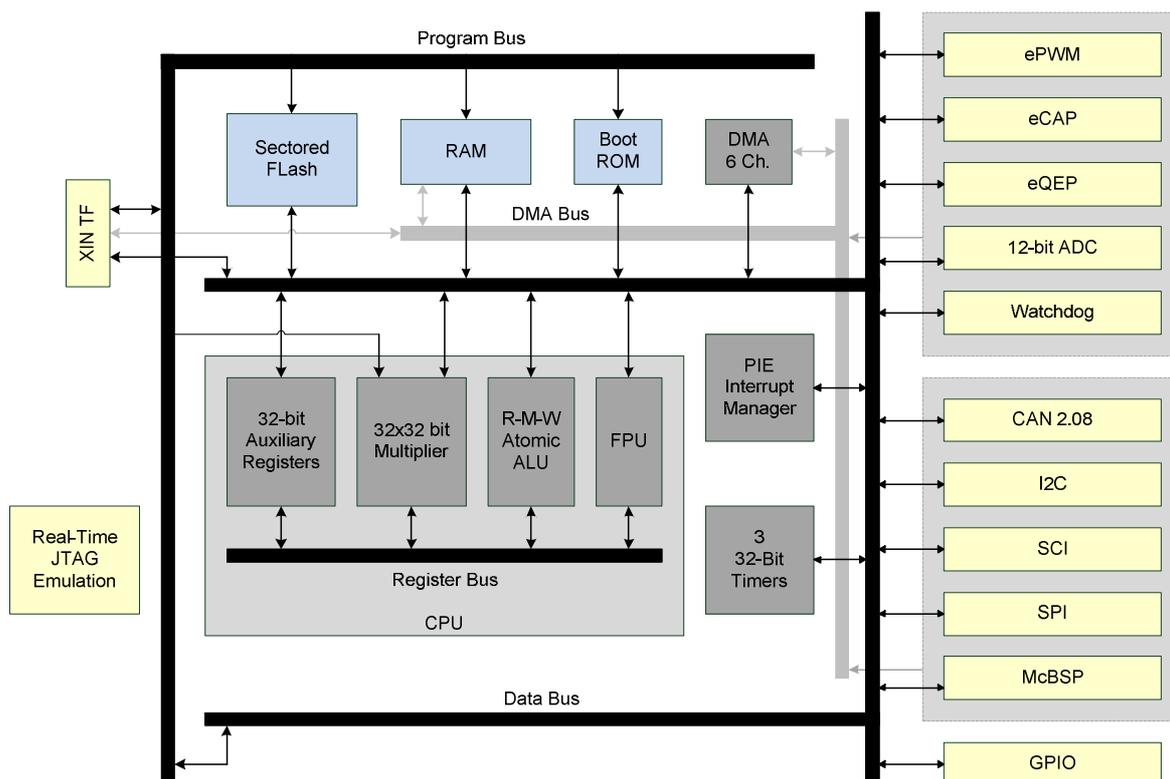


Figura 3.5: Diagrama de Bloques DSP TMS320F28335

Sistemas de bus.

Dado que el núcleo del TMS320F28335 es un DSP, este puede leer dos datos de la memoria y transferirlos a la unidad central de proceso en un solo ciclo de reloj. Para que se lleve a cabo dicha ejecución, el F28335 cuenta con dos sistemas de bus independientes, los cuales son: Bus de programa y Bus de datos. A este tipo de arquitectura se le llama Harvard y a partir de que el F28335 no solo lee información de la memoria de datos sino también información de la memoria de programa podemos decir que la arquitectura del F28335 es una Arquitectura Harvard modificada, el “by-pass” presente en la esquina inferior izquierda de la figura hace posible esa función adicional y propia de esta arquitectura.

El bus de registro, tercer bus ubicado dentro del CPU, permite un muy rápido intercambio de información entre sus unidades matemáticas paralelas, y un cuarto bus llamado Bus de acceso directo a memoria permite que la unidad DMA pueda trabajar en forma independiente del CPU.

Unidad central de procesamiento (CPU).

Esta unidad dentro de la arquitectura es la que lleva a cabo la mayoría de instrucciones para realizar operaciones registro a registro y una gran gama de instrucciones que son comúnmente usadas en microcontroladores. La arquitectura también está compuesta por potentes modos de direccionamiento, los cuales permiten que el compilador así como

también el ensamblador generen código compactos que correspondan uno a uno con el código C.

El CPU está compuesto por Registros auxiliares de 32 Bits, un multiplicador de 32x32 bit, la unidad de punto flotante entre otros, los cuales permiten DSP ser tan eficiente en realizar operaciones matemáticas en el procesamiento de señales con punto flotante así como también en las tareas del sistema de control. Esta eficiencia elimina la necesidad de un segundo procesador en la mayoría de sistemas.

Unidad matemática de punto fijo y punto flotante.

Ambas unidades tienen por objetivo poder realizar operaciones matemáticas, a través de instrucciones, las cuales comprenden lectura de información, mantenimiento, acumulación desplazamiento, etc. Cada unidad trabajará en base un conjunto de instrucciones dependiendo si la información.

La unidad de lógica aritmética (ALU) brinda soporte a las unidades matemáticas, para que estas puedan obtener resultados. Esta unidad tiene sus propias instrucciones para el desarrollo de dichas operaciones.

En orden de añadir mayor flexibilidad al dispositivo se encuentra la unidad matemática de punto flotante, dándole singularidad al DSP, esta unidad está compuesta de 8 registros de propósito general, que se apoyan en un registro de estado y un bloque de repetición de registro, la última se utiliza para ejecutar un bloque de código máquina sin la necesidad de un bucle de software permitiendo al sistema funcionar a velocidades más altas.

Respuesta de interrupción.

La clave de todo sistema de control es su capacidad para responder a eventos asíncronos externos de hardware lo más rápidamente posible. En este caso, el F28335 permite guardar dichos eventos en los registros críticos de la CPU obteniendo de este modo una latencia mínima.

Mapa de memoria.

El espacio de memoria del DSP está dividido entre espacio de memoria del programa y espacio de memoria de datos. De acuerdo a la utilidad o fin del DSP se usarán diferentes tipos de memoria como Flash Memory, SARAM (Single Access RAM), one time programmable memory and boot ROM, Esta última viene con instrucciones grabadas en fábrica con rutinas e instrucciones de arranque, así como también de tablas trigonométricas de búsqueda utilizados en los algoritmos matemáticos basados.

Otros.

Otras unidades funcionales son:

- Módulo de Código de Seguridad, cuyo propósito es prevenir ingeniería inversa de un sistema de control.
- Instrucción, donde para el TMS320F28335, el cual trabaja a 150MHz, una instrucción será ejecutada en 6.67ns, es decir un ciclo de reloj.
- El módulo DMA es una máquina basada en eventos, lo que significa que requiere de una interrupción para iniciar una transferencia de DMA, tales como: interrupciones de CPU Timers 0, 1 y 2, Secuenciadores ADC o interrupciones externas [16].

3.2.2. Transductor de voltaje de efecto hall.

La medición de la tensión es parte de la adquisición de datos y previa al procesamiento digital de las señales en el DSP, existen diversos equipos y dispositivos de varias marcas, algunos sensores de voltaje tienen salidas digitales para alarmas y seguridad, otros dispositivos para medir la señal son analógicos y son usados para controlar los sistemas eléctricos. En el sistema de sincronización de fase propuesto se hace uso de transductores de efecto hall, los transductores de efectos Hall se dan en dos tipos de lazo abierto y de lazo cerrado, ambos transductores requieren de una alimentación de +/-15 V para la medición del voltaje. El elemento de medición utilizado en el propuesto sistema de sincronismo es el transductor de voltaje de efecto hall de lazo cerrado LEM LV – 25 P por sus ventajas sobre el de lazo abierto y su gran performance en cuanto a exactitud, eficiencia y consumo de energía [16]. Los datos técnicos de dicho transductor están detallados en el Anexo F.

El criterio de selección de este transductor de voltaje es gracias a las características eléctricas, de ancho de banda y respuesta. Este transductor mide el voltaje a través de corriente, como se verá a continuación.

a) Características.

Las características del transductor de voltaje de efecto hall de lazo cerrado son las siguientes:

- Medición de altos valores de voltaje, como en el caso del sensor LEM LV – 25 P que puede medir hasta los 900 V.
- Separación eléctrica segura tal como se puede ver en la Figura 3.3 en la cual se ve que la tensión en medición no tiene contacto directo con la parte electrónica del transductor.
- Buena precisión global.
- No presenta incremento de temperatura.
- Excelente linealidad.

- El diseño único de lazo cerrado proporciona un excelente ancho de banda que va desde 0 a 200 KHz [19].

b) Funcionamiento.

El funcionamiento del transductor de lazo cerrado a diferencia del de lazo abierto, los cuales amplifican la tensión del generador de Hall para medir el voltaje y en la cual se presentan no linealidades, generan una corriente de compensación a través del generador para así tener linealidad en la medición.

El funcionamiento del transductor de voltaje de efecto Hall de lazo cerrado se muestra a través de la Figura 3.2, donde una pequeña corriente es limitada a través de resistencias en serie para ser impulsada a la bobina primaria, es en relación a esta pequeña corriente que la tensión será medida.

$$\frac{V_{in}}{R_{in}} = I_P \quad (3.1)$$

El flujo magnético creado por la corriente primaria es equilibrado por el flujo producido en la bobina secundaria por una corriente generada por un dispositivo de pasillo y un circuito electrónico asociado, esta corriente generada es llamada corriente de compensación. El flujo causado por la corriente de compensación presenta la misma magnitud que el flujo originado por la corriente primaria pero en sentido opuesto. Entre las ventajas de operar el generador Hall en condición de flujo magnético cero esta la eliminación del aumento de la temperatura, además también es el comportamiento del devanado secundario como transformación de corriente a frecuencias altas lo cual extiende de manera significativa el ancho de banda y reduce el tiempo de respuesta del transductor.

Cuando el flujo magnético se compensa completamente, el potencial magnético (Amperios - vueltas) en ambas espiras son idénticas por lo tanto se cumple lo siguiente:

$$\frac{I_S}{I_P} = \frac{N_P}{N_S} = CR \quad (3.2)$$

Dónde:

CR = Tasa de conversión.

La tasa de conversión es un valor constante, que figura en la hoja del fabricante, por lo que la corriente secundaria será una perfecta imagen de la corriente primaria, la cual está siendo medida, lo que colocando una resistencia en la salida R_{OUT} , también llamada resistencia de medición, se obtiene una señal en voltios que es la imagen exacta de la corriente primaria [20].

$$V_{OUT} = I_S \times R_{OUT} \quad (3.3)$$

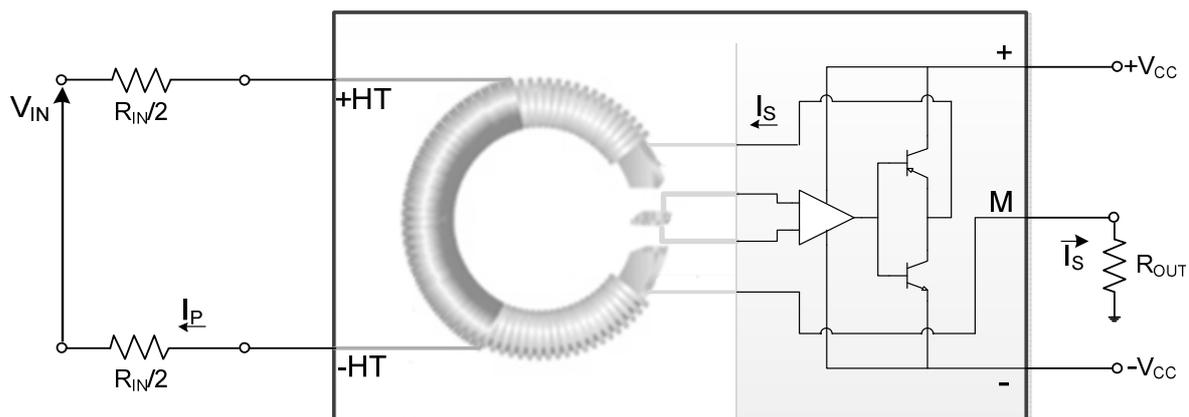


Figura 3.6: Transductor de voltaje de efecto Hall de lazo cerrado

3.2.3. Convertidor digital analógico.

Luego de adquirir las señales y procesarlas en el DSP es necesario un elemento del cual podamos valernos para poder visualizar el resultado, este dispositivo es el convertidor digital a analógico, comúnmente llamado DAC, el cual recibe la señal proveniente del DSP en bits y la transformara en señal analógica de 0 – 5 V, esta señal analógica se podrá visualizar en el osciloscopio para la validación del proyecto.

El DAC utilizado en el sistema de sincronización de fase es el DAC121S101, el cual es un DAC de 12 bits con comunicación por protocolo SPI.

a) Características.

Las características del conversor analógico a digital son las siguientes:

- Monotonía asegurada.
- Bajo consumo.
- Voltaje de salida riel a riel.
- Tamaño pequeño.
- Modos de apagado.
- Protocolo de comunicación SPI.
- Amplio rango de alimentación: 2.7 a 5.5 V.

b) Funcionamiento.

El DAC121S101 es fabricado sobre un proceso CMOS, con una arquitectura que consta de switches y una cadena de resistencias que son seguidos por un búfer de salida. La tensión de alimentación es usada como tensión de referencia [21]. El código entrante es binario y tiene la siguiente relación con la tensión de salida:

$$V_{OUT} = V_{REF} \frac{D}{4095} \quad (3.4)$$

Dónde:

D = valor decimal del código binario que es cargado dentro del registro del DAC y que debido a que es de 12 bits puede tomar cualquier valor desde 0 hasta 4095.

La cadena de resistencias consiste en 4096 resistencias en serie con un switch en la unión de cada dos resistencias más un switch conectando a tierra. El código cargado en el registro del DAC determina que switch o conjunto de switch se cierran o se abren, conectado el nodo adecuado al amplificador.

El amplificador del búfer de salida es del tipo carril a carril, proporcionando un rango de voltaje de 0 hasta el valor de la tensión de alimentación.

El diagrama de bloques del conversor digital a analógico se muestra en la Figura 3.7, como ya se mencionó en la primera parte, la comunicación es mediante el protocolo SPI (interfaz de tres hilos). Una secuencia de escritura en el DAC mediante el protocolo SPI empieza llevando el hilo \overline{SYNC} a cero, permitiendo la comunicación. Cada uno de los 16 bits transmitidos a través de la línea D_{IN} es escrito en el registro de entrada durante el franco de bajada de la señal del reloj, la cual es transmitida por la línea $SCLK$. Cuando el último bit es escrito y la función programada es ejecutada (un cambio en el modo de operación o un cambio en los contenidos del registro del DAC) la línea \overline{SYNC} debe ir a alta, terminando así la transmisión de datos. El hilo \overline{SYNC} debe ser traído a alta en el tiempo especificado antes de que la próxima secuencia sea transmitida. En la Figura 3.8 se muestra el ciclo de operación del DAC.

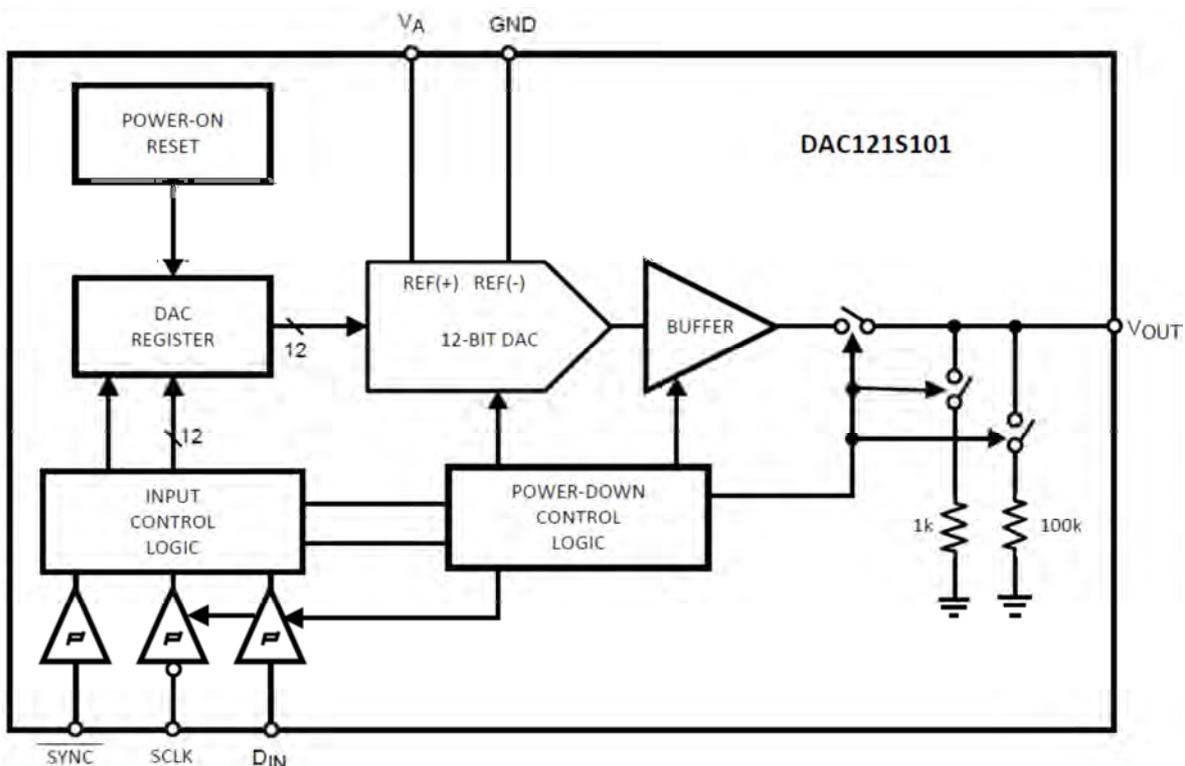


Figura 3.7: Diagrama de bloques del DAC121S101

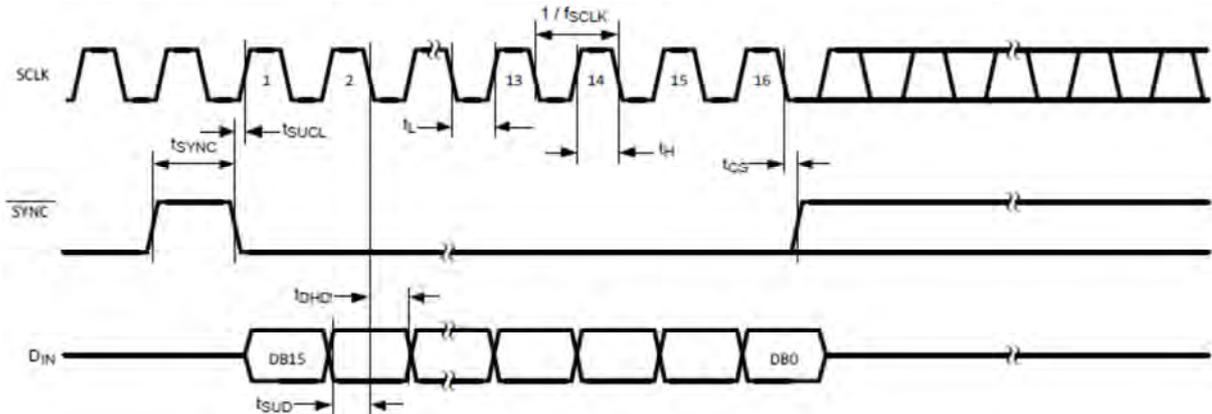


Figura 3.8: Ciclo de operación del DAC [17]

El registro de desplazamiento de entrada (ver Figura 3.9) tiene 16 bits donde los dos primeros no tienen importancia, los dos siguientes bits determinan el modo de operación del DAC siendo 00 el modo normal, 01 el modo impedancia 10 K Ω a tierra. 10 el modo impedancia 100 K Ω a tierra y 11 modo de alta impedancia.

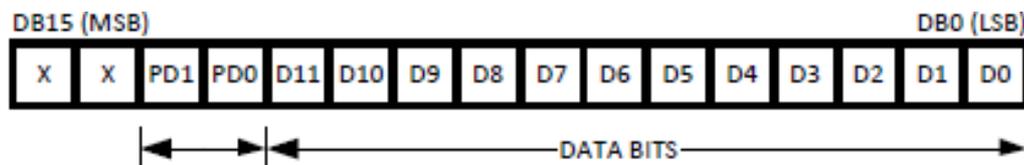


Figura 3.9: Contenido del registro de entrada del DAC [21].

Normalmente el hilo \overline{SYNC} es llevado a baja cuando luego de 16 francos de bajada del reloj, y el DAC se actualiza al término del 16^{vo} franco de bajada, en el caso de que este sea llevado a cero a antes entonces el registro de desplazamiento de entrada será reseteado y la secuencia escrita inválida. El registro del DAC no será actualizado y no habrá cambios en el modo de operación y tampoco en el voltaje de salida.

El bloque del circuito de rearme (Power-on Reset) controla la tensión de salida a cero hasta que ingrese un código válido, mientras que el bloque de modos de apagado (Power-down Control Logic) controla los modos de operación, ya antes mencionados, según el valor de los bits PD1 y PD0 del registro de desplazamiento de entrada [21].

3.2.4. Regulador de tensión.

Los reguladores de tensión son usados para la implementación de fuentes reguladas de tensión continua, dependiendo del regulador de tensión se pueden alcanzar valores de tensión fijas desde 5 hasta 24 voltios, también existen reguladores con los que se pueden lograr fuentes de tensión continua variable, dependiendo del diseño. En el sistema de sincronización de fase propuesto se hace uso de determinados reguladores de tensión para la implementación de fuentes de tensión que alimentarán el circuito de acondicionamiento de señal proveniente de los transductores de tensión LEM antes descritos.

a) Características.

Las características de los reguladores de tensión son las siguientes [22]:

- Corriente de salida hasta 1A.
- Protección térmica.
- Circuito de protección pequeño.
- Alta capacidad de reducción de rizado.
- Gran gamma de valores de tensiones fijas.
- Bajo costo.

b) Funcionamiento.

Los reguladores de tensión suelen tener tres terminales: uno de entrada, uno común o de masa y uno de salida. Debido a que tienen una capacidad de reducción de rizado muy alta solo basta con colocar un par de condensadores en la entrada para asegurar calidad en la tensión de salida. El principio de funcionamiento es muy simple, una vez que el regulador detecta en la entrada el voltaje deseado en la salida, este no deja subir más dicho valor desviando la corriente a través de un circuito controlador de voltaje usando un voltaje de referencia. Tiene elementos como un circuito de entrada, un generador de corriente cuyo máximo valor es de 1 Amperio, aunque cabe mencionar que a partir de 500mA, la tensión en el regulador comienza a disminuir y la temperatura del dispositivo empieza a aumentar, es por ellos que los reguladores de tensión en su mayoría requieren de un elemento disipador el cual ayude a mantener la temperatura adecuada, con respecto a la corriente de entrada considerando que cada regulador ofrece como máximo 500 mA para evitar disminuir el valor de su salida, lo cual es suficiente para suministrar corriente al circuito de acondicionamiento de señal y a los transductores de voltaje de efecto Hall [23].

CAPITULO IV

DISEÑO DEL SISTEMA DE SINCRONISMO

Este capítulo está dedicado al diseño del sistema de sincronismo, el cual comprende el diseño y la determinación de los componentes usados en el circuito de acondicionamiento de señales a DSP, así como también se detalla el diseño del sistema de control.

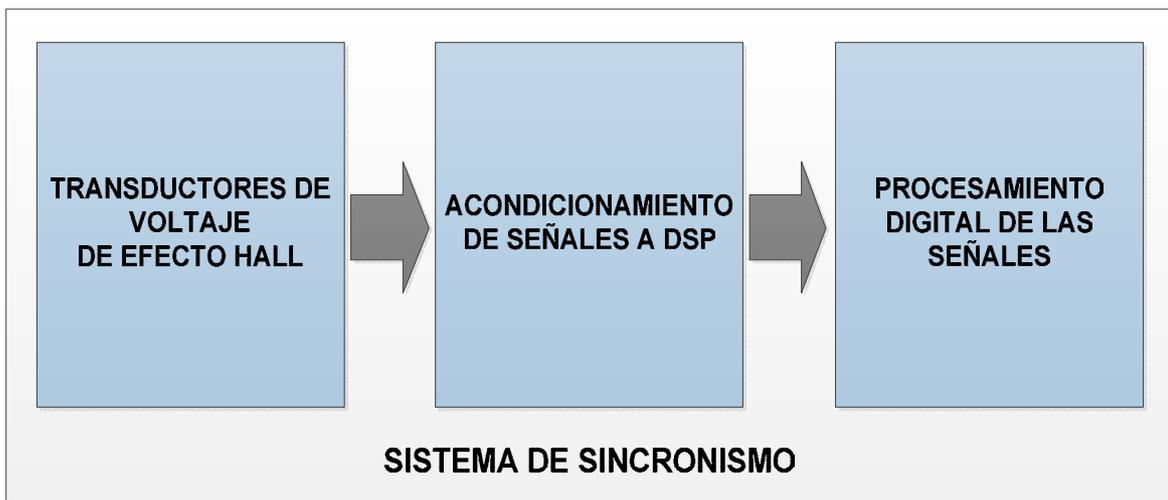


Figura 4.1: Diagrama de bloques del sistema de sincronización.

El sistema de sincronización propuesto consta de cuatro bloques, tal y como se muestra en la Figura 4.1, el primer bloque representa la adquisición de las señales la cual efectúa por medio de los transductores de voltaje de efecto Hall, el segundo bloque se encarga de acondicionar las señales adquiridas a señales que puedan ser trabajadas por el Procesador Digital de Señales. En el tercer bloque el DSP, el cual será utilizado como sistema de control, se encarga de procesar las señales de acuerdo al diseño de control propuesto en este capítulo, el cual cumplirá con los requerimientos buscados en un sistema de sincronismo y además dará solución a la problemática definida en el primer capítulo.

4.1. Diseño del circuito de adquisición.

Como ya se indicó en el capítulo anterior los transductores hall de voltaje generan corriente como señal de salida la que a través de una resistencia permiten obtener una señal de voltaje. En la Figura 4.2 se puede observar el circuito del transductor de voltaje,

que de acuerdo a la hoja de especificación técnica (ver Anexo F) la corriente primaria nominal debe ser como máximo 14mA y la tensión eficaz como máximo 500V, por lo tanto de la ecuación 3.1:

$$\frac{V_{in}}{R_{in}} = I_{in} \leq 14mA$$

Considerando el valor máximo del transductor especificado en la hoja del fabricante:

$$R_{in} \geq \frac{500\sqrt{2}}{14 \times 10^{-3}} \Omega = 50.50K\Omega$$

Por lo tanto se escoge una resistencia primaria $R_{in} = 60K\Omega$. Con el objetivo de disminuir la potencia máxima de cada resistencia, se utilizan 4 resistencias de $15K\Omega$, por ello la potencia máxima en cada una de ellas es de 2.0833W, de aquí se determina que la resistencias son de $15K\Omega$ y $5W$.

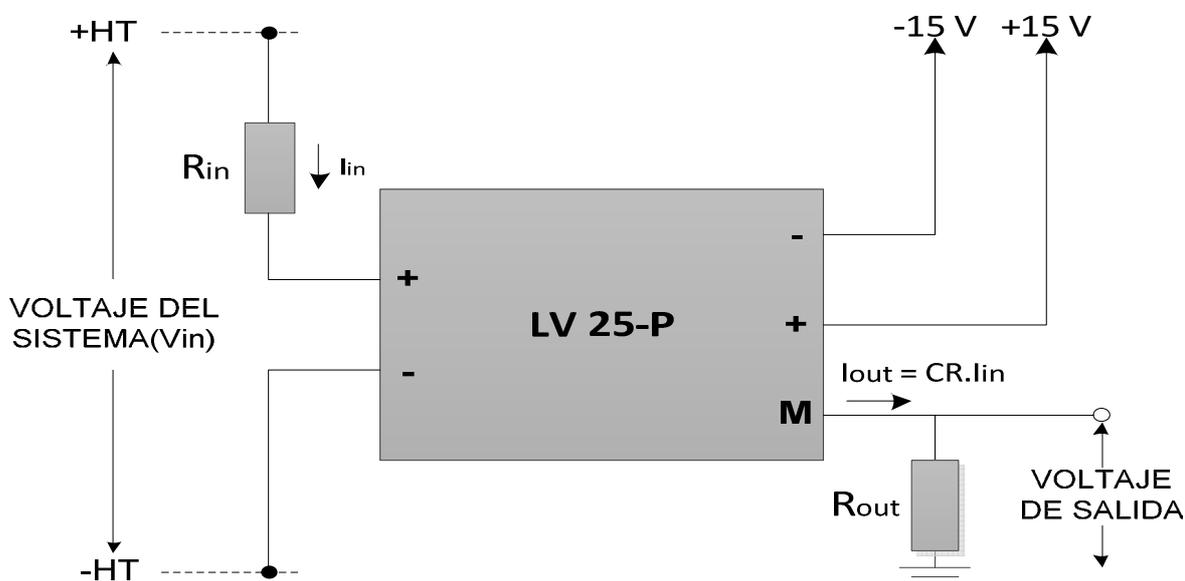


Figura 4.2: Sensor de Efecto Hall LV-600

4.2. Diseño del circuito de acondicionamiento de señal.

El circuito de acondicionamiento de señales comprende el tratamiento analógico de las señales de voltaje de salida obtenida de las resistencias de medición a la cual están conectadas

De la ecuación 3.1 la corriente secundaria o de salida del sensor será igual a 2.5 veces la corriente primaria, a partir de esto se fijará la resistencia de medición para obtener un señal de salida de voltaje de -5V a 5V.

El suministro eléctrico contempla la instalación de las 3 líneas trifásicas, esto quiere decir que no se tiene acceso a la línea del Neutro, por ello no se puede obtener directamente los voltajes de fase, en lugar de eso se obtendrán los voltajes de línea, con los que se trabajarán. Tomando en cuenta que se tiene una alimentación de 220 Vrms, la amplitud del voltaje de línea estaría definida de la manera siguiente:

$$\text{Amplitud Voltaje de Linea} = \text{Voltaje Nominal de linea} \times \sqrt{2} = 311.13 \text{ V} \quad (4.1)$$

Debido a las perturbaciones en la red, las cuales se detallaron en el capítulo II, la aparición de transitorios generarían un decremento o incremento de la amplitud de la señal adquirida, el decremento produciría errores en nuestro sistema de sincronización y para ello se hará el diseño respectivo más adelante, pero el incremento originaría que la señal de voltaje a la salida del circuito de acondicionamiento sobrepase los 3.3V y dañe la entrada de los convertidores analógico – digital (ADC inputs). Por ello se determinará la resistencia de salida teniendo en cuenta un margen de variación para el voltaje de línea de 50%, lo que quiere decir que la determinación del valor de la resistencia de salida será tomando en cuenta el voltaje máximo de 1.5 veces la amplitud del voltaje de línea.

$$\text{Voltaje Máximo} = 1.5 \times \text{Voltaje de Linea} = 466.69 \text{ V} \quad (4.2)$$

De las ecuación 3.1:

$$I_{in} = \frac{\text{Voltaje Máximo}}{R_{in}} = \frac{466.69 \text{ V}}{60 \text{ K}\Omega} = 7.78 \text{ mA} \quad (4.3)$$

Para una señal de voltaje de salida desde -5V a 5V y de las ecuaciones (3.2) y (3.3):

$$I_{out} = CR \times I_{in} = 2.5 \times I_{in} = 19.45 \text{ mA} \quad (4.4)$$

$$R_{out} = \frac{\text{Voltaje Salida}}{I_{out}} = \frac{5 \text{ V}}{19.45 \text{ mA}} = 257.13 \Omega \quad (4.5)$$

Por lo tanto considerando un valor comercial cercano R_{out} toma un valor de 255Ω. De estos valores calculados se puede establecer la siguiente relación entre el voltaje de entrada y salida del transductor de voltaje.

$$\frac{\text{Voltaje Salida}}{\text{Voltaje Entrada}} = 0.010625 \quad (4.6)$$

La siguiente parte del acondicionamiento es tratar esta señal de -5V a 5V de la resistencia de salida a una señal de 0 a 3V, rango en el cual opera el módulo Conversor Analógico – Digital. Esta parte del circuito de acondicionamiento se diseña en tres fases; atenuación, desplazamiento de nivel y limitador de tensión, las dos primeras usando amplificadores operacionales.

Atenuación.

En esta etapa se busca reducir la amplitud de la señal de voltaje de salida del sensor de efecto hall.

De la Figura 4.3, y como se dijo anteriormente, la amplitud de la onda entrada de 5 V es atenuada a 1.5V, para ello se realizó el cálculo de las resistencias R1 y R2. El cálculo de estos valores se detalla en el Anexo D “Cálculos procedimentales”, los valores determinados para R1 y R2 de 13 KΩ y 3.9 KΩ respectivamente.

Con ello la relación entre la tensión V_2 y la tensión de entrada del circuito de acondicionamiento es la siguiente:

$$V_2 = -0.3V_{in} \quad (4.7)$$

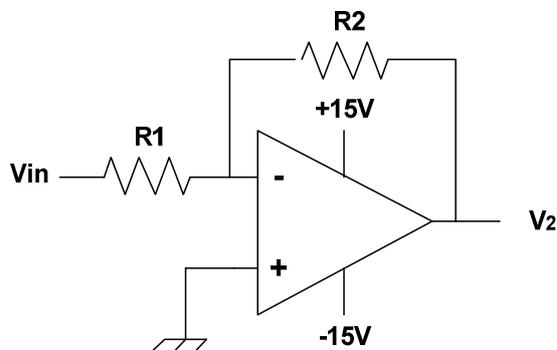


Figura 4.3: Circuito Atenuador de señal

Cabe mencionar que a la salida se tendrá la señal de entrada invertida y atenuada.

Desplazamiento de nivel:

Como su nombre lo indica, se trata de elevar la señal sinusoidal de 1.5 V de amplitud hasta un rango de 0 – 3 V. esto se lleva a cabo a través de un amplificador operacional en la configuración de sumador de señales, como se muestra en la Figura 4.4, en este caso a la señal proveniente de la fase anterior (V_2) le adicionaremos el valor de -1.5V.

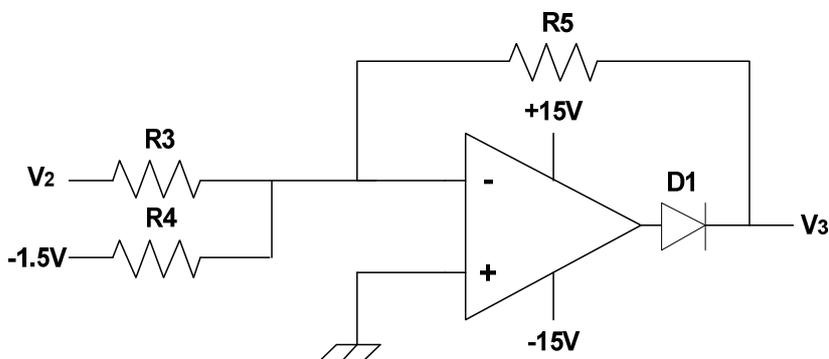


Figura 4.4: Circuito de desplazamiento de nivel.

Dimensionando las resistencias R3, R4 y R5 iguales a 10K, dado que es propósito del circuito es solo el desplazamiento de nivel. De la ecuación (4.7) la relación entre las señal V_3 y la señal de entrada al circuito de acondicionamiento de señales es representada por la siguiente ecuación:

$$V_3 = 0.3V_{in} + 1.5 V \quad (4.8)$$

La señal de salida V_3 es una onda sinusoidal de 1.5 V de amplitud desplazada positivamente 1.5 V, es decir una señal en el rango de 0 a 3 V.

Limitador de tensión:

La señal de salida V_3 podría ser conectada directamente a una entrada del convertidor analógico-digital (ADC) del Procesador Digital de Señales (DSP), pero como medida de

protección de un valor en la señal que sobrepase el rango de tensión que soporta las entradas del ADC del DSP se añade esta tercera fase de protección.

Esta fase comprende una fuente fija y un diodo, tal como muestra la figura 4.5.

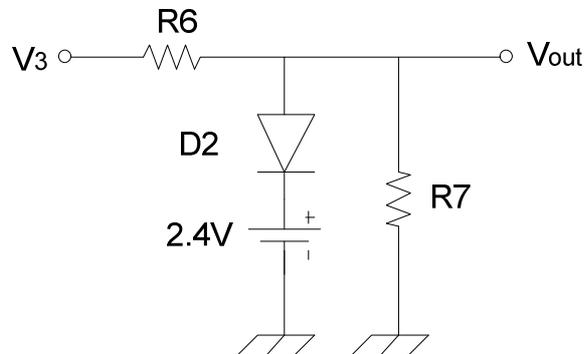


Figura 4.5: Circuito Limitador de tensión con fuente fija.

Para que la tensión no se atenúe demasiado y además para otorgarle sensibilidad a esta etapa, R6 tiene que ser mucho más pequeña que R7. Por ello el valor asignado para las resistencias R6y R7 serán de 9.1Ω y $10 K\Omega$ respectivamente.

En el circuito limitador con fuente fija propuesto, se puede observar dos casos, los cuales corresponden al estado del diodo.

Primer caso:

$$V_3 < V_\gamma + 2.4 V \quad (4.9)$$

Dónde:

V_γ = Voltaje Umbral del Diodo (0.65 - 0.7 V)

En este caso el diodo no conducirá y como resultado el voltaje de salida será el mismo que el voltaje de entrada.

$$V_{out} = V_3 \quad (4.10)$$

Segundo Caso:

$$V_3 \geq V_\gamma + 2.4 V \quad (4.11)$$

El diodo D2 conduce y la señal de salida será igual a la suma del voltaje umbral del diodo y el voltaje de la fuente fija. Es decir:

$$V_{out} = V_\gamma + 2.4 V_3 = [3.05 - 3.1 V] \quad (4.12)$$

Uniendo las tres fases, se obtiene el circuito de acondicionamiento de señal de voltaje a DSP, el cual se muestra en la Figura 4.6.

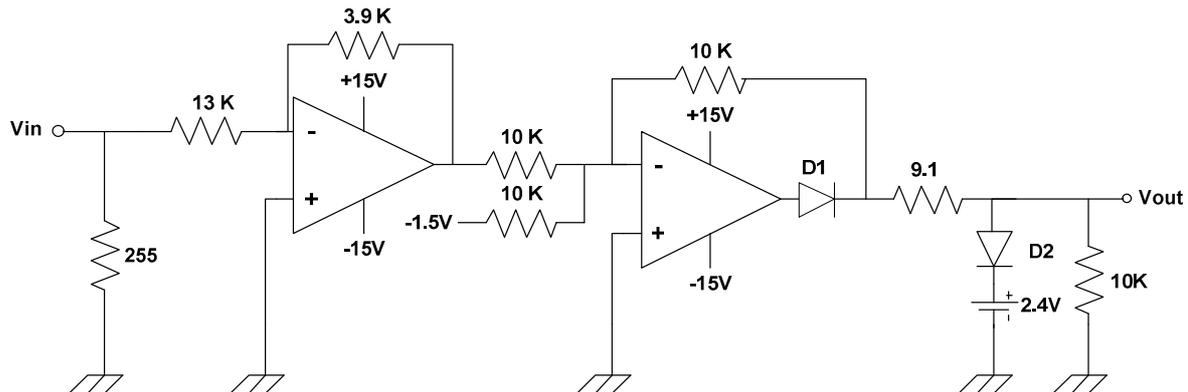


Figura 4.6: Circuito de acondicionamiento de señales de sensor de efecto Hall a DSP.

4.3. Diseño de fuentes de alimentación reguladas bipolares.

Por lo visto anteriormente tanto para el circuito de acondicionamiento de señal en el cual se emplean amplificadores operacionales como también en los sensores de efecto hall se necesita de una fuente bipolar regulada ± 15 V. Además se requiere en el circuito de acondicionamiento dos fuentes fijas de -1.5 V y de 2.4 V, para esto se diseña otra fuente bipolar regulada en dichos valores.

En el diseño de una fuente de alimentación regulada están presentes 4 fases, las cuales son; transformación, rectificación, filtro y por último regulación, tal como se puede apreciar en la figura siguiente.

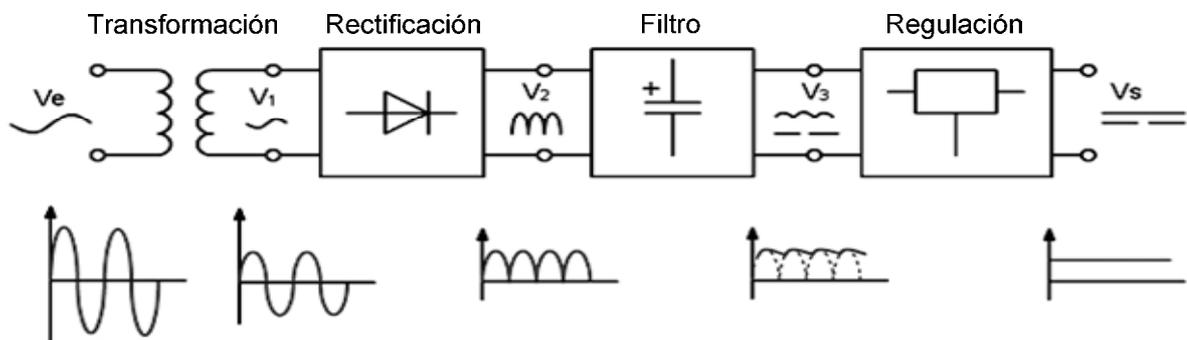


Figura 4.7: Diagrama de bloques de una fuente regulada

Transformación.

En esta fase un transformador reduce la amplitud de la señal de entrada a un valor menor sin variar la frecuencia de la señal.

Rectificación.

El objetivo de esta fase es convertir la señal de entrada alterna en una señal continua con amplitud variable. Para ello se utiliza un puente de diodos, el cual rectificará la onda tal como se puede ver en la Figura 4.7.

Filtro.

La señal continua con amplitud variable es luego filtrada usando condensadores para luego pasar a la siguiente fase de regulación. La señal filtrada no es constante, ya que debido al proceso de carga y descarga de los condensadores presenta cierto rizado.

Regulación.

Finalmente es la fase de regulación se estabiliza la señal para alimentar a una carga. Teniendo en cuenta lo visto se realizó el diseño de las fuentes de alimentación reguladas bipolares.

4.3.1. Diseño de fuente de alimentación bipolar de 15 v.

Esta fuente de alimentación está destinada a la operación de los sensores de efecto hall y también de los amplificadores operaciones.

En el diseño de esta fuente de alimentación se hace uso de los circuitos integrados de regulación, conocidos comúnmente como reguladores, de salida de tensión continua de +15 y -15 V, son cuales son LM7815 y LM7915 respectivamente.

Una característica de los reguladores utilizados es que su voltaje de entrada debe encontrarse entre los valores de 18 a 30V, para ello en la fase de transformación se emplea un transformador de 220/36 V_{rms} con toma central. La necesidad de contar con la toma central es que una fuente bipolar requiere, luego de la etapa de transformación, una rectificación positiva y una rectificación negativa, la que con fines de eficiencia debe tener las mismas características.

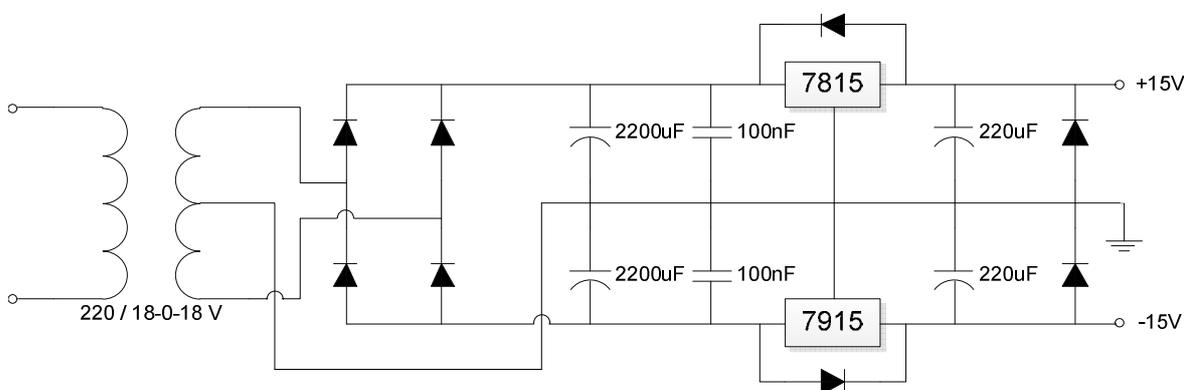


Figura 4.8: Fuente de alimentación bipolar de 15 V.

En la Figura 4.8 se muestra el diseño del circuito de la fuente de alimentación bipolar con los parámetros dimensionados. El cálculo procedimental del diseño de los componentes de la fuente de alimentación bipolar de 15V se encuentra detallado en el Anexo D.

4.3.2. Diseño de fuente de alimentación regulada bipolar.

Esta fuente de alimentación se diseña de manera análoga a la fuente de alimentación bipolar de 15V antes visto, solo que se realiza con otros integrados, los cuales son LM317 y LM337, cuyo esquema de aplicación se muestra en la Figura 4.9, por ello esta

fuente bipolar mantendrá voltajes regulables hasta llegar a los valores que se requieren en el circuito de acondicionamiento, los cuales son de - 1.5 y de 2.4 V.

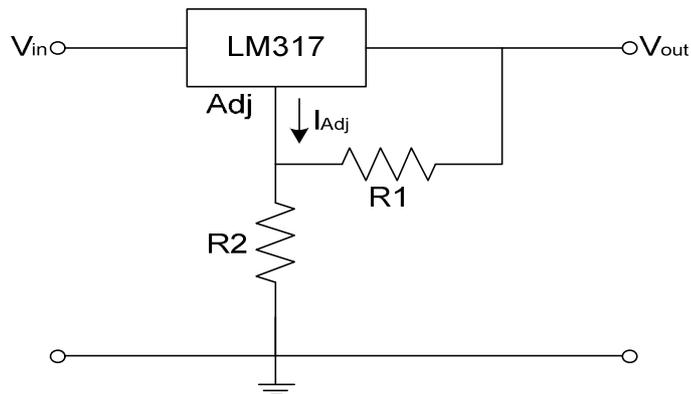


Figura 4.9. Regulador de voltaje LM317

La Figura 4.10 muestra el circuito de la fuente de alimentación regulada bipolar, los cálculos para la determinación de los componentes presentes en el esquema se encuentran realizados de manera detallada en el Anexo D de “Cálculos procedimentales”.

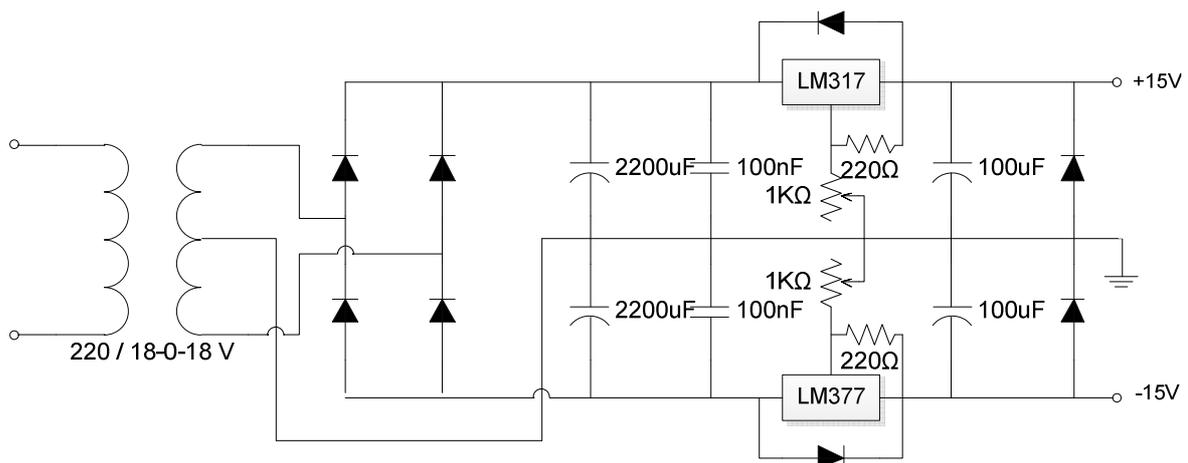


Figura 4.10. Fuente de alimentación regulada bipolar.

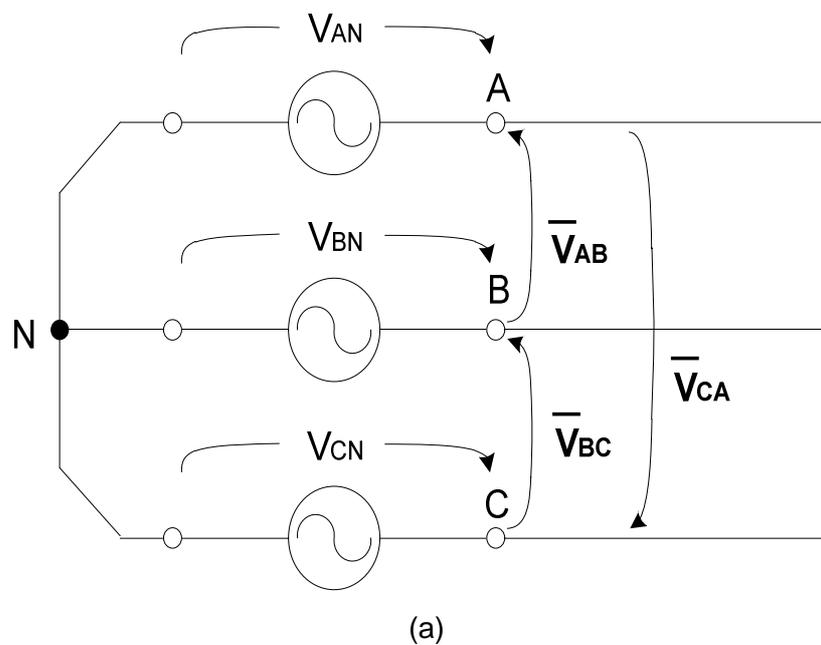
Así como se observó en el diseño de la fuente de alimentación bipolar de 15V, los diodos que acompañan a los reguladores son como protección ante cortocircuitos, y los diodos en la salida como protección ante inversiones de polaridad.

4.4. Diseño del sistema de control.

El sistema de control es la parte fundamental del sistema de sincronización para red trifásica propuesto y tiene como base el lazo de seguimiento de fase en el sistema de referencia d-q. Como ya se había mencionado en el diseño del circuito de acondicionamiento de fase, en una alimentación trifásica se cuenta con las líneas A-B-C, pero no se cuenta con el neutro, por lo tanto no se puede obtener directamente las tensiones de fase, y dado que en un sistema con desbalance no se cumple la propiedad en la que la suma vectorial de los voltajes de línea son iguales a cero, no permite el cálculo directo de las tensiones de fase y por ende que se pueda trabajar con las

tensiones de fase. Por lo tanto las tensiones de líneas serán utilizadas para el propósito del sistema de control.

La Figura 4.11 (b) muestra el diagrama fasorial de una red trifásica balanceada donde los fasores \bar{V}_{AB} , \bar{V}_{BC} y \bar{V}_{CA} son las tensiones de línea, las cuales al igual que las tensiones de fase están desfasados 120° entre sí.



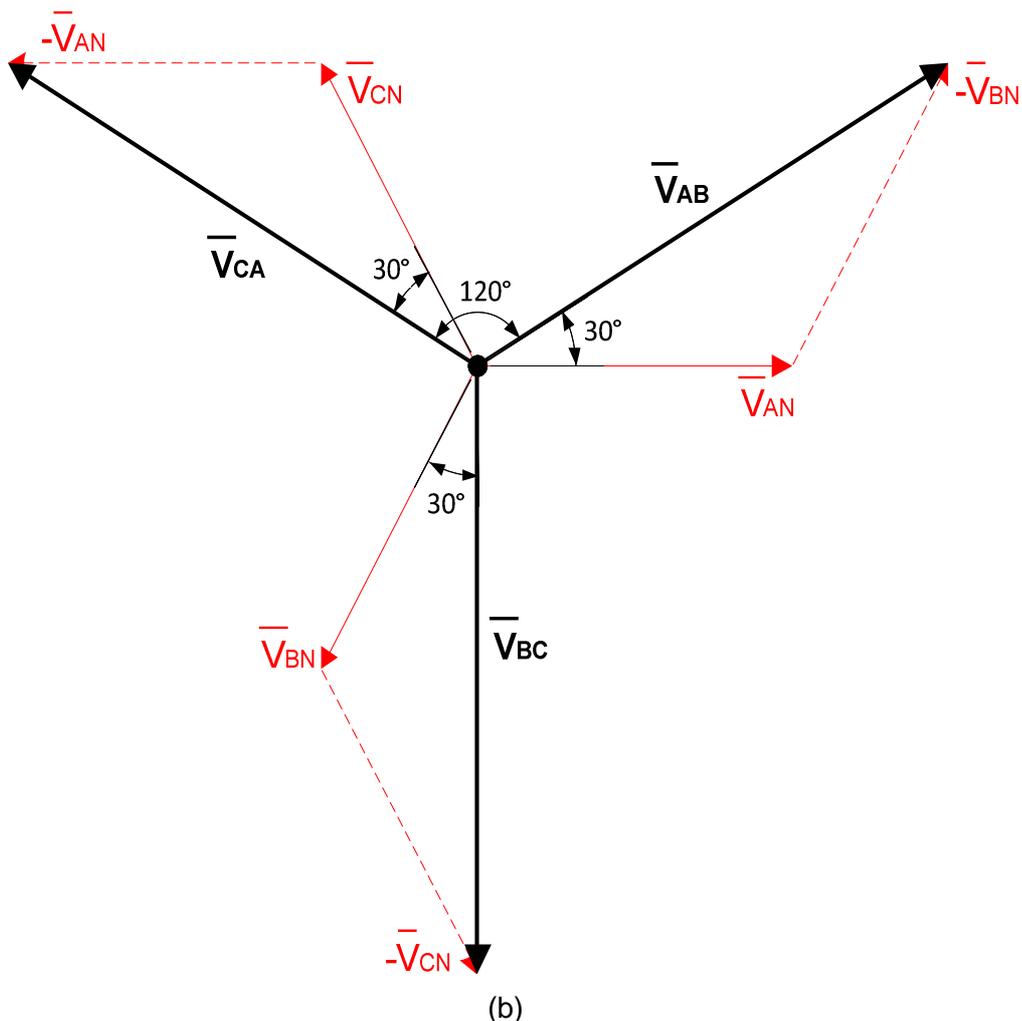


Figura 4.11: Red trifásica. (a) Diagrama de líneas de red trifásica. (b) Diagrama vectorial de las tensiones de fase y de línea.

4.4.1. Modelamiento del sistema

El modelamiento trata de simplificar las muchas variables de ingreso al sistema de control en solo una, para así determinar la manera de establecer el diseño del controlador a usar. Sean \bar{V}_{AB} , \bar{V}_{BC} y \bar{V}_{CA} las tensiones de línea desfasadas 120° entre sí, tal como se ve en la Figura 4.11 (b), pueden ser representadas de la siguiente forma:

$$\begin{aligned}\bar{V}_{AB} &= V \cos \theta \\ \bar{V}_{BC} &= V \cos \left(\theta - \frac{2\pi}{3} \right) \\ \bar{V}_{CA} &= V \cos \left(\theta + \frac{2\pi}{3} \right)\end{aligned}\tag{4.13}$$

Utilizando la transformación no normalizada de Clarke. Las tensiones de línea pueden ser transformadas en el sistema de referencia estacionario $\alpha\beta$ de siguiente forma:

$$\begin{bmatrix} U_\alpha \\ U_\beta \end{bmatrix} = [T_{\alpha\beta}] \begin{bmatrix} V_{AB} \\ V_{BC} \\ V_{CA} \end{bmatrix}\tag{4.14}$$

Dónde:

$$[T_{\alpha\beta}] = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix}$$

Reemplazando en la ecuación anterior se obtienen las componentes ortogonales del sistema de referencia estacionario:

$$\begin{bmatrix} U_\alpha \\ U_\beta \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} V \cos \theta \\ V \cos \left(\theta - \frac{2\pi}{3} \right) \\ V \cos \left(\theta + \frac{2\pi}{3} \right) \end{bmatrix} \quad (4.15)$$

$$\begin{bmatrix} U_\alpha \\ U_\beta \end{bmatrix} = V \begin{bmatrix} \cos \theta \\ \sin \theta \end{bmatrix} \quad (4.16)$$

Aplicando ahora la transformación de Park, mediante la cual los vectores ortogonales V_α y V_β serán transformados del sistema de referencia estacionario $\alpha\beta$ al sistema de referencia rotatorio $d-q$:

$$\begin{bmatrix} U_d \\ U_q \end{bmatrix} = [T_{dq}] \begin{bmatrix} U_\alpha \\ U_\beta \end{bmatrix} \quad (4.17)$$

Dónde:

$$[T_{dq}] = \begin{bmatrix} \cos \theta^* & \sin \theta^* \\ -\sin \theta^* & \cos \theta^* \end{bmatrix}$$

Y θ^* es la fase entre los sistemas de referencia $\alpha\beta$ y $d-q$.

Reemplazando en la ecuación anterior, se obtiene lo siguiente:

$$\begin{bmatrix} U_d \\ U_q \end{bmatrix} = \begin{bmatrix} \cos \theta^* & \sin \theta^* \\ -\sin \theta^* & \cos \theta^* \end{bmatrix} \begin{bmatrix} U_\alpha \\ U_\beta \end{bmatrix} = V \begin{bmatrix} \cos \theta^* & \sin \theta^* \\ -\sin \theta^* & \cos \theta^* \end{bmatrix} \begin{bmatrix} \cos \theta \\ \sin \theta \end{bmatrix} \quad (4.18)$$

$$\begin{bmatrix} U_d \\ U_q \end{bmatrix} = V \begin{bmatrix} \cos(\theta - \theta^*) \\ \sin(\theta - \theta^*) \end{bmatrix} \quad (4.19)$$

De la ecuación anterior, se puede decir que cuando el sistema este sincronizado, la componente U_q será nula ya que $\theta = \theta^*$, tal como se puede ver en la Figura 4.12.

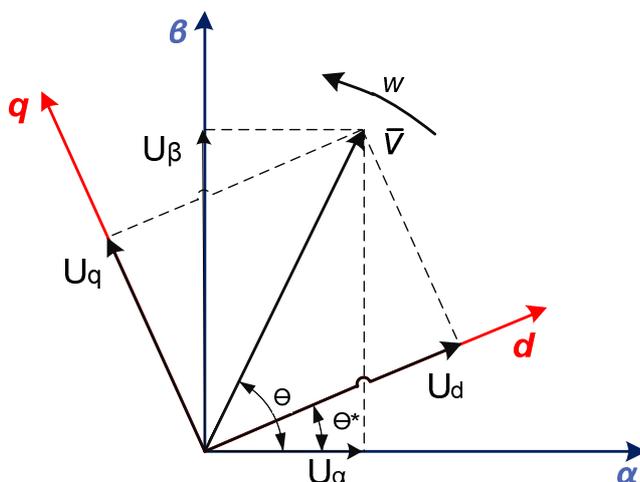


Figura 4.12: Sistemas de referencia α - β y d - q .

De esa manera se selecciona la variable U_q con la cual se realizará el control del sistema, haciendo que el sistema de control haga en todo momento que la componente U_q sea cero y así consiga la sincronización del sistema.

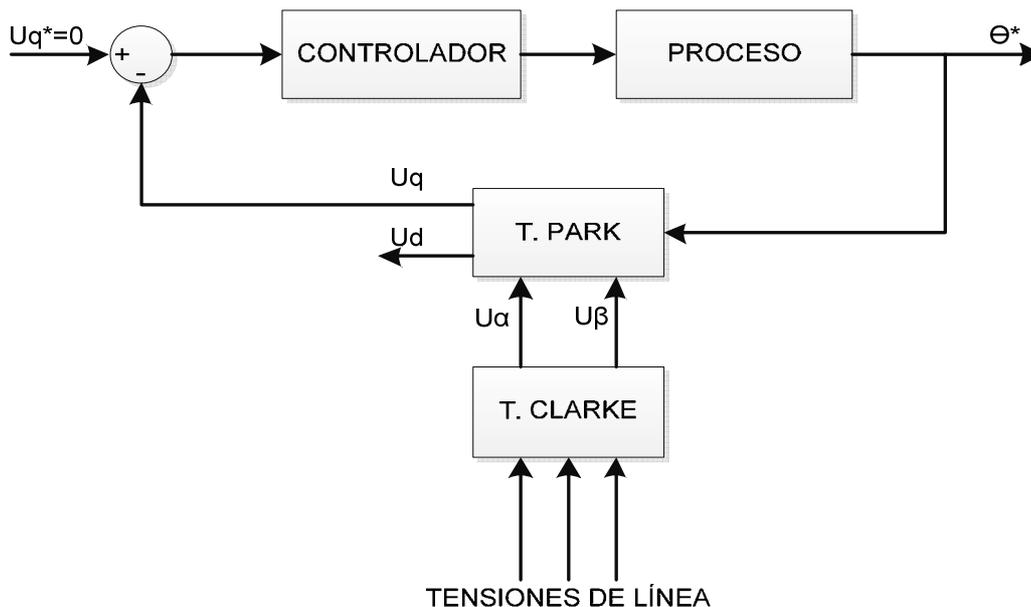


Figura 4.13: Diagrama de bloques inicial del sistema de control.

La Figura 4.13 muestra el diagrama de bloques inicial del sistema de control, donde el proceso consta de dos partes, la primera es un integrador y la segunda es un retraso en tiempo. La razón del integrador es convertir la velocidad angular (rad/s) proveniente del controlador en ángulo (rad) el cual será el ángulo de fase correspondiente a la señal V_{AB} . Cuando se usa un procesador digital de señales se debe tener en cuenta el tiempo que origina el periodo de muestreo y el tiempo procesamiento de las señales. Ya que cuando se tome una siguiente muestra dentro de un periodo de muestreo, el cual se definirá de

aquí en adelante como T_R , la señal de la red trifásica ya tendrá otro valor. Es así que la expresión del proceso estaría definida de la siguiente manera:

$$G_P = \frac{1}{s} e^{-sT_R} \quad (4.20)$$

Este retardo puede ser simplificado mediante la serie de Taylor de la siguiente forma:

$$e^{-sT_R} = \frac{1}{e^{sT_R}} = \frac{1}{1 + sT_R + \frac{(sT_R)^2}{2} + \dots}$$

Siendo T_s un valor muy pequeño, el denominador en la expresión anterior puede aproximarse a una función de primer orden:

$$e^{-sT_R} \cong \frac{1}{1 + sT_R} \quad (4.21)$$

De la Figura 4.13 se puede ver que el error entre el valor de consigna y el valor calculado a través de las transformaciones de Clarke y Park simplifica el Sistema.

$$Error = e = U_q^* - U_q = -V \sin(\theta - \theta^*) \quad (4.22)$$

Dado que $\theta \approx \theta^*$.

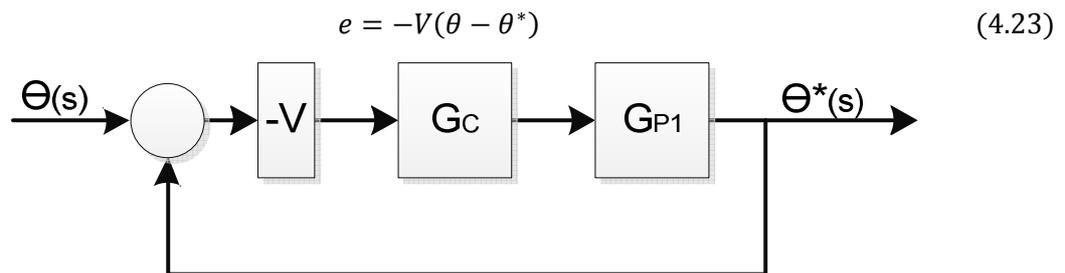


Figura 4.14: Diagrama de bloques simplificado.

La figura mostrada es la forma simplificada del diagrama de bloques que tiene como objetivo definir la función de transferencia del proceso ($G_P(s)$), de modo que $G_P(s)$ estaría definido de la siguiente manera.

$$G_P(s) = -\frac{V}{s} \left(\frac{1}{1 + sT_R} \right) \quad (4.24)$$

4.4.2. Cálculo de la secuencia positiva (CSP).

Con el objetivo de obtener los mejores resultados se busca obtener la secuencia positiva de la red trifásica, ya que esta secuencia no presenta perturbaciones como desbalances y atenúa las distorsiones armónicas. Existen diversos métodos para el cálculo de la secuencia positiva, en el sistema de sincronización propuesto se emplea el cálculo de la secuencia positiva en el sistema de referencia estacionario α - β mediante el método del doble integrador generalizado de segundo orden para la generación de señales en cuadratura (**DIGSO-GSC**) [24], de la manera siguiente:

$$V_{\alpha\beta}^+ = [T_{\alpha\beta}] V_{abc}^+ \quad (4.25)$$

De la ecuación (2.22):

$$V_{\alpha\beta}^+ = [T_{\alpha\beta}] [T_+] V_{abc} = [T_{\alpha\beta}] [T_+] [T_{\alpha\beta}]^{-1} V_{\alpha\beta} = \frac{1}{2} \begin{bmatrix} 1 & -q \\ q & 1 \end{bmatrix} V_{\alpha\beta}, \quad q = e^{-j\frac{\pi}{2}} \quad (4.26)$$

Dónde q es un operador de desplazamiento con el cual se obtiene una forma de onda con retraso de 90° con respecto a la forma de onda original. A fin de lograr la cuadratura de las señales se emplean las siguientes ecuaciones de transferencias $D(s)$ y $Q(s)$ para la generación de las señales en cuadratura:

$$\begin{aligned} D(s) &= \frac{v'}{v} = \frac{k w' s}{s^2 + k w' s + w'^2} \\ Q(s) &= \frac{q v'}{v} = \frac{k w'^2}{s^2 + k w' s + w'^2} \end{aligned} \quad (4.27)$$

Dónde:

v = señal o forma de onda.

w' = Frecuencia de resonancia.

k = Factor de amortiguamiento.

Las gráficas de Bode mostradas en las Figuras 4.15 (a) y 4.15 (b), muestran las respuesta en magnitud y frecuencia de la función de transferencia $D(s)$ y $Q(s)$ para distintos valores de k . En dichas figuras se puede ver que conforme k disminuye el sistema tiene mejores características de filtrado, como se puede observar en las gráficas de magnitud de la Figura 4.15, pero a su vez aumenta el tiempo de estabilización, tal como se muestra en las gráficas de frecuencia de las Figura 4.15. La respuesta críticamente amortiguada resulta cuando $k = \sqrt{2}$, este valor otorga un resultado muy interesante ya que es un punto medio entre el tiempo de estabilización y respuesta de filtrado.

Dado que v es una señal sinusoidal con frecuencia w , esta puede representarse como fasor. Por lo tanto las salidas del integrador generalizado de segundo orden para la generación de señales en cuadratura calculadas a partir de la ecuación (4.27) son las siguientes:

$$v' = Dv \begin{cases} |D| = \frac{k w w'}{\sqrt{(k w w')^2 + (w^2 - w'^2)^2}} \\ |D| = \tan^{-1} \left(\frac{w^2 - w'^2}{k w w'} \right) \end{cases} \quad (4.28)$$

$$q v' = Qv = \begin{cases} |Q| = \frac{w'}{w} |D| \\ |Q| = |D| - \frac{\pi}{2} \end{cases} \quad (4.29)$$

De esta manera $q v'$ siempre estará retrasado 90° respecto a v' , independiente del valor de k , w y w' .

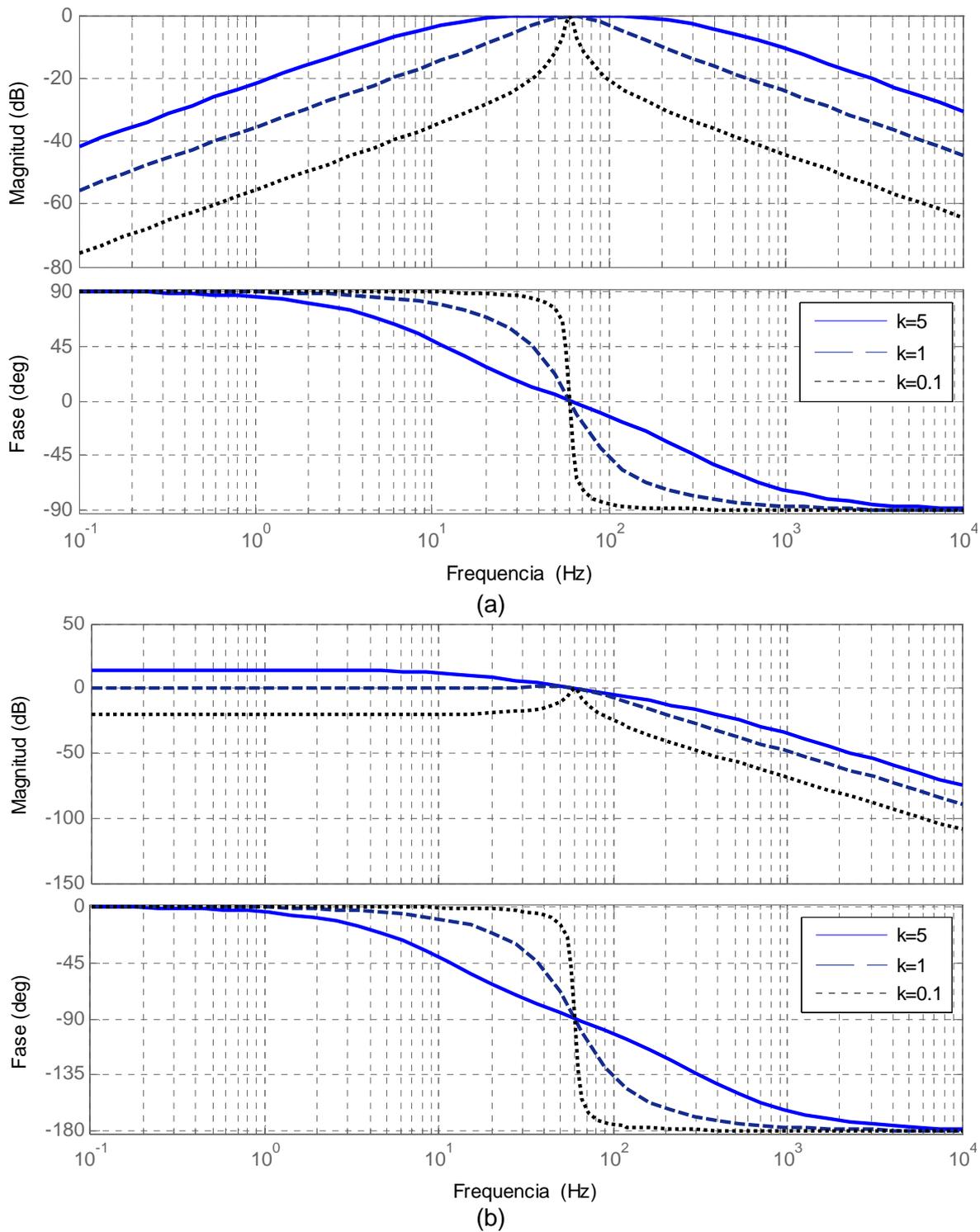


Figura 4.15: IGSO-GSC, (a) Gráfica de Bode de $D(s)$, (b) Gráfica de Bode de $Q(s)$.

La Figura 4.16 muestra el diagrama de bloques del integrador generalizado de segundo orden para la generación de cuadratura de señales, que se elaboró a partir de las ecuaciones de transferencia (4.27).

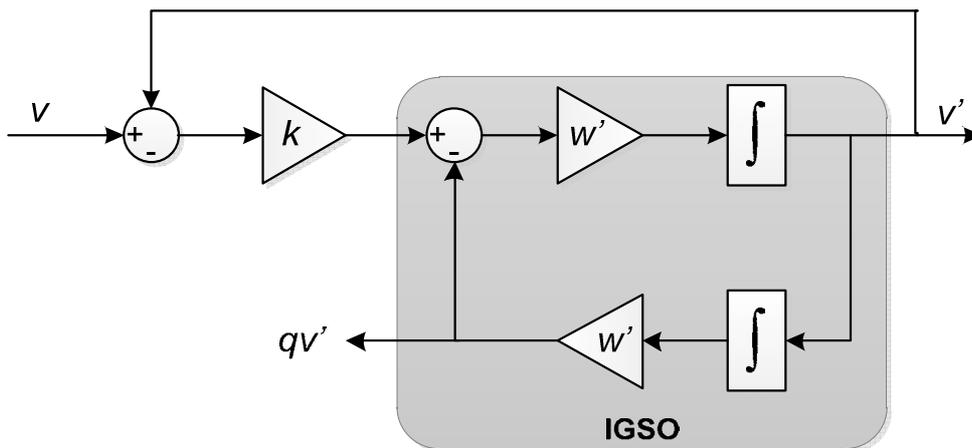


Figura 4.16: Diagrama de bloques IGSO-GSC

El diagrama de bloques del cálculo de la secuencia positiva propuesto se muestra en la Figura 4.17. Donde las entradas a cada uno de los IGSO-GSC son las señales de tensión en el sistema de referencia estacionario $\alpha\beta$, y las salidas son las señales de tensión de la secuencia positiva en el sistema de referencia estacionario $\alpha\beta$. Este diagrama de bloque se elaboró a partir de las ecuación (4.16) y las ecuaciones de transferencia (4.17).

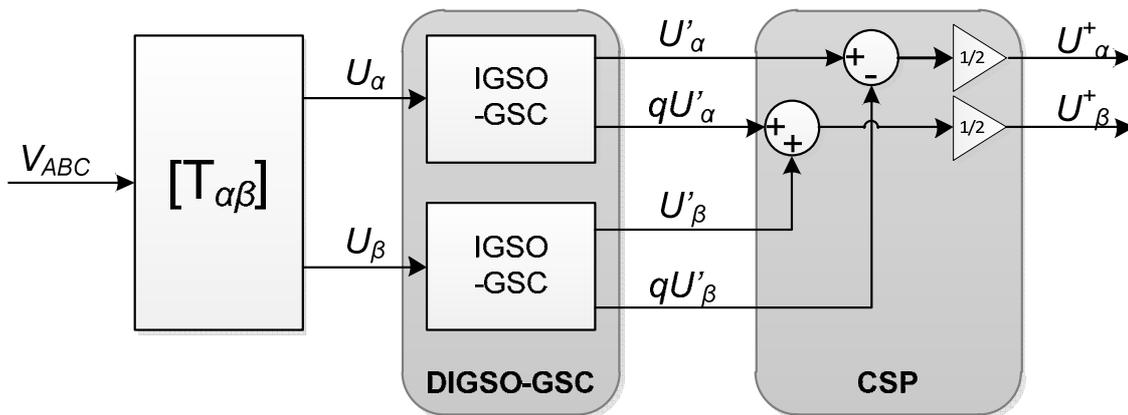


Figura 4.17: Calculador de secuencia positiva basado en DIGSO-GSC

Se presentan inconvenientes cuando la frecuencia de la red difiere de la frecuencia de resonancia del calculador de secuencia positiva, dado que ante variaciones en frecuencia de las tensiones de red, las cuales son muy pequeñas, pueden alterar el cálculo. Para ello se propone una modificación del cálculo de secuencia positiva usando un DIGSO de frecuencia adaptativa. Tal como se muestra en la Figura 4.18, la fase y la frecuencia son retroalimentadas, para la obtención de la fase de la red trifásica y un lazo de seguimiento de fase basado en el sistema de referencia síncrono.

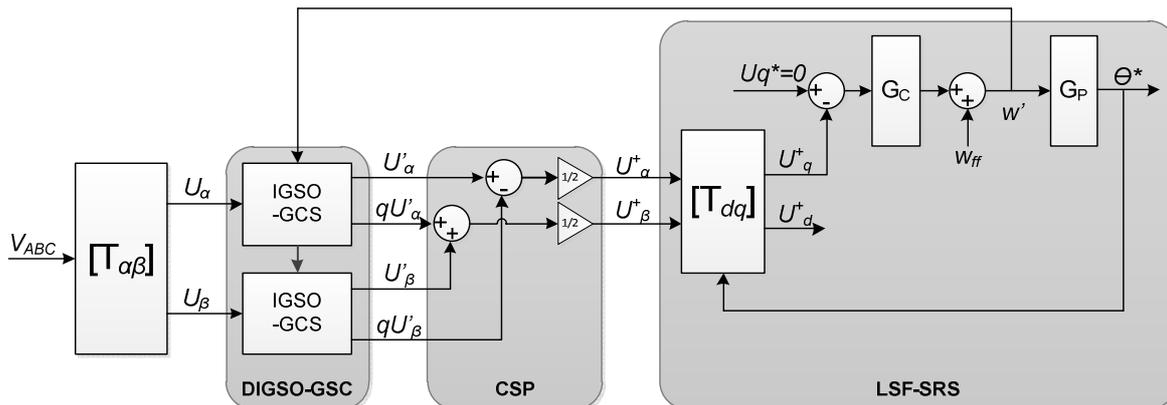


Figura 4.18: Diagrama de bloques del sistema de control del sistema de sincronización.

4.4.3. Diseño del controlador del sistema.

Del modelamiento del sistema podemos notar que para determinar las características del controlador es necesario tener en cuenta la función de transferencia del proceso, por lo tanto de la ecuación () y debido a que el control debe ser exacto ya que se trata de sincronizar elementos como inversores o rectificadores trifásicos con la red, es decir debe tener un error estacionario mínimo, por ello se escoge un regulador proporcional integral (PI), además este regulador presenta características de filtro lo que asegura el buen funcionamiento del sistema de control.

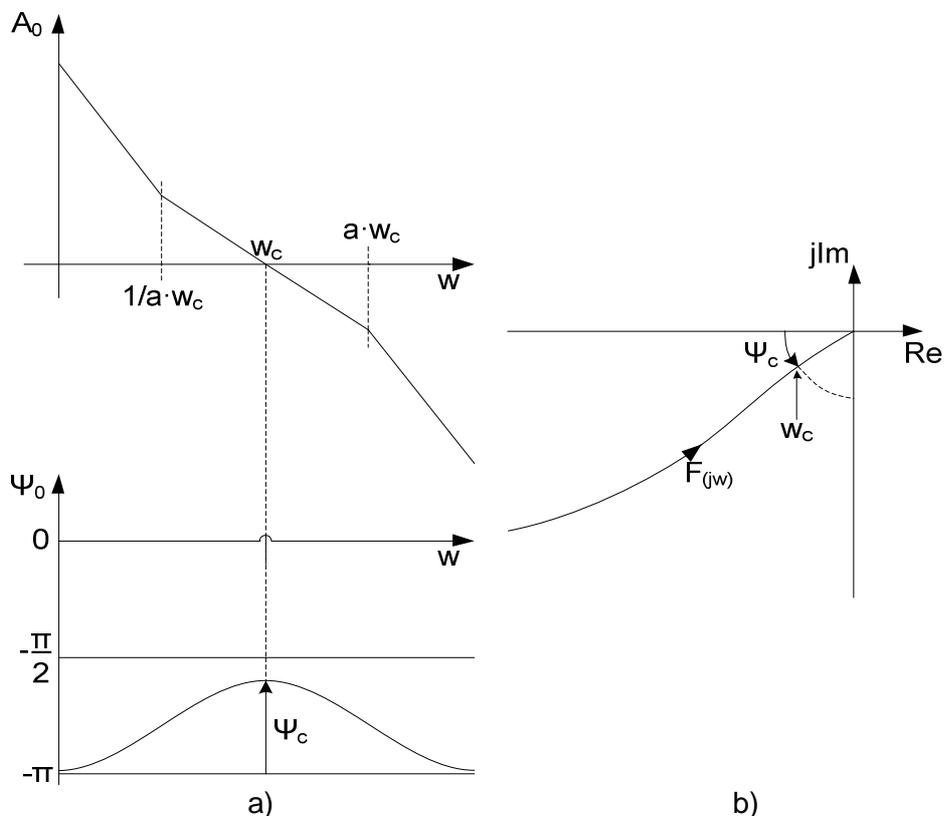


Figura 4.19: Método del óptimo simétrico, a) Gráfica de Bode del Regulador PI según el método del óptimo simétrico, b) Gráfica de Nyquist del Regulador PI según el método del óptimo simétrico.

El diseño del regulador PI se basa en el método del óptimo simétrico [11], detallado en el capítulo II, busca obtener el máximo margen de fase del sistema en el mayor ancho de banda posible en relación a una frecuencia de corte. El margen de fase es definido como el número de grados en la que la respuesta en frecuencia de un sistema puede ser desplazado sin perder estabilidad. Este método se caracteriza por la simetría con respecto a la frecuencia de corte en los gráficos de Bode tal como se puede ver en la Figura 4.19 [25].

La función de transferencia del lazo de seguimiento de fase es definida a continuación:

$$G_C(s) = K \left(1 + \frac{1}{Ts} \right) \quad (4.30)$$

Dónde:

K = Contaste proporcional.

T = Tiempo integrador.

El método del óptimo simétrico presenta una función de transferencia de lazo abierto de la forma siguiente:

$$H_{OS} = \frac{w_c^2 (ks + w_c)}{s^2 (s + kw_c)} \quad (4.31)$$

Dónde, $k = Constante$.

La función de transferencia del sistema en lazo abierto será la siguiente:

$$H_{LA}(s) = -\frac{KV}{s} \left(1 + \frac{1}{Ts} \right) \left(\frac{1}{1 + sT_R} \right) = -\frac{KV(1 + Ts)}{Ts^2(1 + sT_R)} \quad (4.32)$$

Del método del óptimo simétrico K es una constante que va a ser simétrica alrededor de la frecuencia de corte w_c (ver Figura 4.19). Reescribiendo la ecuación anterior.

$$H_{LA}(s) = -\frac{KV}{T_s} \frac{\left(s + \frac{1}{T} \right)}{s^2 \left(s + \frac{1}{T_R} \right)} = -\frac{KV}{aT_s} \frac{\left(as + \frac{a}{T} \right)}{s^2 \left(s + \frac{1}{T_R} \right)} \quad (4.33)$$

Donde a es el factor de normalización del método del óptimo simétrico. Comparando las ecuaciones (4.30) y (4.31), se obtienen las expresiones que relacionan el factor de normalización con los parámetros del sistema.

$$\frac{1}{T_R} = aw_c \rightarrow w_c = \frac{1}{aT_R} \quad (4.34a)$$

$$\frac{a}{T} = w_c \rightarrow T = a^2 T_R \quad (4.34b)$$

$$-\frac{KV}{aT_R} = (w_c)^2 \rightarrow K = -\frac{1}{aVT_R} \quad (4.34c)$$

De las ecuaciones anteriores se puede ver que las constantes del regulador pueden tener distintos valores dependiendo del factor de normalización.

Para sistemas de segundo orden el cociente entre la frecuencia de corte w_c y en ancho de banda w_B en el sistema de lazo cerrado es aproximadamente constante para diferentes valores de K. Este valor constante oscila entre 0.6 y 0.8 como se representa en la siguiente expresión.

$$0.6 < w_c/w_B < 0.8 \quad (4.35)$$

Considerando dos posibles escenarios, donde a sea alto y bajo se llegan a las siguientes consideraciones del diseño.

Para un valor bajo de a , la constante T será menor y el valor de K será grande, esto implica que el tiempo de establecimiento será más corto, pero se tendrá una mayor respuesta oscilatoria y menor características de filtrado.

Para un valor alto de a , la constante T será mayor y el valor de K pequeño, lo que quiere decir que se tendrá un tiempo de establecimiento largo y un alto margen de fase, lo cual entrega una menor respuesta oscilatoria y mejor características de filtrado.

Para ambos casos el valor de a determinará el margen de fase y el ancho de banda del sistema.

Para un valor alto de a , la constante T será mayor y el valor de K pequeño, lo que quiere decir que se tendrá un tiempo de establecimiento largo y un alto margen de fase, lo cual entrega una menor respuesta oscilatoria y mejor características de filtrado.

Para ambos casos el valor de a determinará el margen de fase y el ancho de banda del sistema.

Lo mencionado anteriormente implica que un valor apropiado para la frecuencia de corte es un valor cercado a la frecuencia de la red, dado que el regulador tiene características de filtro. Por ello si se tiene una frecuencia de corte de 60 Hz, entonces se tendrá un regulador con características de filtro pasa bajos con un ancho de banda $f_B \approx f_c/0.7 \approx 85.7\text{Hz}$, dicho esto, el lazo de seguimiento de fase tendrá la capacidad de reducir los armónicos sin la necesidad de un filtro analógico, lo cual es una gran ventaja.

Considerando un filtro de media móvil de 11 muestras, se tendría un tiempo de retraso de 6 veces el tiempo de muestro, por lo tanto para un periodo de muestreo de 80us, se tendrá un tiempo de retraso de 480us. Los detalles del filtro media móvil aplicado en este proyecto se encuentran en el capítulo VI.

La Tabla 4.1 muestra los valores que toman los parámetros del regulador PI, a través del método del óptimo simétrico para $V = 220\sqrt{2}$ y $T_R = 480\text{us}$. En ella se corrobora lo antes mencionado, a media que se quiera tener un ancho de banda pequeño para reducir los efectos de las perturbaciones el factor de normalización aumentará y por ende los parámetros del regularan cambiarán, disminuyendo la ganancia proporcional y aumento

el tiempo de establecimiento. En el siguiente capítulo se realizará la simulación correspondiente a la respuesta del controlador y del sistema de sincronización en su totalidad.

Tabla 4.1. Parámetros del regulador PI para 220 Vrms.

a	f_c	f_B	K	T
198.94	10	14.29	-1.2117	0.5277
132.63	15	21.43	-1.8175	0.2345
99.47	20	28.57	-2.4234	0.1319
66.31	30	42.86	-3.6351	0.0586
44.21	45	64.29	-5.4526	0.0261
33.16	60	85.71	-7.2702	0.0147
26.53	75	107.14	-9.0877	0.0094
22.10	90	128.57	-10.9053	0.0065
16.58	120	171.43	-14.5403	0.0037
13.26	150	214.29	-18.1754	0.0023
11.05	180	257.14	-21.8105	0.0016
6.63	300	428.57	-36.3509	0.0006
4.42	450	642.86	-54.5263	0.0003
3.32	600	857.14	-72.7017	0.0001

De acuerdo a lo mencionado anteriormente de la Tabla 4.1, se escogen los valores de K y T para una frecuencia de corte de 60 Hz. Estos valores de utilizaran en la simulación e implementación.

Ya establecido los parámetros del regulador el diseño del sistema de control propuesto se muestra el diagrama de bloques del sistema de sincronización en la Figura 4.20.

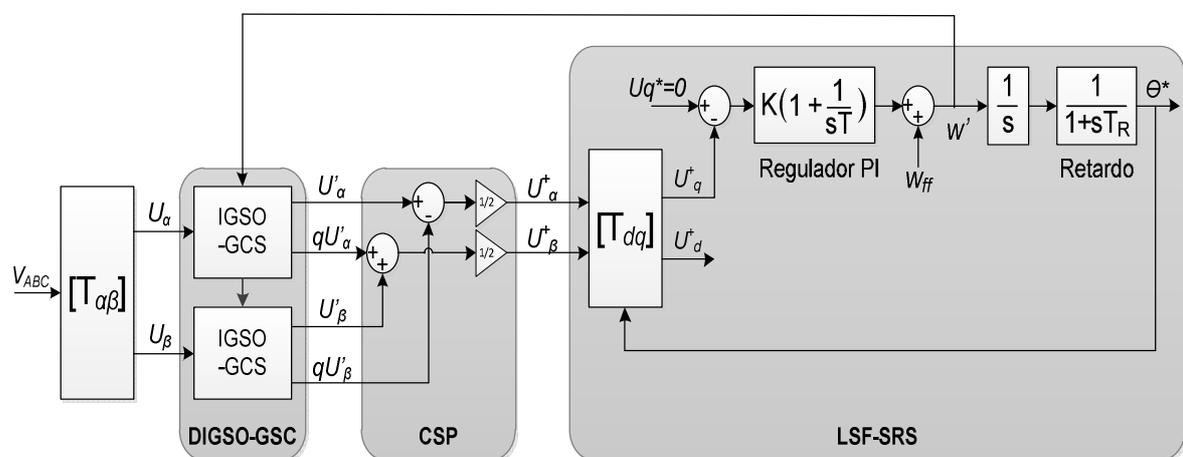


Figura 4.20: Diagrama de bloques del sistema de sincronización propuesto.

Dado que las pruebas experimentales se realizarán con tensiones de línea de 90 Vrms, se presenta la Tabla 4.2 con los valores de las constantes K y T para dichas condiciones y siendo los valores a a escoger para las pruebas los que corresponden a la frecuencia de corte de 60Hz.

Tabla 4.2. Parámetros del regulador PI para 90 Vrms

a	f_c	f_B	K	T
198.94	10	14.29	0.4937	3.1663
132.63	15	21.43	0.7405	1.4072
99.47	20	28.57	0.9873	0.7916
66.31	30	42.86	1.4810	0.3518
44.21	45	64.29	2.2214	0.1564
33.16	60	85.71	2.9619	0.0880
26.53	75	107.14	3.7024	0.0563
22.10	90	128.57	4.4429	0.0391
16.58	120	171.43	5.9238	0.0220
13.26	150	214.29	7.4048	0.0141
11.05	180	257.14	8.8858	0.0098
6.63	300	428.57	14.8096	0.0035
4.42	450	642.86	22.2144	0.0016
3.32	600	857.14	29.6192	0.0009

En el caso en el que una falla en la red trifásica produzca la caída de tensión en la misma, el sistema de sincronismo debe continuar generando la señal de fase y de frecuencia, para ello se considera que cuando las lecturas de las tensiones del sistema trifásico se encuentren las tres en un rango de [-10; 10] V las llaves S1 y S2 del diagrama de bloques de la Figura 4.21 deben cambiar su posición, haciendo que el sistema de sincronismo propuesto siga generando la señal de fase y frecuencia en condiciones ideales ($f=60\text{Hz}$) a partir del último resultado de fase obtenido, permitiendo no solo a la aplicación, donde se esté utilizando el sistema de sincronismo, permanecer acoplada a la red trifásica. La implementación de las medidas tomadas para el requerimiento mencionado se detalló en el Capítulo VI.

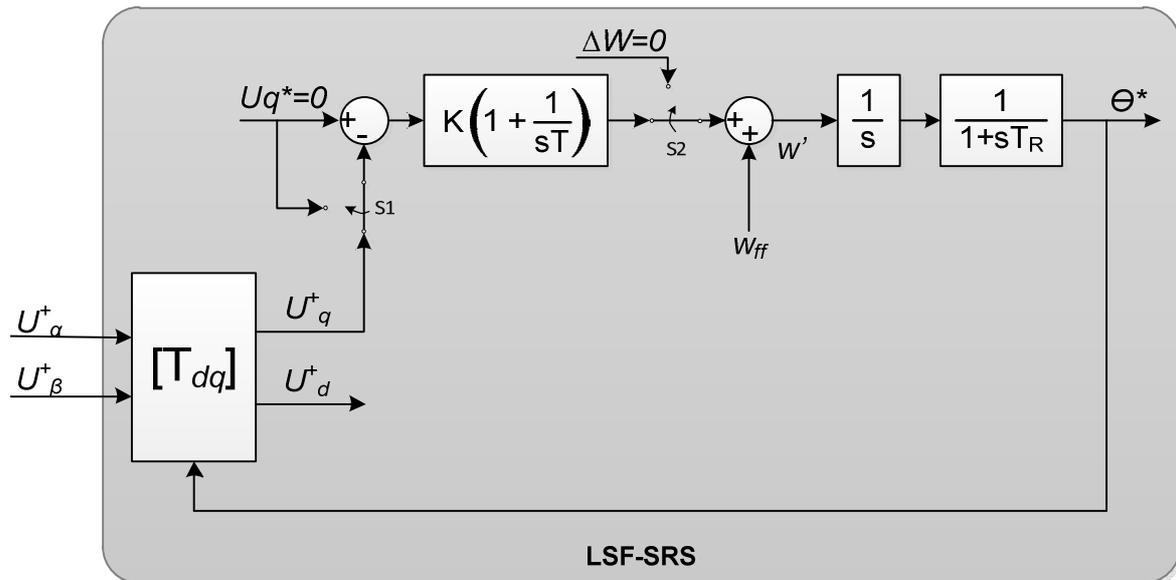


Figura 4.21. Diagrama de bloques del LSF del Sistema de sincronismo para una caída total de red trifásica.

4.4.4. Diseño del controlador en tiempo discreto.

Diseñado el controlador del sistema en tiempo continuo se procede a hacer su homólogo en tiempo discreto dado que el dispositivo a usar es un DSP el cual procesa una instrucción en un ciclo de reloj. Para este fin se adoptará el método Tustin [26] para hacer la conversión respectiva de tiempo continuo a tiempo discreto debido a la ventaja que presenta en la integración trapezoidal. La relación entre el dominio Z y Laplace viene dada por la siguiente expresión:

$$s = \frac{2z - 1}{T_s z + 1} \quad (4.36)$$

Dónde:

T_s = Tiempo de muestreo.

La frecuencia de muestreo utilizada en el DSP es de 12.5 KHz, por lo que:

$$T_s = \frac{1}{F_s} = \frac{1}{12.5 \text{ KHz}} = 80 \text{ ms} \quad (4.37)$$

En la Figura 4.20 se observa el diagrama de bloques del sistema de control del sistema de sincronización, donde el bloque del doble integrador generalizado de segundo orden y el controlador requieren una transformación de tiempo continuo a tiempo discreto, ya que estos presentan factor integrador. Para efectos prácticos las transformaciones se realizarán sobre los diagramas de bloques.

Como se vio anteriormente en el cálculo de secuencia positiva propuesto, se utiliza el integrador generalizado de segundo orden para la generación de señales de cuadratura cuyo diagrama de bloques se muestra en la Figura 4.16. En dicha figura se observa la

presencia de dos integradores, de modo que al transformarlos a tiempo discreto serán como se muestra en la Figura 4.22.

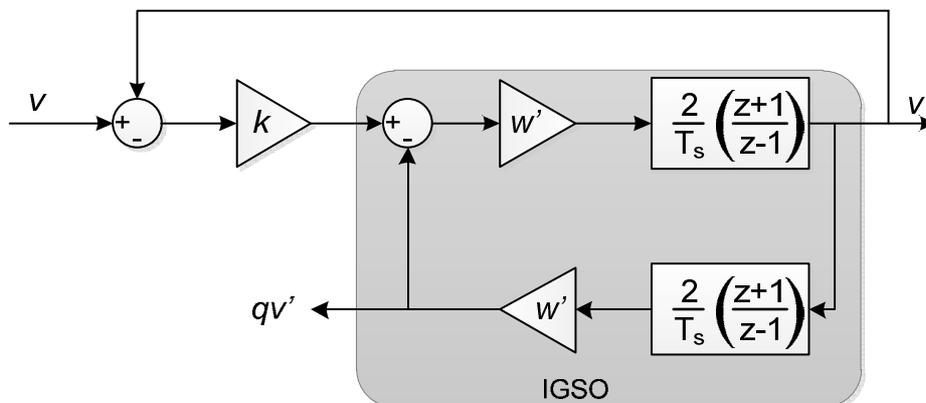


Figura 4.22: Diagrama de bloques del integrador generalizado de segundo orden para la cuadratura de señales en tiempo discreto.

Análogamente en el lazo de seguimiento de fase se tienen dos integradores los cuales se llevan a tiempo discreto a través del método de Tustin tal como se muestra en la Figura 4.22, en dicha figura se puede observar que se necesita una función reset en dicho integrador para que una vez la señal de fase llegue a 2π esta vuelva a cero, esto se realizará en la implementación del sistema de sincronización.

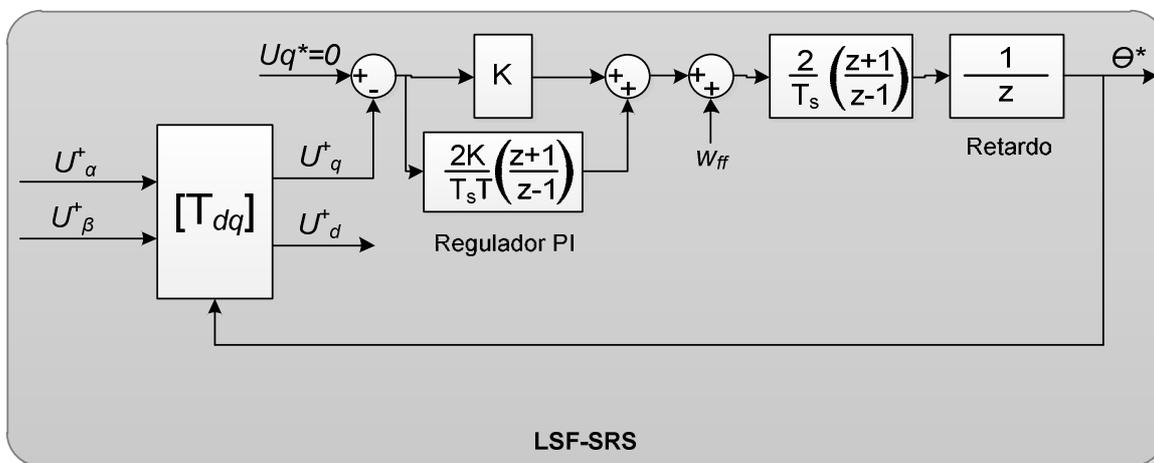


Figura 4.22: Diagrama de bloques del lazo de seguimiento en el sistema de referencia síncrono de fase en tiempo discreto

CAPITULO V

SIMULACIÓN DEL SISTEMA DE SINCRONISMO

En este capítulo se simula el sistema de sincronización de fase con el uso de software de ingeniería como MATLAB, el cual contiene una herramienta de simulación de sistemas llamada SIMULINK., y también se hará uso de PSIM que es un software de simulación para sistemas electrónicos de potencia. Las simulaciones del sistema de sincronización de fase son realizadas en tiempo continuo y en tiempo discreto.

El circuito de acondicionamiento de fase también es simulado en PSIM, para luego llevar a cabo las pruebas experimentales, así como las también las simulaciones de las pruebas efectuadas en laboratorio.

5.1. Simulación del circuito de acondicionamiento de señal.

La Figura 5.1 muestra la simulación del circuito de acondicionamiento en PSIM de acuerdo a su diseño visto en el capítulo IV. En esta figura las fuentes AC en la entrada simulan como señales de salida del transductor de voltaje de efecto hall y la única variación con respecto al diseño es el potenciómetro de valor 500Ω en la zona del atenuador de voltaje. El objetivo de esta resistencia es que en el mercado no se consigue adquirir resistencia de precisión que nos asegure una exacta medición del voltaje por parte del DSP usando esta resistencia como una forma de calibrar el circuito de adquisición de datos. La herramienta de simulación es PSIM, software de simulación para electrónica de potencia.

La simulación de las tres etapas del circuito de acondicionamiento de señal es mostrada en la figura 5.2, donde se puede observar que para una entrada de 3.30572 que equivale a una amplitud de $220\sqrt{2} V$ medidos por el transductor de efecto Hall planteado en el diseño. En ella se puede notar que en una primera etapa la señal se atenúa de 3.24 V de amplitud a aprox. 1V de amplitud, luego en la etapa de elevación de tensión la señal es elevada en 1.5 v manteniendo la misma amplitud, luego la siguiente etapa es una etapa de seguridad donde se busca limitar la tensión a 3 V para no dañar las entradas del conversor analógico digital del DSP.

En la Figura 5.3. Se muestra el esquema del circuito de acondicionamiento de todas las señales en PSIM y la Figura 5.4 muestra las señales ya acondicionadas que serán ingresadas al módulo de conversores análogo digital del DSP.

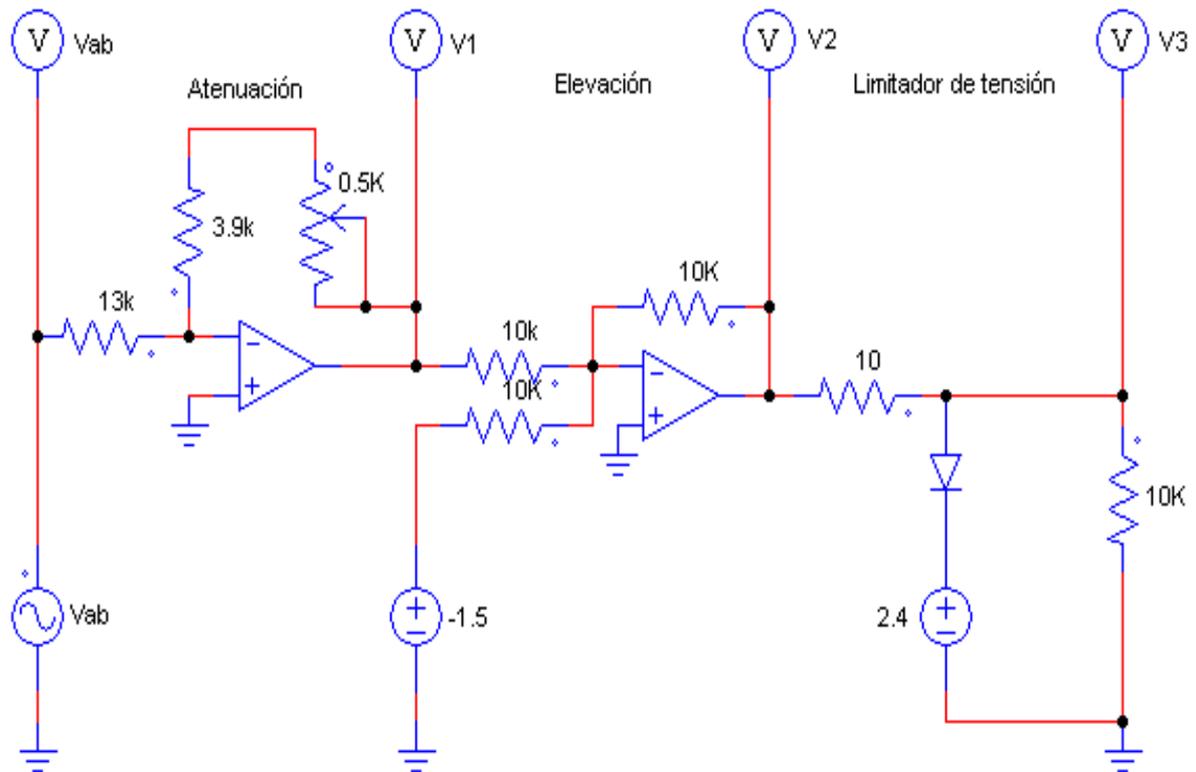


Figura 5.1: Esquema del circuito de acondicionamiento de una señal en PSIM.

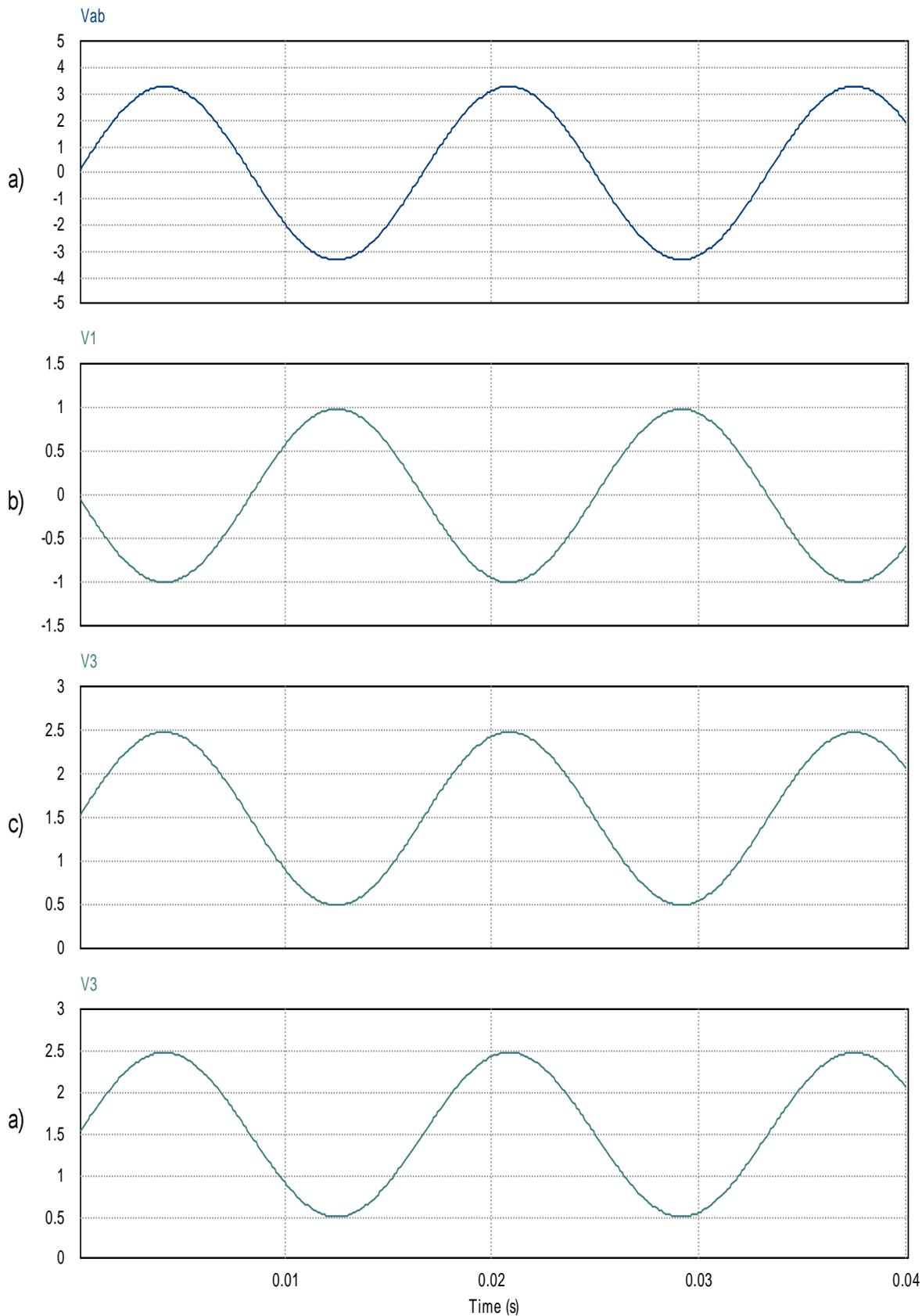


Figura 5.2: Simulación de las etapas del circuito de acondicionamiento de señal, a) Señal de salida del transductor de voltaje 3.306V pico ($220 V_{RMS}$), b) Etapa de atenuación, c) Etapa de elevación, d) Etapa del limitador de tensión

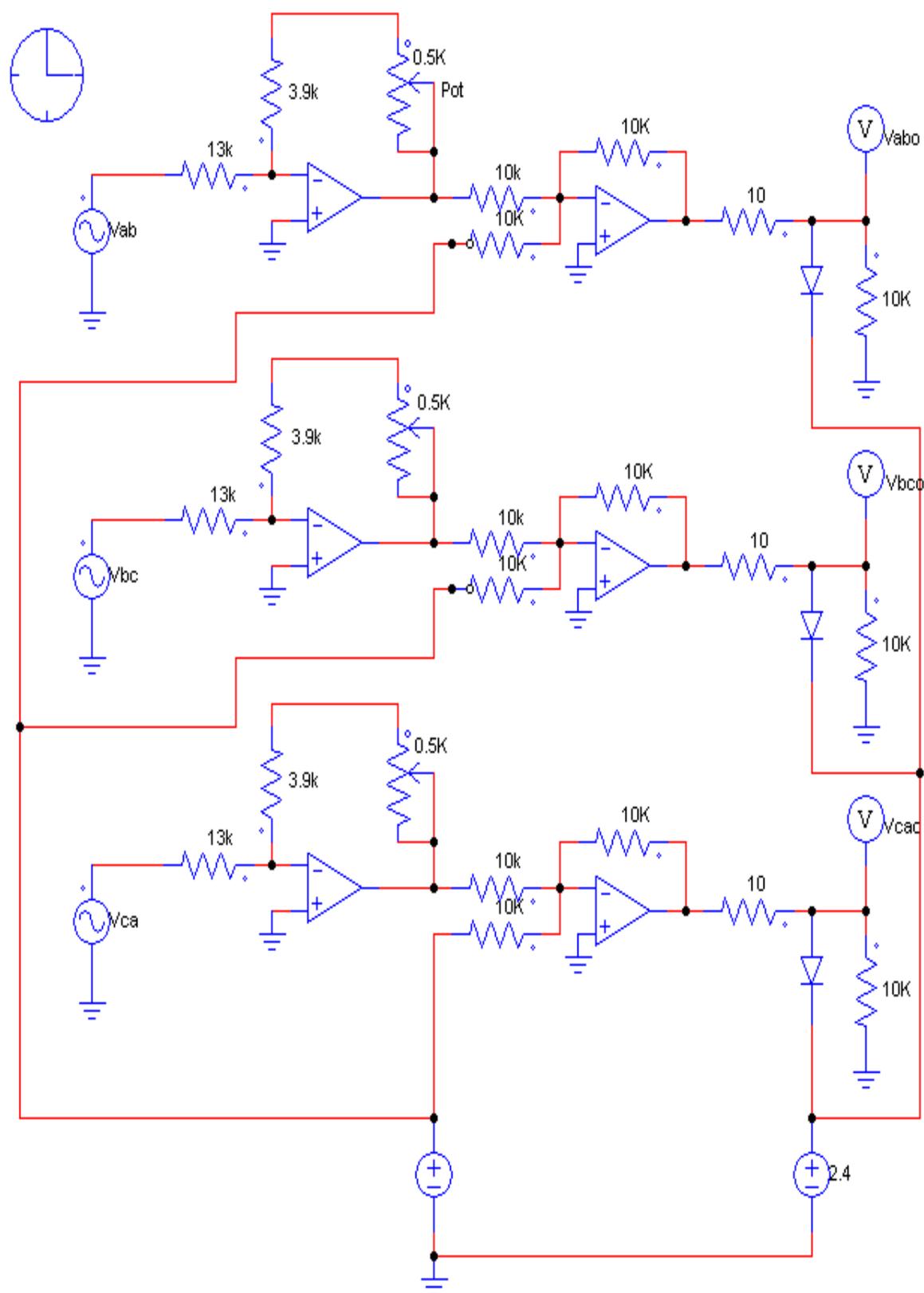


Figura 5.3: Esquema del circuito de acondicionamiento de señales en PSIM.

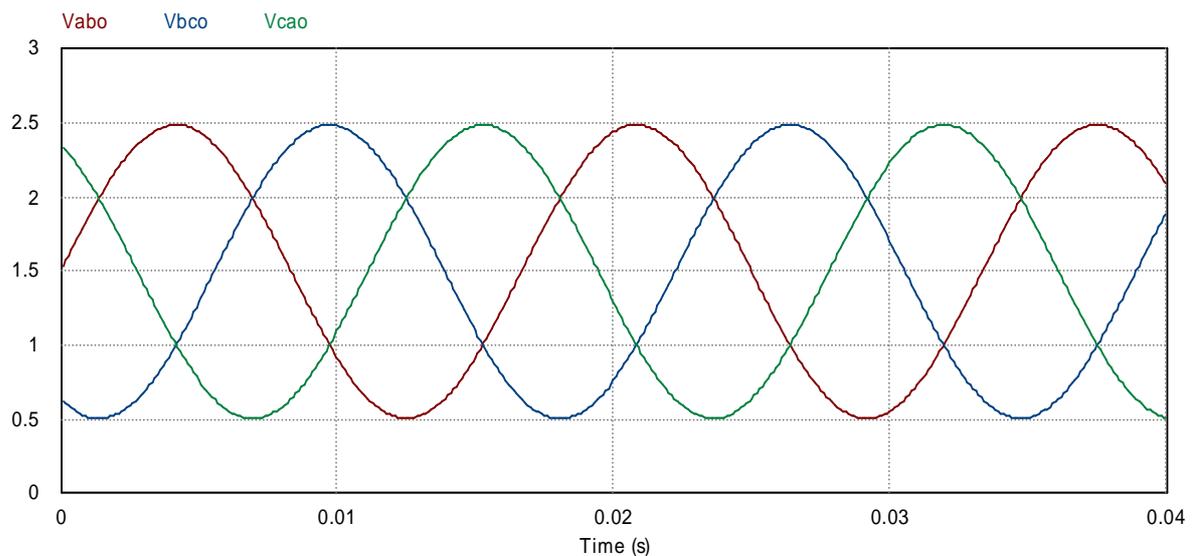


Figura 5.4: Simulación del circuito de acondicionamiento de señales.

5.2. Simulación del sistema de control.

En el capítulo anterior se diseñó el sistema de control del sistema de sincronización de fase tanto en tiempo continuo como en tiempo discreto, por lo tanto se trasladará el diseño completo a la herramienta de simulación de sistemas SIMULINK.

La única consideración en la simulación es que las señales de entrada, es decir las señales de las tensiones trifásicas son simuladas por medio de modelos matemáticos, como un bloque de subsistema.

5.2.1. Simulación del sistema de control en tiempo continuo.

De la Figura 4.20, se elabora en SIMULINK los bloques del sistema de control, tal como se muestra en la Figura 5.5 y a su vez también se elaboran los subsistemas que simularán las señales de entrada. Dichos subsistemas son elaborados con una segunda intención de agregar perturbaciones (desbalance y distorsión armónica) para ver cómo se comporte el Sistema de Control y además visualizar la respuesta obtenida a la salida del sistema.

a) Simulación del lazo de seguimiento de fase

Esta simulación tiene como objetivo verificar los parámetros del controlador del lazo de seguimiento de fase del sistema de sincronización, para comprobar su funcionamiento y también el funcionamiento del regulador PI como controlador y como filtro.

En la Figura 5.4 se muestra el diagrama de bloques elaborado en Simulink, cada bloque está sujeto a determinadas variables definidas en un archivo script (ver Anexo B) dado que si se quiere cambiar algún valor como la amplitud de la señal de tensión u otras variables, se cambie y ejecutivo el archivo script y de esta manera no cambiar dichos valores bloque por bloque, facilitando la fase de simulación.

De las mismas figuras se puede notar que la primera presenta una mayor amplitud de su oscilación cuando se estabiliza, mientras que la segunda tiene una amplitud menor lo cual deja notar cual presenta mejor características de filtro pasa bajos.

Las figuras 5.6 (c) y 5.7 (c) muestran la respuesta de la fase, donde nuevamente se puede notar la influencia de la perturbación haciéndose más notoria en la primera dado que esta presenta menor característica de filtro. Una de las ventajas en la utilización de Simulink es que te permite obtener el %THD de manera rápida, de modo que en la simulación se obtuvo los valores de %THD de 3.617% y 1.331% para el primer y segundo caso respectivamente reiterando lo antes mencionado.

La diferencia entre los tiempos de estabilización se pueden notar mejor en las Figuras 5.6 (d) y 5.7 (d), las figuras muestran una señal coseno de la red trifásica (V_A) sin perturbación y la señal coseno de la fase resultante del lazo de seguimiento de fase, en la primera el tiempo de estabilización es bastante corto, pero como se observa la sincronía no es muy buena, mientras que en el segundo, el tiempo es mucho más largo., pero su sincronía se ve mucho menos afectada por la perturbación, siendo esta señal más exacta que la anterior.

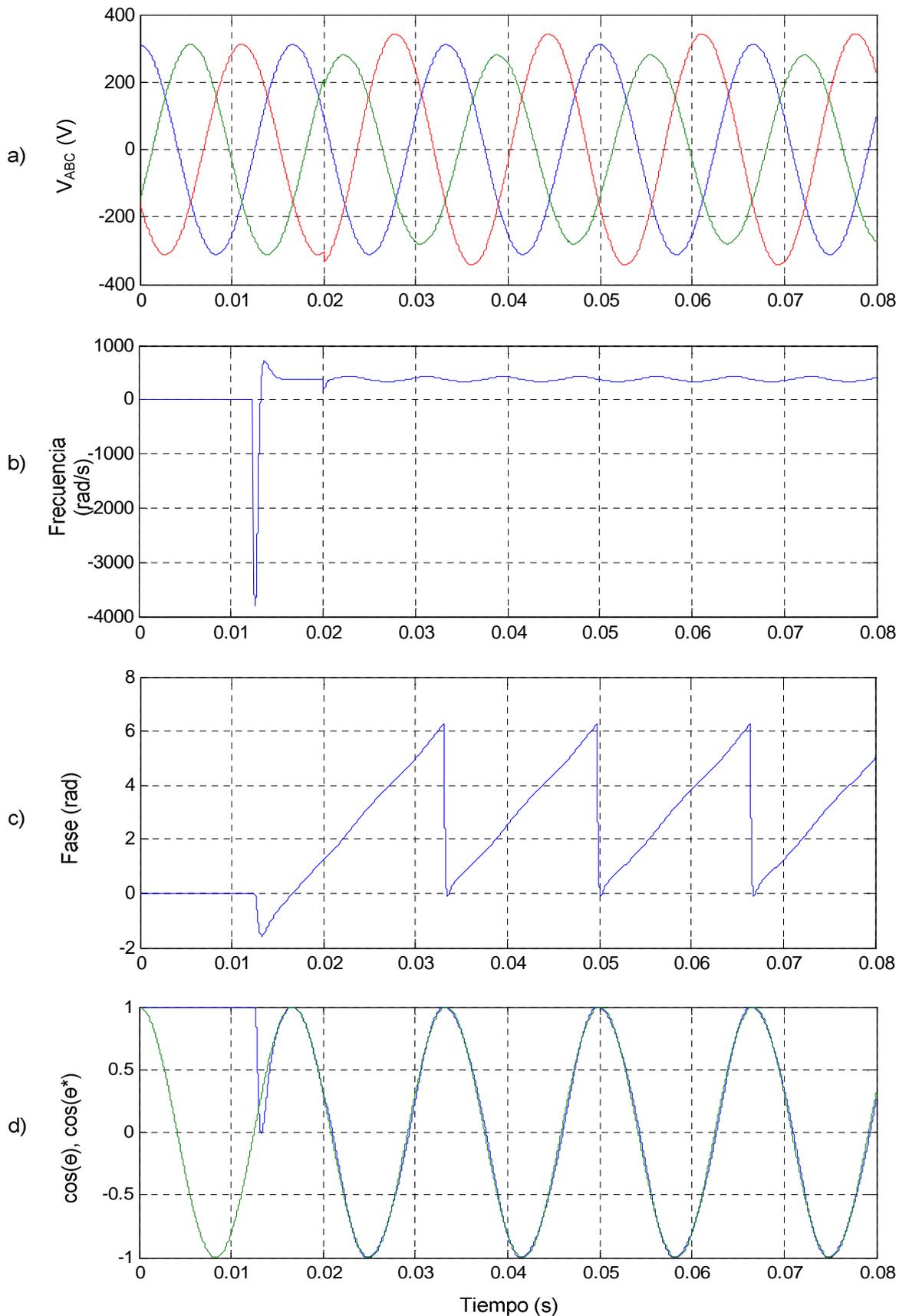


Figura 5.6: Respuesta del lazo de seguimiento de fase para $f_c = 600\text{ Hz}$. a) Red trifásica con perturbaciones, b) Frecuencia, c) Fase y d) Formas de onda obtenidas del LSF.

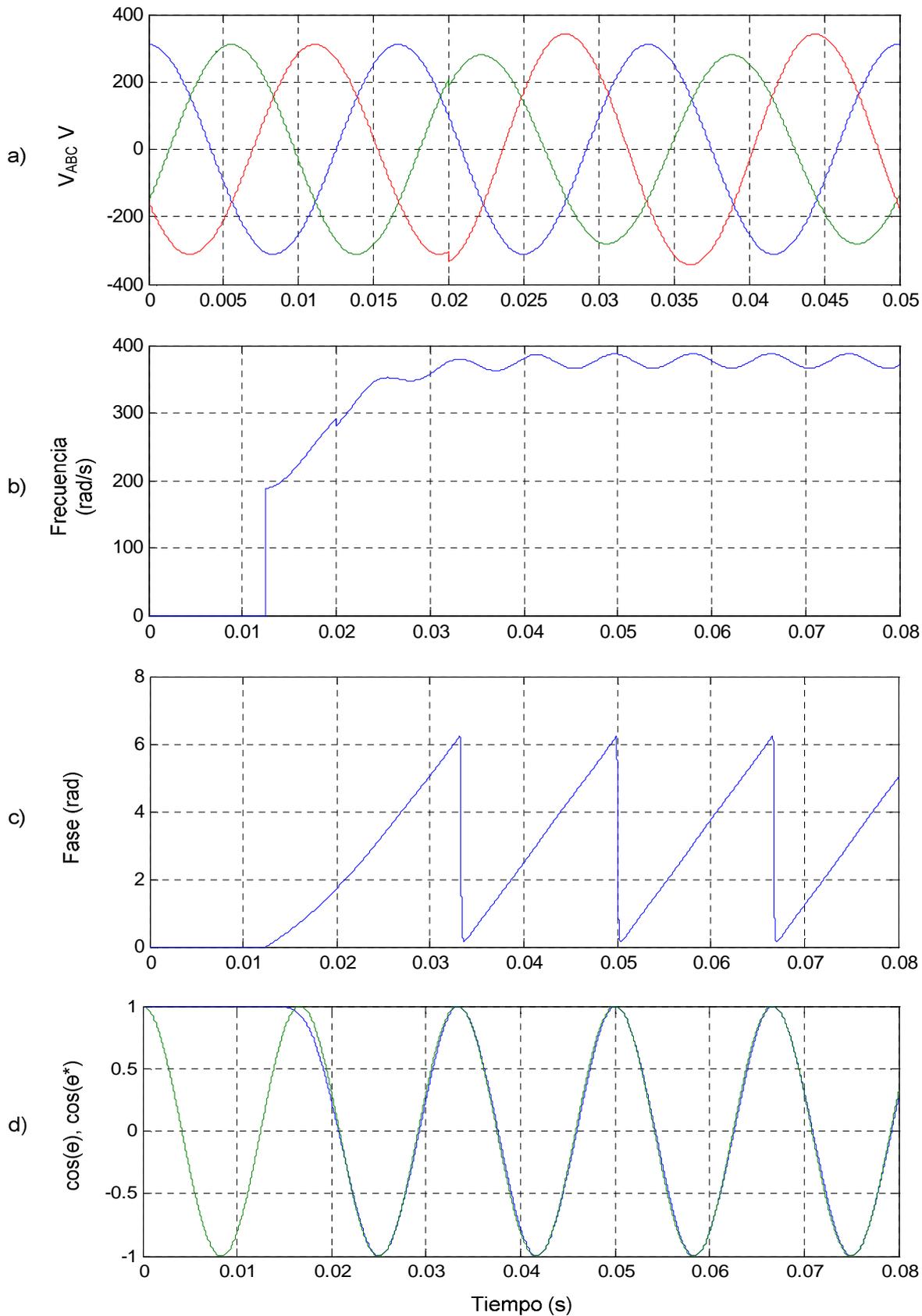


Figura 5.7: Respuesta del lazo de seguimiento de fase para $f_c = 60\text{Hz}$. a) Red trifásica con perturbaciones, b) Frecuencia, c) Fase y d) Formas de onda obtenidas del LSF.

b) Simulación del sistema de control en tiempo continuo.

Al acoplar el calculador de secuencia positiva (bloque en recuadro rojo) en el esquema anterior en Simulink se obtiene el esquema mostrado en la Figura 5.8, dado que Simulink trabaja en base a un tiempo de muestreo, y no se puede trabajar en tiempo continuo, se estableció un tiempo de muestreo muy pequeño de 10ns lo cual toma más tiempo en la obtención de datos de la simulación.

En esta parte se muestra el funcionamiento del sistema de control frente a las perturbaciones de desbalance y distorsión armónicas, tomando en cuenta que el sistema de sincronismo empieza su funcionamiento en $t=0.0125s$ y que dichas perturbaciones se hacen presentes en $t=0.04s$ (desbalance y distorsión armónica en ambos casos) y terminan en $t=0.16s$. También se establece una frecuencia de corte de 60Hz en el lazo de seguimiento de fase. Los bloques en el recuadro azul fueron implementados en Simulink para no solo generar señales trifásicas sino también generar en ellas las perturbaciones de distorsión armónica y desbalance de fases, en determinados periodos de tiempo, con el objetivo de simular el sistema de sincronismo completo frente a este tipo de perturbaciones, todos los parámetros de esta simulación, entre los cuales están; los tiempos de acción de las perturbaciones, magnitud y orden de los armónicos entre otros, fueron generados con un script, el cual se encuentra documentado en el Anexo B.

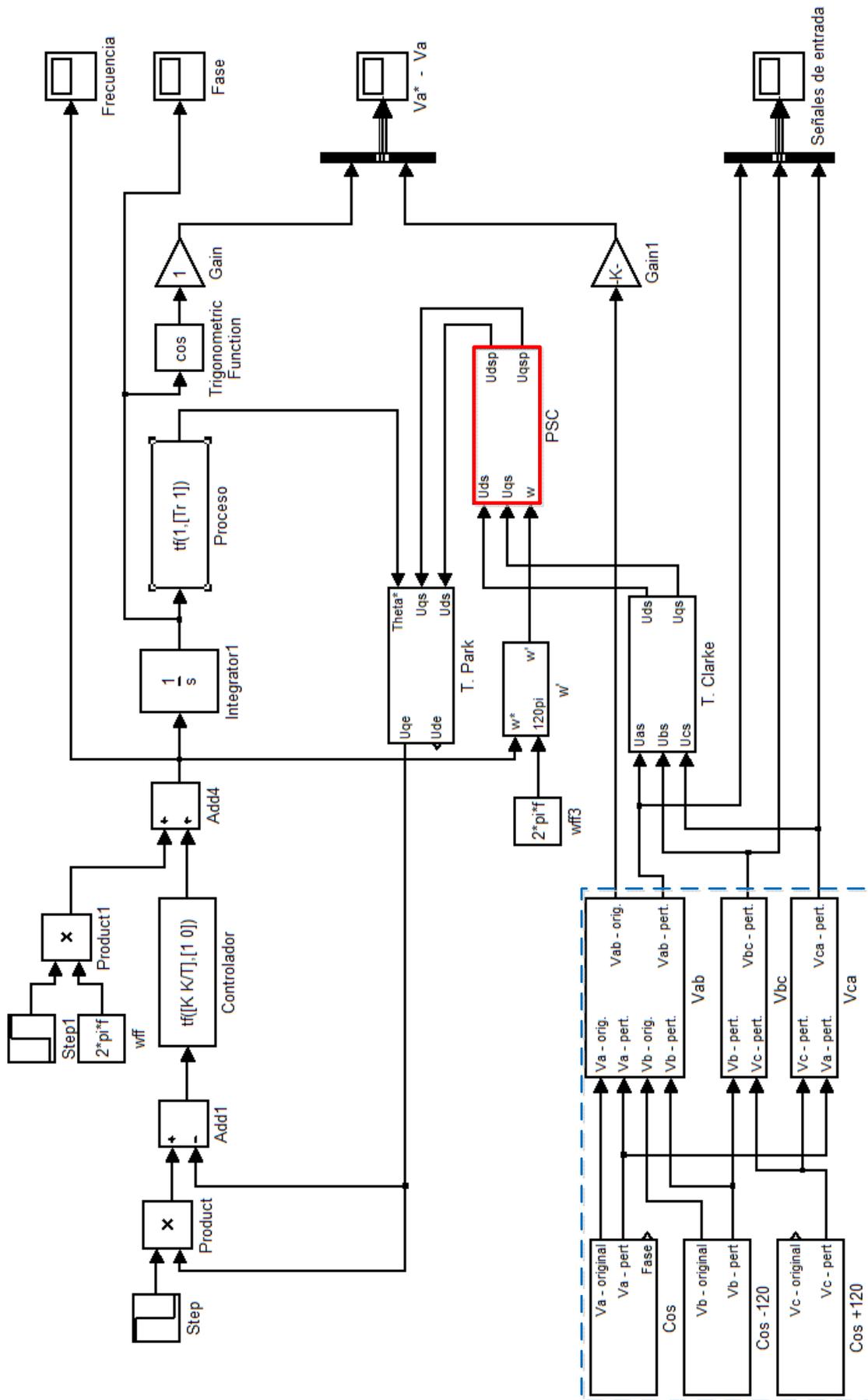


Figura 5.8: Diagrama de bloques del sistema de control en Simulink.

En la Figura 5.9 se muestra los resultados de la simulación del sistema de control frente a un sistema trifásico desbalanceado (ver Fig. 5.9 (a)), se puede ver que la respuesta de la frecuencia es buena pudiendo estabilizarse en $t= 0.02s$ aprox., lo cual implica un tiempo para lograr la sincronización de $0.0075s$ aprox. Tal como se ve en la Figura 5.9 (b) las magnitudes de las componentes V_{α}^{+} y V_{β}^{+} , resultantes del cálculo de la secuencia positiva, son iguales, la amplitud que presentan ambas es la magnitud de las componentes simétricas de la secuencia positiva. La respuesta en frecuencia se muestra en la Figura 5.9(c) notándose que presenta ligeras variaciones cuando se presenta al inicio del desbalance pero no presenta oscilaciones, esto debido al método del cálculo de la secuencia positiva. En lo que respecta la respuesta de la fase en la Figura 5.9 (d), se nota que esta ya no presenta las ondulaciones causadas por la presencia de desbalance, lo cual garantiza una perfecta sincronía, la que se ve reflejada en la Figura 5.9 (e), en esta figura se puede apreciar mucho mejor el funcionamiento del sistema de control, en esta simulación obtuvo un resultado de %THD en la señal de salida del sistema de control de 0.061% , este es un valor muy bajo, lo cual representa la buena inmunidad del sistema de sincronismo frente a una perturbación de desbalance.

La simulación del sistema de sincronismo frente a una red trifásica con perturbación de distorsión armónica se muestra en la Figura 5.10. Una señal armónica de quinto orden con el 10% de la magnitud de la señal de frecuencia fundamental es añadida en $t=0.04$, con el objetivo de obtener la respuesta del sistema de control frente a este tipo de perturbación. La respuesta en frecuencia (Figura 5.10 (c)) presenta un bajo tiempo de estabilización y una baja oscilación cuando se ingresa la señal armónica, aun así esta oscilación no altera la respuesta de fase (Figura 5.10 (d)) la cual se nota muy lineal y sin presencia de oscilaciones, el resultado de esto se ve en la Figura 5.10 (e), figura que muestra el funcionamiento del sistema de control donde se obtuvo un %THD de 0.227% , este valor de distorsión armónica es bastante bajo considerando la magnitud de la señal armónica. Por medio de esta simulación se respalda la buena inmunidad del sistema de sincronismo frente a una perturbación de distorsión armónica.

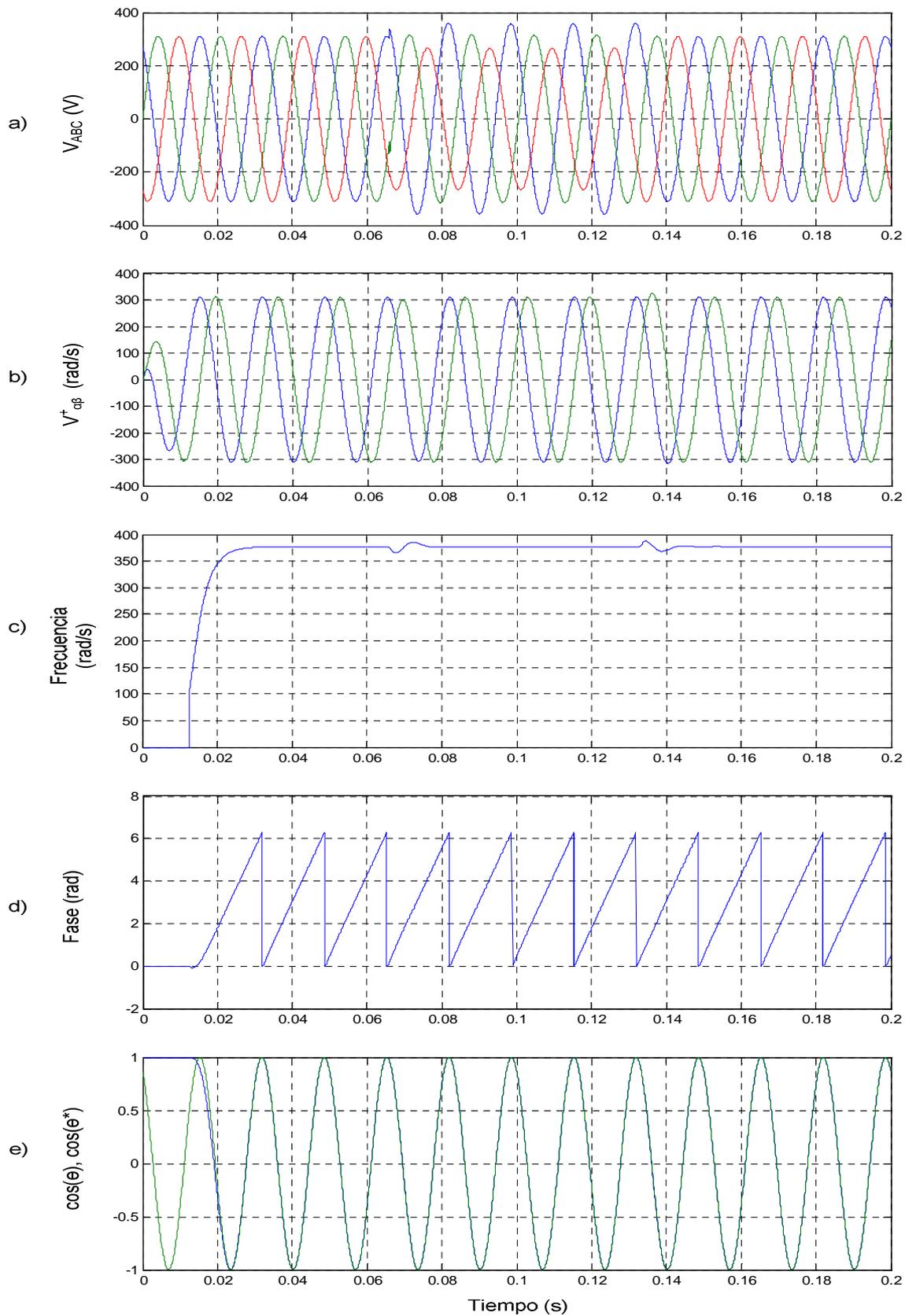


Figura 5.9: Respuesta del sistema de control para red trifásica con desbalance. a) Red trifásica con desbalance, b) Componentes simétricas V_α y V_β , c) Frecuencia, d) Fase y e) Formas de onda obtenidas del sistema de sincronismo.

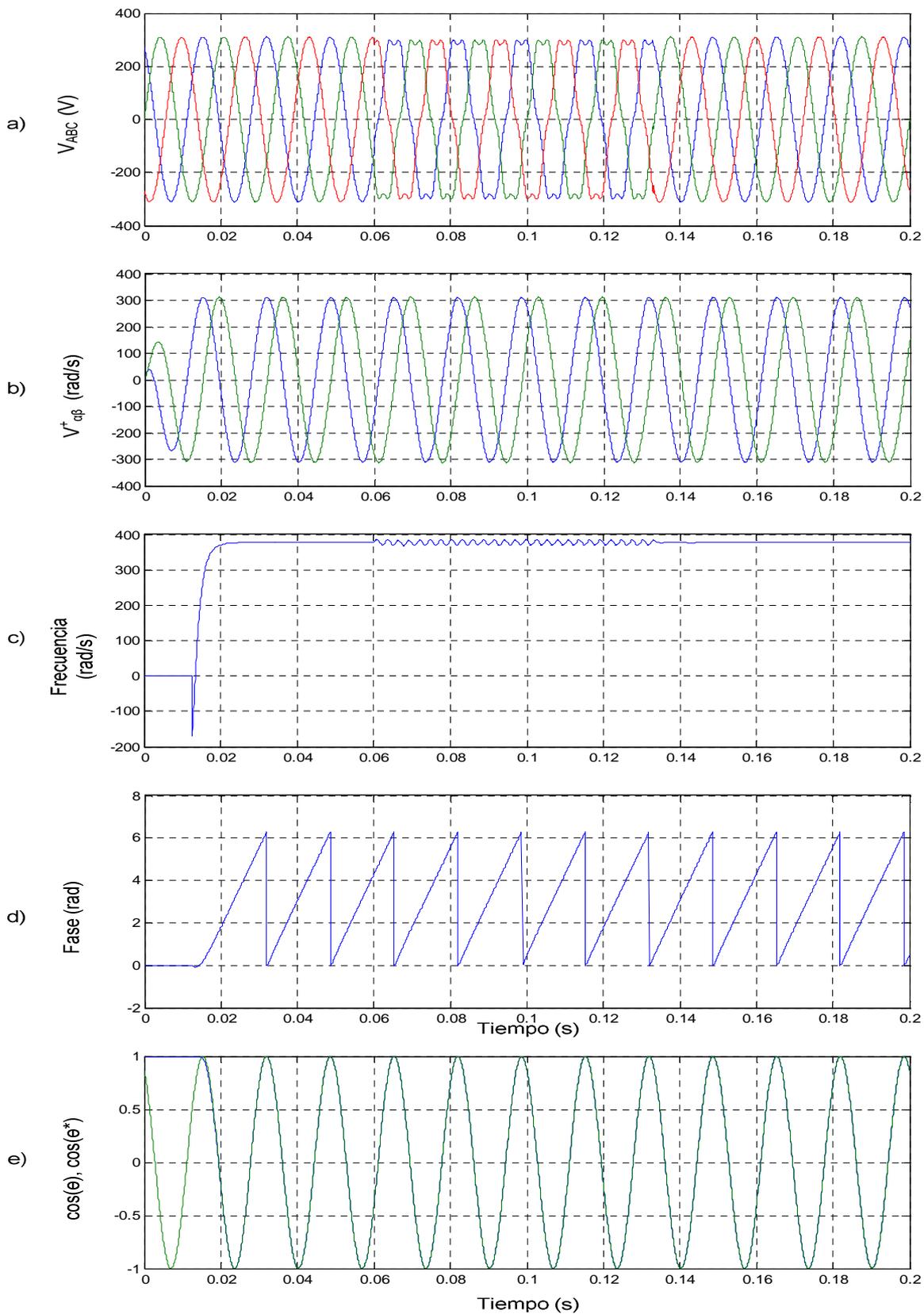


Figura 5.10: Respuesta del sistema de control para red trifásica con distorsión armónica.

- a) Red trifásica con distorsión armónica, b) Componentes simétricas V_α y V_β , c) Frecuencia, d) Fase y e) Formas de onda obtenidas del sistema de sincronismo.

En el caso de la simulación con desbalance de fases se puede observar la respuesta de las componentes V_α^+ y V_β^+ , donde para un análisis más detallado del uso que se le podría dar a este dato obtenido en el Sistema de Sincronismo se realizó una simulación en la cual se busca realizar una reconstrucción de un sistema desbalanceado, el cual presenta la tensión de fase desbalanceada en el 50% de su magnitud a partir de la amplitud de V_α^+ y V_β^+ calculados por el Sistema de Sincronismo.

En la Figura 5.11 se puede ver en la primera gráfica el sistema desbalanceado y en la segunda parte las componentes V_α^+ y V_β^+ donde se nota que la amplitud de estas es de 269.44 Vp.

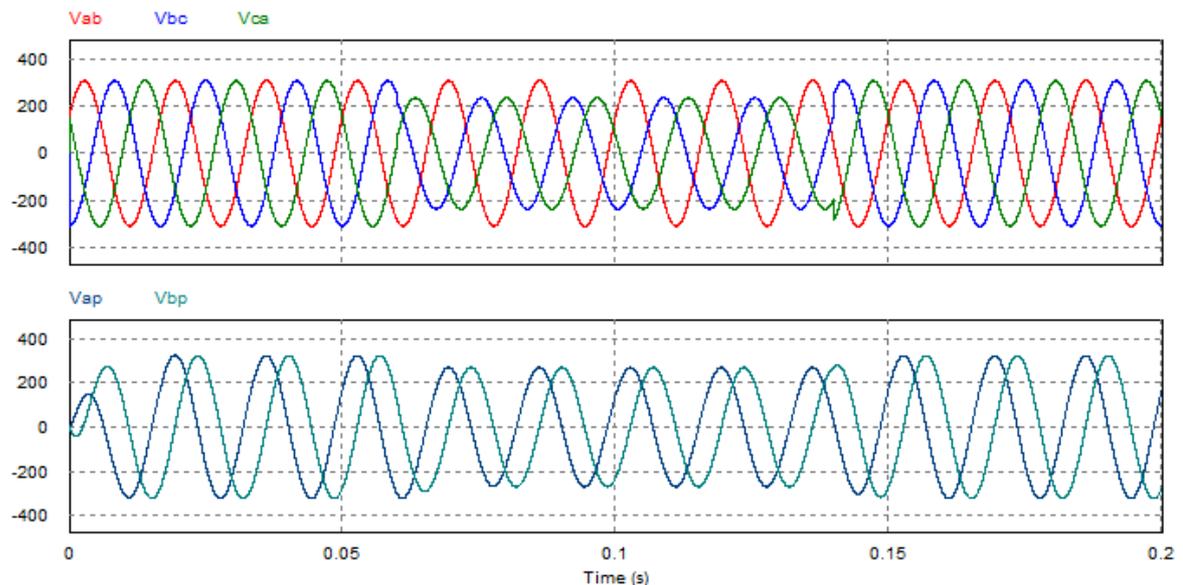


Figura 5.11: Cálculo de secuencia positiva de una red desbalanceada.

De lo expuesto en el Capítulo II, un sistema desbalanceado está compuesto una secuencia positiva, una secuencia negativa y una secuencia cero. La Comisión Electrotécnica Internacional en una publicación de compatibilidad electromagnética [27], estableció la medición de la relación entre las magnitudes de la secuencia negativa y positiva en base a los valores de las tensiones de línea, tal como se puede observar en las siguientes ecuaciones:

$$u_F = \frac{\text{Secuencia positiva } (U_P)}{\text{Secuencia negativa } (U_N)} \times 100\% \quad (5.1)$$

$$u_F = \sqrt{\frac{1 - \sqrt{3} - 6\beta_U}{1 + \sqrt{3} - 6\beta_U}} \quad (5.2)$$

Dónde:

$$\beta_U = \frac{U_{AB}^4 + U_{BC}^4 + U_{CA}^4}{(U_{AB}^2 + U_{BC}^2 + U_{CA}^2)^2} \quad (5.3)$$

Siendo:

u_F : Componente de secuencia negativa.

U_p : Voltaje pico secuencia positiva.

U_N : Voltaje pico secuencia negativa.

U_{AB} , U_{BC} y U_{CA} : Voltajes pico de tensiones de línea.

De lo mencionado, solo la tensión de fase V_C es reducida en un 50% por lo que para la red trifásica propuesta con tensiones de línea de 220Vrms el valor de U_{AB} , U_{BC} y U_{CA} será de:

$$U_{AB} = 220\sqrt{2} V$$

$$U_{BC} = 168.03\sqrt{2} V$$

$$U_{CA} = 168.03\sqrt{2} V$$

Reemplazando en la ecuación (5.3) y luego en (5.2):

$$\beta_U = 0.358$$

$$u_F = 0.2$$

Y dado que $U_p=269.44$, reemplazando en (5.1):

$$U_N = 53.89$$

En la Figura 5.12 se muestra la simulación del sistema desbalanceado propuesto y la reconstrucción del mismo a partir del cálculo de la secuencia positiva, tomando en cuenta que este sistema es el resultante de suma de ambas secuencias (ver Fig. 2.5) tal como se ve en la ecuación (2.23). La comparación entre ambas resulta en un error menor al 3.92% con respecto a los valores del desbalance, pero presenta un error nulo en cuanto a las fases de cada tensión de línea. La razón de este error en las magnitudes se debe básicamente a que el método para el cálculo de la magnitud de la secuencia negativa dado por la IEC es empírico y cuyo efecto no perjudica el desenvolvimiento del sistema de sincronismo, tal como se ha visto en las simulaciones anteriores. De esta manera se verifica el funcionamiento del cálculo de la secuencia positiva y de su uso en un futuro trabajo sobre compensación de desbalance de tensiones.

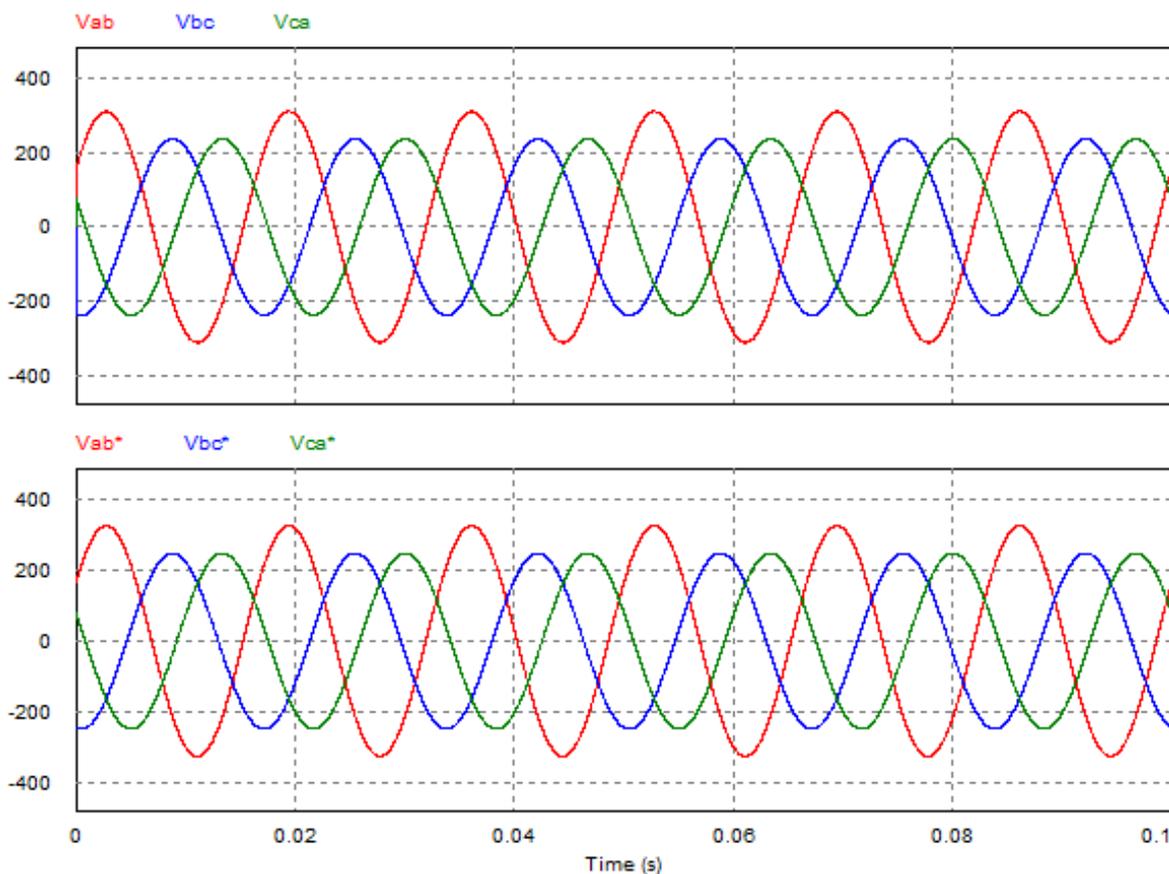


Figura 5.12: Comparación de red desbalanceada original y reconstruida.

5.2.2. Simulación del sistema de control en tiempo discreto.

En base al diseño propuesto en el capítulo IV se desarrolla el esquema de bloques en Simulink, los parámetros de funcionamiento de dichos bloques se encuentran detallados en el Anexo B, siendo la frecuencia de muestreo la que se definió en el capítulo IV de 12.5KHz.

Se considera como señales de ingreso ene l sistema señales trifásicas con perturbaciones de desbalance de fase y distorsión armónica, la primera aparece en $t=0.04s$ hasta $t=0.10s$ y la segunda inicia en $t=0.10s$ y acaba en $t=0.16s$, cabe mencionar que el sistema de control empieza su funcionamiento en $t=0.0125$. El esquema realizado en Simulink se muestra en la Figura 5.13.

En la Figura 5.14 se muestra la respuesta del sistema de control en tiempo discreto del sistema de sincronismo de un sistema trifásico con desbalance y distorsión armónica (Figura 5.14 (a)), al igual que en la simulación en tiempo continuo la respuesta en frecuencia presenta poca oscilación cuando hay distorsión armónica siendo el %THD igual a 0.8%, este valor de distorsión es bastante bajo considerando la magnitud del desbalance y de la amplitud de la señal de distorsión armónica. La respuesta de fase presenta buena inmunidad a las perturbaciones ingresadas, esta respuesta se muestra

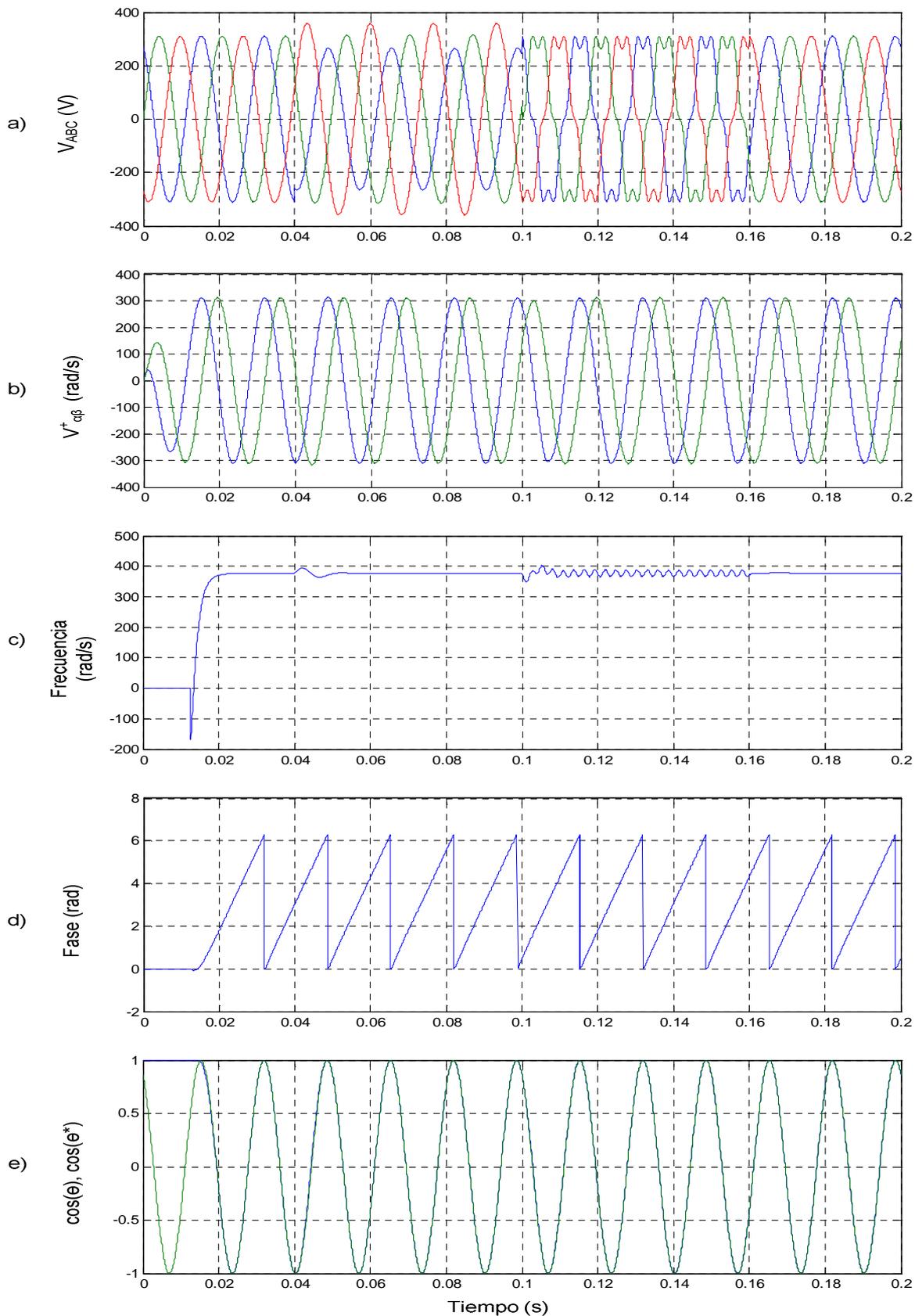


Figura 5.14: Respuesta del sistema de control para red trifásica con desbalance y distorsión armónica en tiempo discreto. a) Red Trifásica con perturbaciones, b) Componentes simétricas V_{α} y V_{β} , c) Frecuencia, d) Fase y e) Formas de onda.

5.3. Simulación del sistema de sincronismo en PSIM.

PSIM, como se mencionó en el primer capítulo, es un software de simulación de electrónica de potencia, en cual presenta grandes características, siendo de mucha utilidad para simular sistemas electrónicos de potencia en una fase previa a la implementación.

La Figura 5.15 muestra el diagrama de bloques elaborado en PSIM, al igual que en Simulink se crearon bloques adicionales en la generación de las señales con el objetivo de simular perturbaciones.

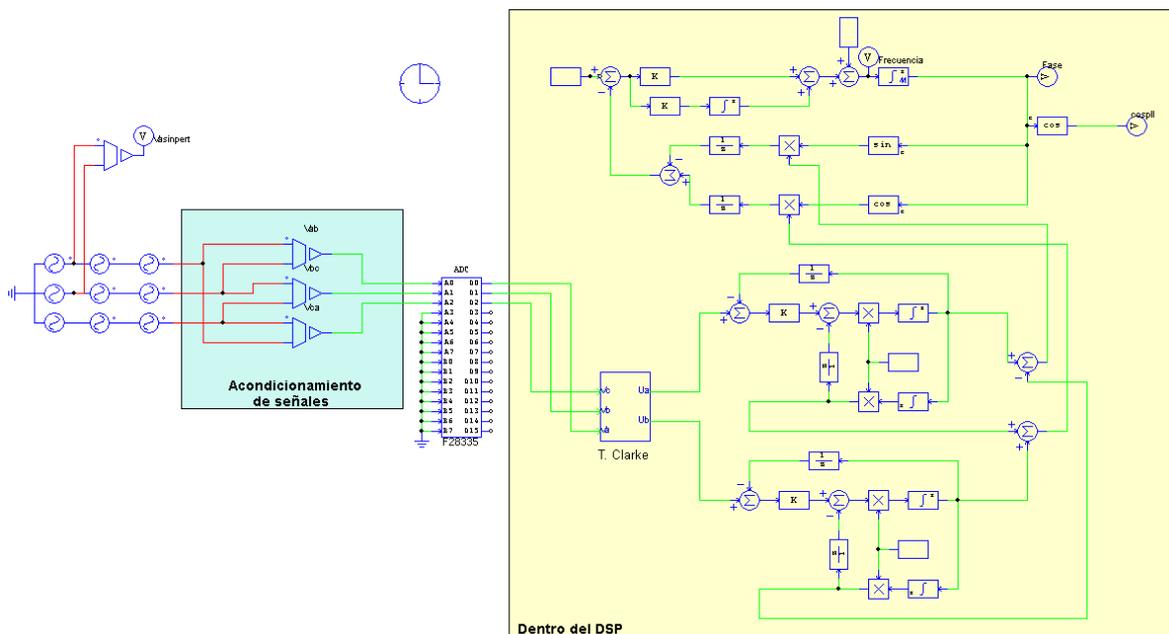


Figura 5.15: Diagrama de bloques del sistema de sincronismo en PSIM.

Los resultados en esta simulación son muy parecidos a los obtenidos en la simulación del sistema de control en tiempo discreto hecho en Simulink, en esta simulación se da un desbalance de fases en $t=0.04s$ hasta $t=0.14s$ y en la otra se ingresa una señal armónica también en $t=0.04s$ y que termina en $t=0.14s$ y se nota una buena respuesta en la fase lo cual se ve reflejado en la sincronización de fases mostradas en las Figuras 5.16 y 5.17.

En las gráficas de respuesta en frecuencia de ambos casos, a diferencia de las simulaciones efectuadas en MATLAB, se pueden notar que presentan ciertas ondulaciones muy pequeñas que son producidas por el integrador en tiempo discreto con reset interno, como se conoce este tipo de integrador resetea la variable causando una muy pequeña no linealidad, esta observación es interesante ya que de alguna manera va a anticiparnos de alguna manera el comportamiento de la respuesta de frecuencia obtenida en el DSP.

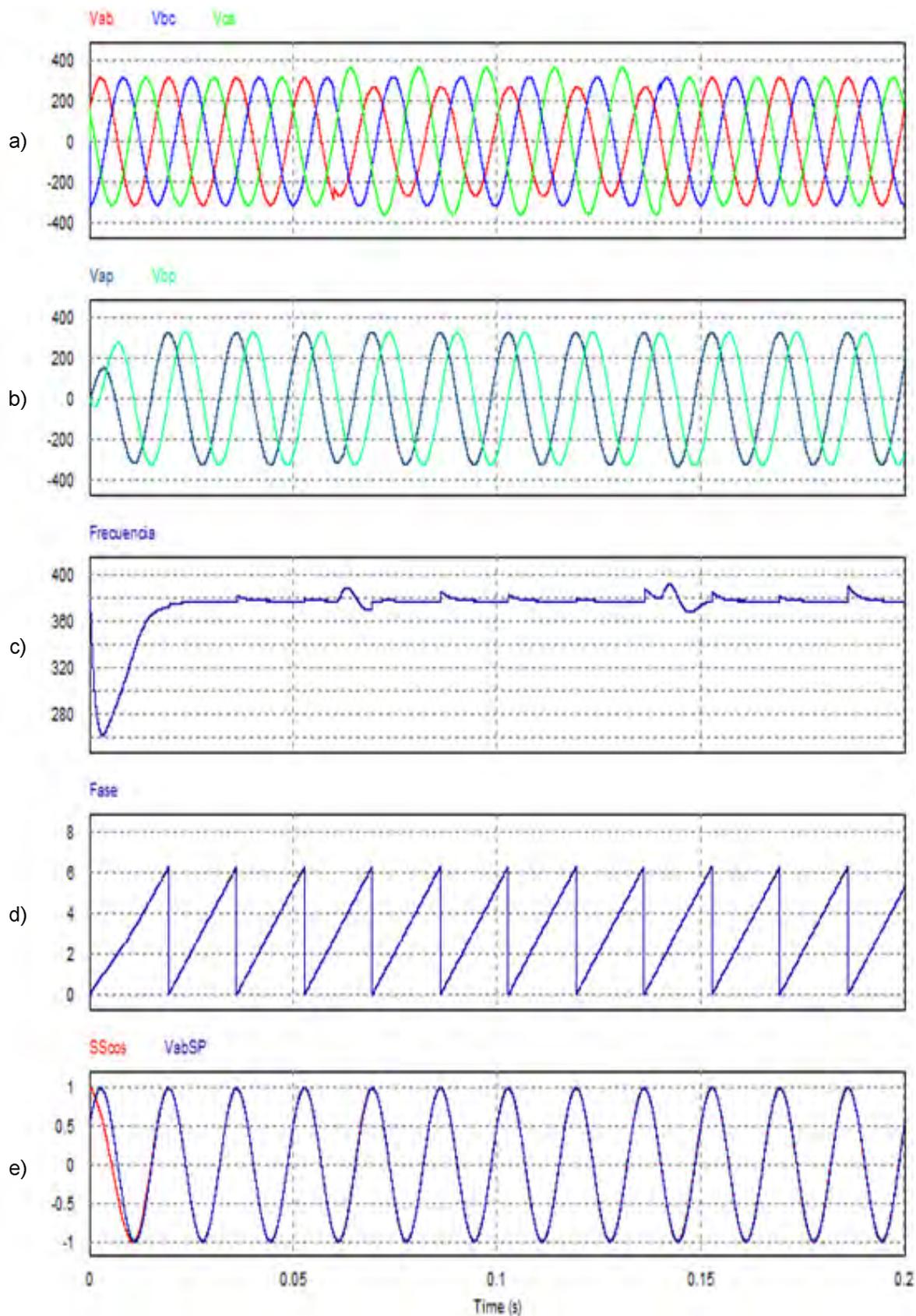


Figura 5.16: Respuesta del sistema de control para red trifásica con desbalance y en PSIM. a) Red Trifásica con desbalance, b) Componentes simétricas V_{α} y V_{β} , c) Frecuencia, d) Fase y e) Formas de onda.

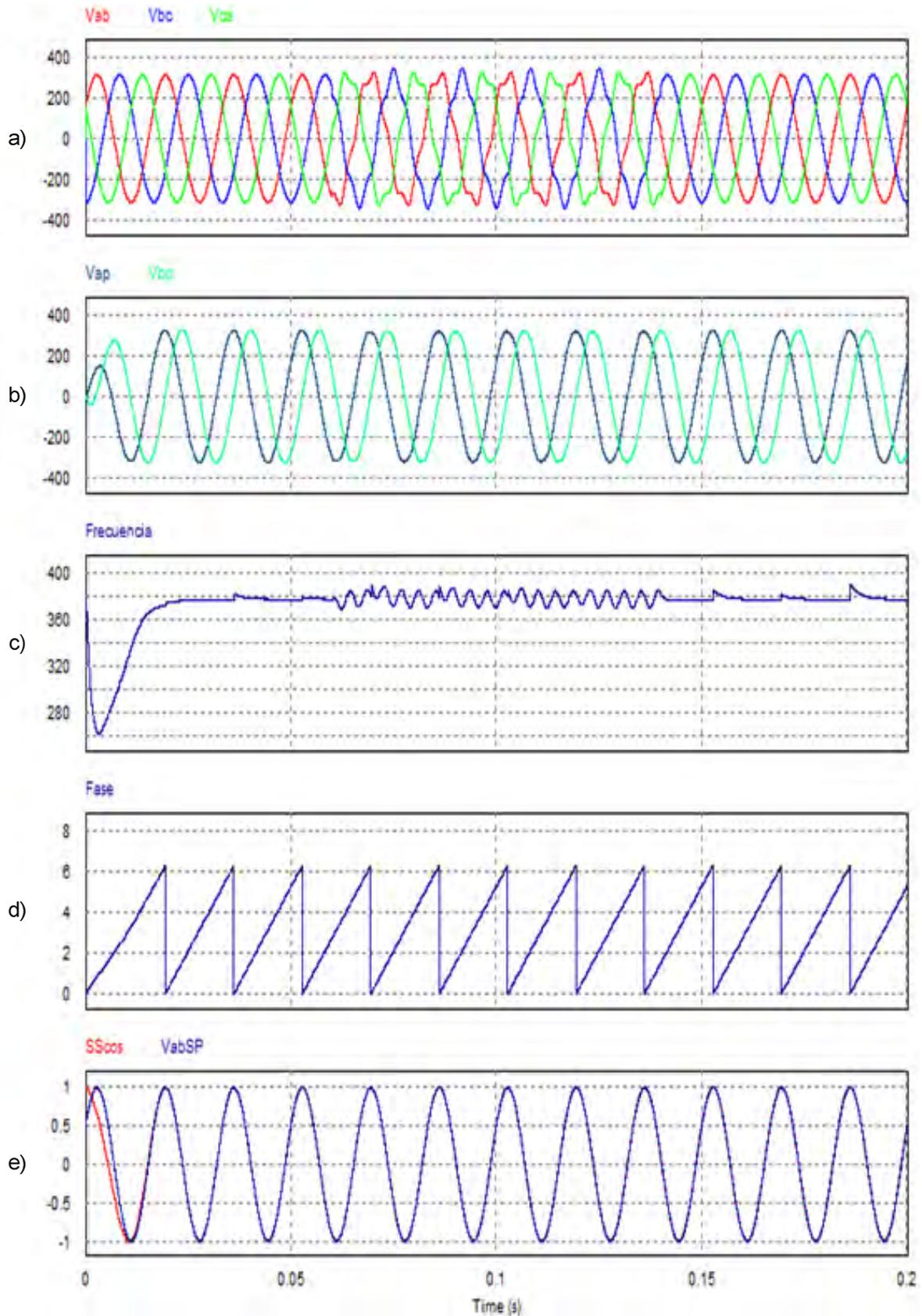


Figura 5.17: Respuesta del sistema de control para red trifásica con distorsión armónica en PSIM. a) Red Trifásica con distorsión armónica, b) Componentes simétricas V_{α} y V_{β} , c) Frecuencia, d) Fase y e) Formas de onda.

PSIM presenta una herramienta para hacer el cálculo de la distorsión armónica, el cual para esta simulación tiene un valor de 0.85% para la simulación con distorsión armónica y una valor mucho menor para el caso del desbalance, lo cual representan valores muy bajos de distorsión armónica que demuestran la buena inmunidad del sistema de sincronismo a las perturbaciones y que respaldan el diseño realizado en el capítulo anterior.

5.4. Simulación de pruebas en laboratorio.

Los datos con los cuales fueron realizadas las simulaciones fueron obtenidos en las pruebas de laboratorio, siendo el objetivo de estas simulaciones la de contrastar los resultados en estas con los resultados obtenidos en las pruebas experimentales.

5.4.1. Simulación de la prueba de tensiones de línea con armónicos.

Para la realización de esta prueba se usaron algunos datos obtenidos durante las pruebas experimentales en el laboratorio. El primer dato utilizado fue la señal de salida (ver Figura 5.18) obtenida de la resistencia de medición de los transductores de voltaje, esta señal es bastante exacta ya que en su obtención se utilizaron resistencias de alta precisión (1%). El segundo dato utilizado es la gráfica FFT de dicha señal (ver Figura 5.19), a partir de esta gráfica de pueden obtener las magnitudes de los armónicos en la fuente trifásica.

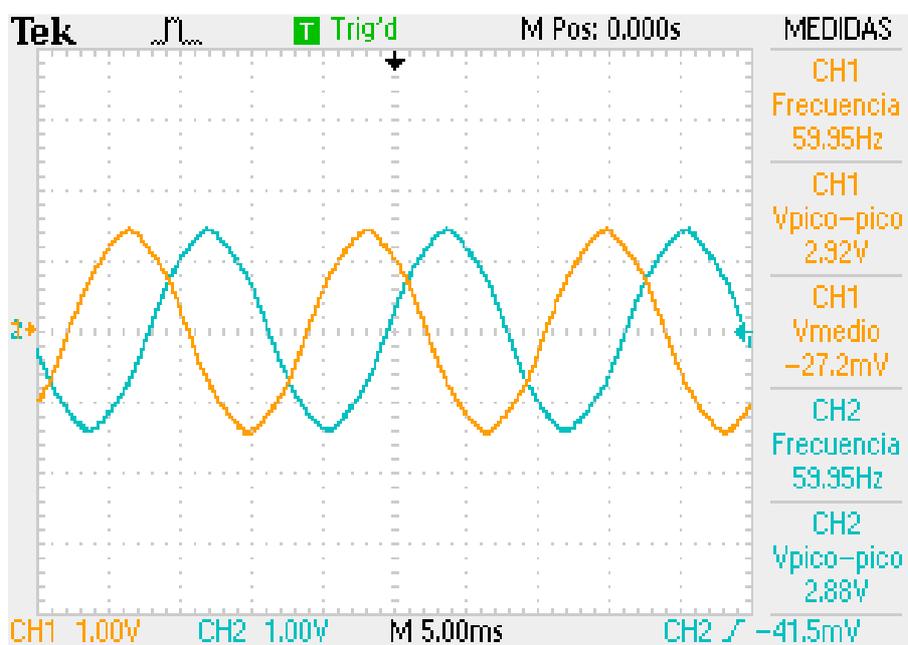


Figura 5.18: Señales de salida de los transductores de voltaje de la medición de las tensiones trifásicas.

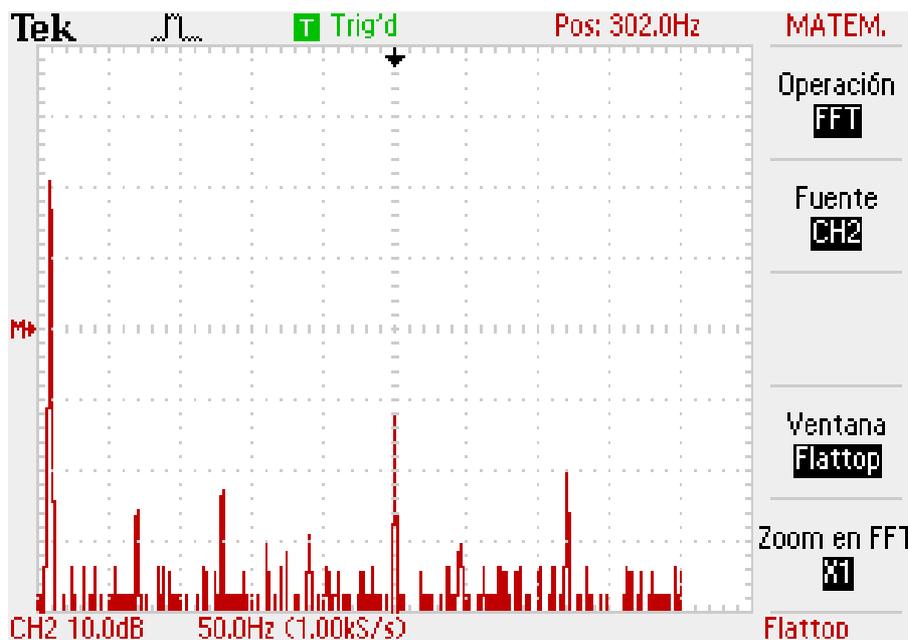


Figura 5.19: Gráfica FFT de la señales de salida de los transductores de voltaje.

Utilizando dichas capturas se elaboró la siguiente tabla, la cual representa el porcentaje que representa cada armónico de la componente fundamental. Es dato permite generar por medio de PSIM una fuente que presente las características de la fuente trifásica en el laboratorio.

Tabla 5.1: Armónicos en fuente trifásica.

Componente	Magnitud	Porcentaje de fundamental
Fundamental (60Hz)	61dB	100%
3er armónico (180Hz)	20dB	0.9%
5to armónico (300Hz)	28dB	2.3%
7mo armónico (420Hz)	20dB	0.9%

La simulación de la prueba con tensiones de línea con armónicos se muestra en la Figura 5.20. Las fuentes de voltaje con las características mencionadas se muestran en la primera parte dicha figura, se nota el parecido entre las señales simuladas con los datos de laboratorio y las originales. En la segunda parte se presentan la respuesta de las componentes del eje estacionario resultantes del cálculo de la secuencia positiva, notándose la equivalencia entre las amplitudes de ambas componentes y la cuadratura entre ambas.

En la tercera parte de esta figura se ve la respuesta de la frecuencia, en ella la frecuencia presenta unas leves oscilaciones, estas son causadas por los armónicos introducidos en la fuente trifásica. La cuarta parte presenta la respuesta de la fase sin las ondulaciones características de las componentes armónicas, la comparación entre la tensión de fase escalada que ingresa al sistema "Vab" con la señal coseno que se obtiene del DSP

“SScos” es mostrada en la quinta parte. La respuesta del sistema de sincronismo se aprecia mejor en la última parte de la figura, en ella se comparan la función coseno “SScos” de la fase calculada y la forma de onda coseno de la señal de entrada sin perturbaciones “VabSP”.

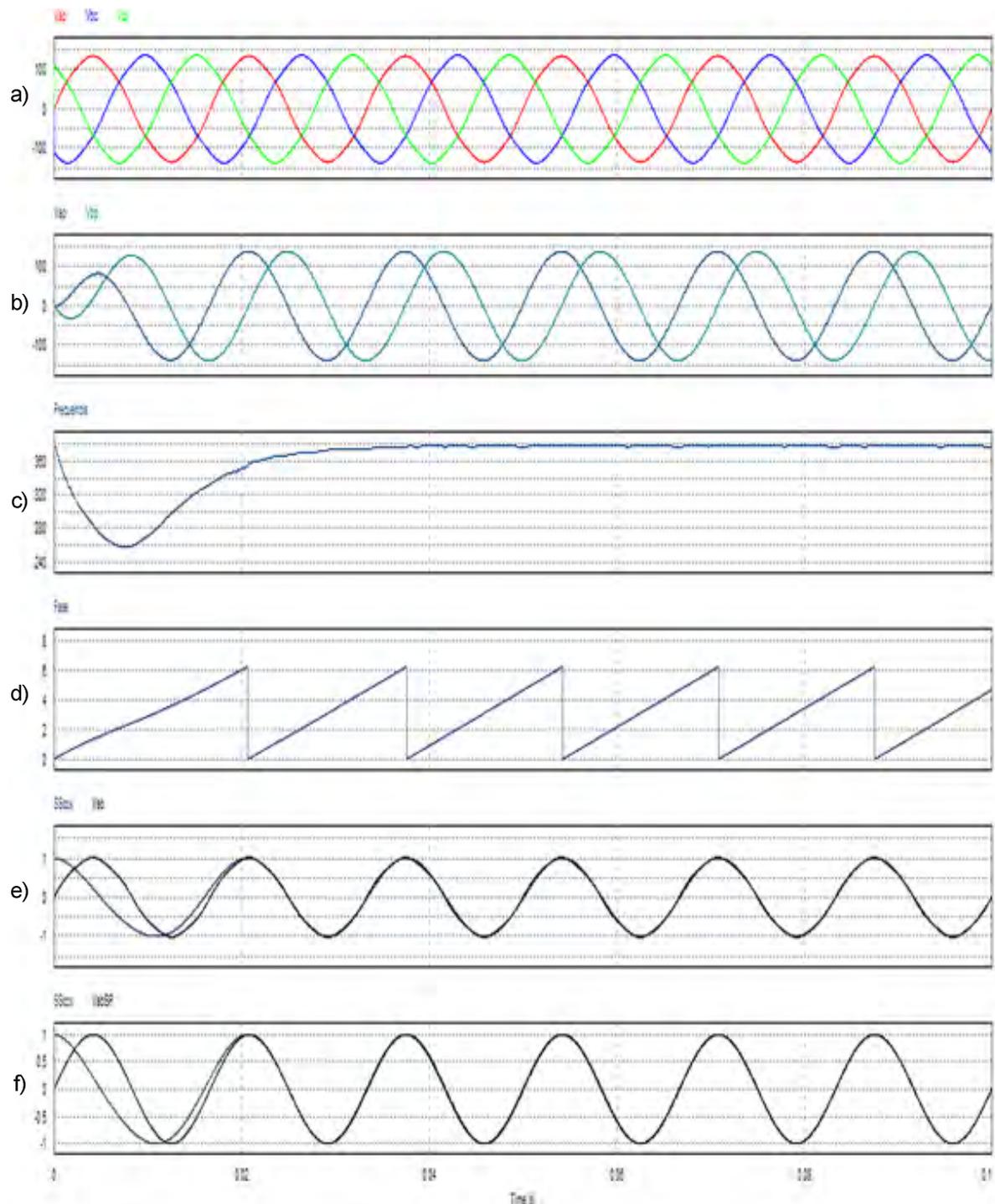


Figura 5.20: Simulación prueba en laboratorio con tensiones de línea con distorsión armónica. a) Red trifásica con distorsión armónica, b) Secuencia Positiva en Sistema de referencia α - β , c) Frecuencia, d) Fase, e) Comparación entre fase con y sin perturbación, y f) Formas de onda.

5.4.2. Simulación de la prueba con tensiones de fase con armónicos.

Al igual que en la simulación anterior para esta simulación se utilizaron datos obtenidos en laboratorio, con el fin de poder simular de la manera más exacta las pruebas a realizar en el laboratorio y poder contrastar los resultados de manera confiable.

Los datos utilizados se muestran en las capturas mostradas en la Figura 5.21, en la primera se muestra las tensiones de fase y como se ve estas evidentemente presentan distorsión armónica. En la segunda se muestran las tensiones de línea pero en estas no presenta signos de contener armónicos, con lo cual se deduce que la distorsión en las tensiones de fase se debe a la presencia de un tercer armónico.

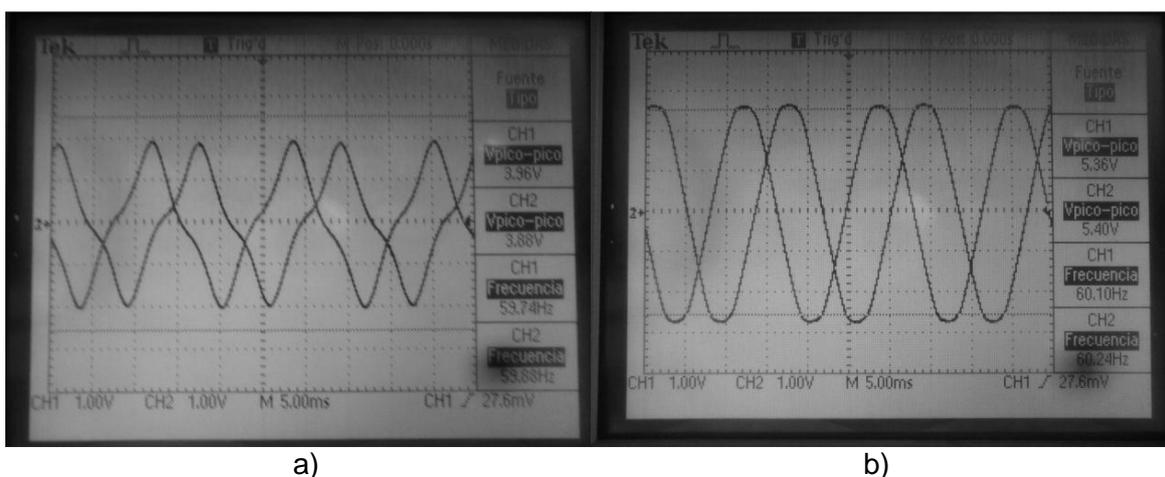


Figura 5.21: Prueba con tensiones de fase con armónicos. a) Tensiones de fase y b) Tensiones de línea con distorsión armónica (94.12V/div)

Para la simulación de esta prueba se tiene en claro de hay varios posibles resultados al incluir un tercer armónico en la tensión de fase, estos resultados dependen de la fase en la cual se incluye la componente armónica. En la Figura 5.22 se muestran dos posibles opciones del efecto que produce el tercer armónico en la forma de onda sinusoidal donde la componente armónica fue incluida con fases de 0° y 180° respectivamente, a partir de esto se planteó realizar la simulación con la segunda dado que evidentemente se trata de esta opción.

Las lecturas de los valores de voltaje pico-pico que aparecen en las capturas son los datos que hacen posible la simulación de la fuente trifásica con las características que presenta realmente y también las simulaciones de las pruebas de desbalance.

En la Figura 5.21 se puede ver que las tensiones de línea tienen un voltaje pico pico de 5.36V, este valor es obtenido de la resistencia de medición del transductor de voltaje siendo el factor de conversión la que aparece en la ecuación 4.1 se puede deducir la tensión de línea:

$$\frac{\text{Voltaje Salida}}{\text{Voltaje Entrada}} = 0.010625 \rightarrow \text{Voltaje Entrada} = 94.1176 \times \text{Voltaje de salida} \quad (5.4)$$

Por lo tanto, siendo V_{p-AB} el voltaje pico de la tensión de línea V_{AB} y V_{p-Af} el voltaje pico de la componente fundamental de la tensión de fase V_A :

$$V_{p-AB} = 252.235$$

Luego:

$$V_{p-Af} = \frac{V_{p-AB}}{\sqrt{3}} = 145.628V \quad (5.5)$$

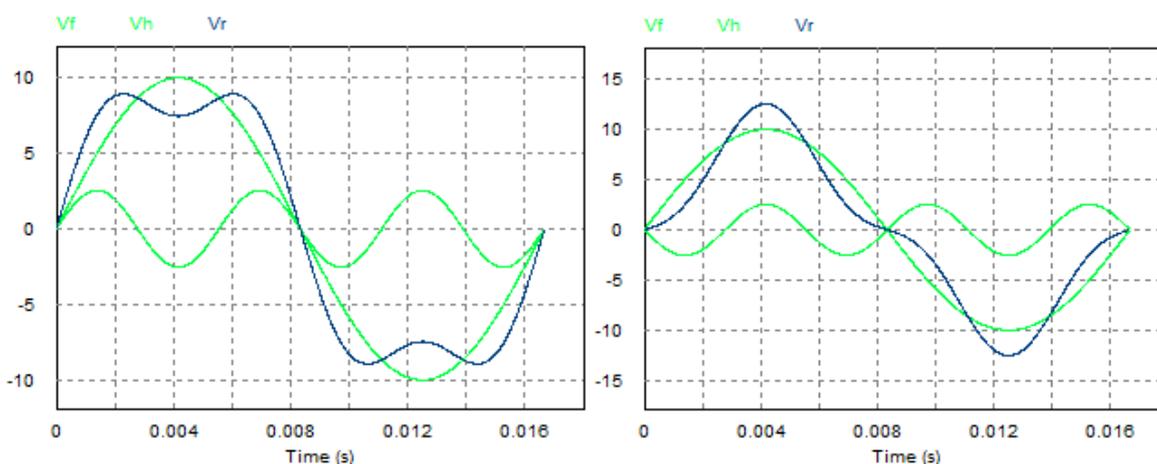


Figura 5.22: Efecto del tercer armónico en la forma de onda sinusoidal.

De la Figura 5.21 se tiene el V_{pp} de la tensión de fase obtenida en la resistencia de medición, por lo que haciendo un cálculo similar al anterior se puede obtener el valor real de la tensión de fase, cabe indicar que la amplitud de la tensión es aproximadamente igual a la suma de la componente fundamental de la tensión de fase y la amplitud del tercer armónico V_{p-A3h} (ver Fig. 5.22).

$$V_{p-A} = 182.588V$$

$$V_{p-A} = V_{p-Af} + V_{p-Ah} \quad (5.6)$$

$$V_{p-A3h} = 36.9601V$$

Por lo tanto, de lo anterior se deduce que la relación entre el tercer armónico y la componente fundamental estará definida por el siguiente valor:

$$\frac{V_{p-3h}}{V_{p-f}} = \frac{182.588V - 145.628V}{145.628V} \times 100\% = 25.38\% \quad (5.7)$$

Este último valor calculado es el porcentaje que representa la componente armónica de la componente fundamental y es un dato muy importante, ya que se utilizará para simular el sistema de sincronismo, además también se usarán para explicar las formas de onda de las tensiones de entrada y resultados a obtener en las pruebas experimentales.

La simulación de la prueba con tensiones de fase con armónicos se muestra en la Figura 5.23. Las fuentes de voltaje con las características mencionadas se muestran en la primera parte dicha figura, se nota el parecido entre las señales simuladas con los datos

de laboratorio y las originales. En la Figura 5.23 (b) se presentan la respuesta de las componentes del eje estacionario resultantes del cálculo de la secuencia positiva, notándose la equivalencia entre las amplitudes de ambas componentes y la cuadratura entre ambas.

En la Figura 5.23 (c) se muestra la respuesta de la frecuencia, en ella la frecuencia presenta unas leves oscilaciones, estas son causadas por los armónicos introducidos en la fuente trifásica. La Figura 5.23 (d) presenta la respuesta de la fase sin las ondulaciones características de las componentes armónicas, la comparación entre la tensión de fase escalada que ingresa al sistema “Va” con la señal coseno que se obtiene del DSP “SScos” es mostrada en la quinta parte (Figura 5.23 (e)). La respuesta del sistema de sincronismo se aprecia mejor en la Figura 5.23 (f), en ella se comparan la función coseno “SScos” de la fase calculada y la forma de onda coseno de la señal de entrada sin perturbaciones “VaSP”.

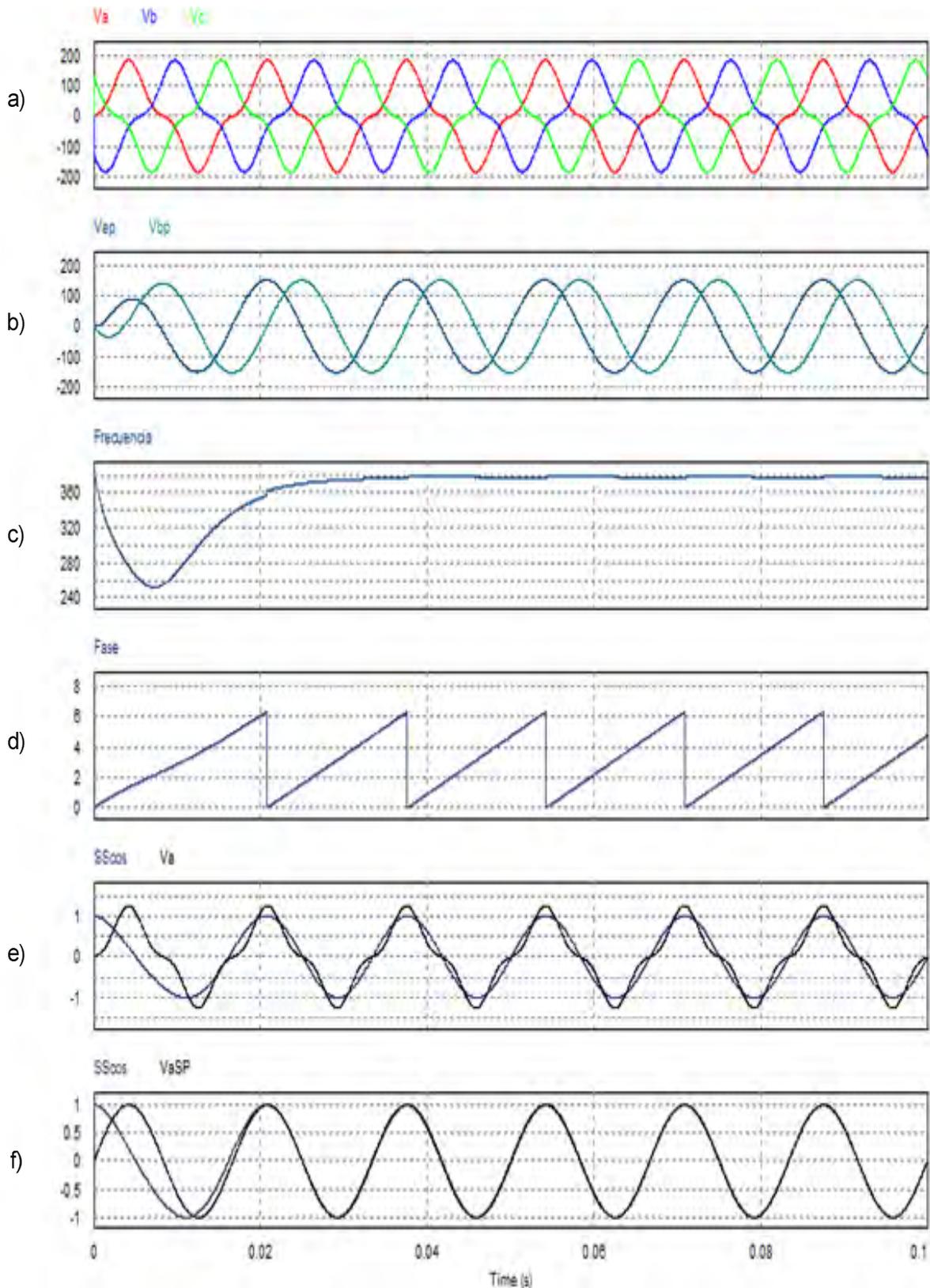


Figura 5.23: Simulación prueba en laboratorio con tensiones de fase con distorsión armónica. a) Red trifásica con distorsión armónica, b) Secuencia Positiva en Sistema Referencia α - β , c) Frecuencia, d) Fase, e) Comparación entre fase con y sin perturbación, y f) Formas de onda.

5.4.3. Simulación de prueba con tensiones de línea con desbalance.

Los parámetros usados para la fuente trifásica son los mismos que en la simulación anterior, con la condición de que ahora se efectuaron cambios en las magnitudes de las tensiones de fase y por consecuencia las magnitudes de las tensiones de línea y la consideración de que el porcentaje 25.38% que representa la componente armónica con respecto de la componente fundamental es el mismo que en la simulación anterior por tratarse de los mismos equipos usados en laboratorio.

En las simulaciones mostradas a continuación se hizo 3 capturas (Figuras 5.24, 5.25 y 5.26), en la Tabla 5.2 se muestran los valores de tensiones de fase que se usaron en la obtención de las siguientes Figuras.

Tabla 5.2: Valores de tensión de fase para las simulaciones de prueba con desbalance de tensiones.

Simulaciones	V _A	V _B	V _C
Simulación A	25.75	51.49	51.49
Simulación B	51.49	51.49	25.75
Simulación C	30.89	51.49	72.08

Cada Figura muestra seis gráficas siguiendo el mismo patrón que las simulaciones anteriores. En la primera gráfica se muestran las tensiones de línea desbalanceadas de acuerdo a los valores definidos en la Tabla 5.2. En la segunda gráfica se muestra la respuesta de las componentes estacionarias U_a y U_b de secuencia positiva. Luego se muestran en la siguiente gráfica la respuesta en frecuencia del sistema de sincronismo, mostrando las oscilaciones características de los armónicos que contienen las señales de entrada. La respuesta de la fase y la comparación entre el comportamiento del sistema de sincronismo y las tensiones de entrada.

Posterior a cada figura se encuentra una tabla, en la cual se anotan los datos obtenidos a partir de las simulaciones, estos datos son los tiempos (t_{de}) que se encuentran desplazadas una tensión con respecto a la otra y el ángulo equivalente (θ_{eq}) a ese tiempo de desplazamiento, calculando de la siguiente manera.

$$\theta_{eq} = \frac{t_{de}}{0.01666 \text{ s}} \times 360^\circ \quad (5.8)$$

Las características y detalles obtenidos en estas simulaciones serán de mucha importancia para corroborar los resultados obtenidos en las pruebas experimentales.

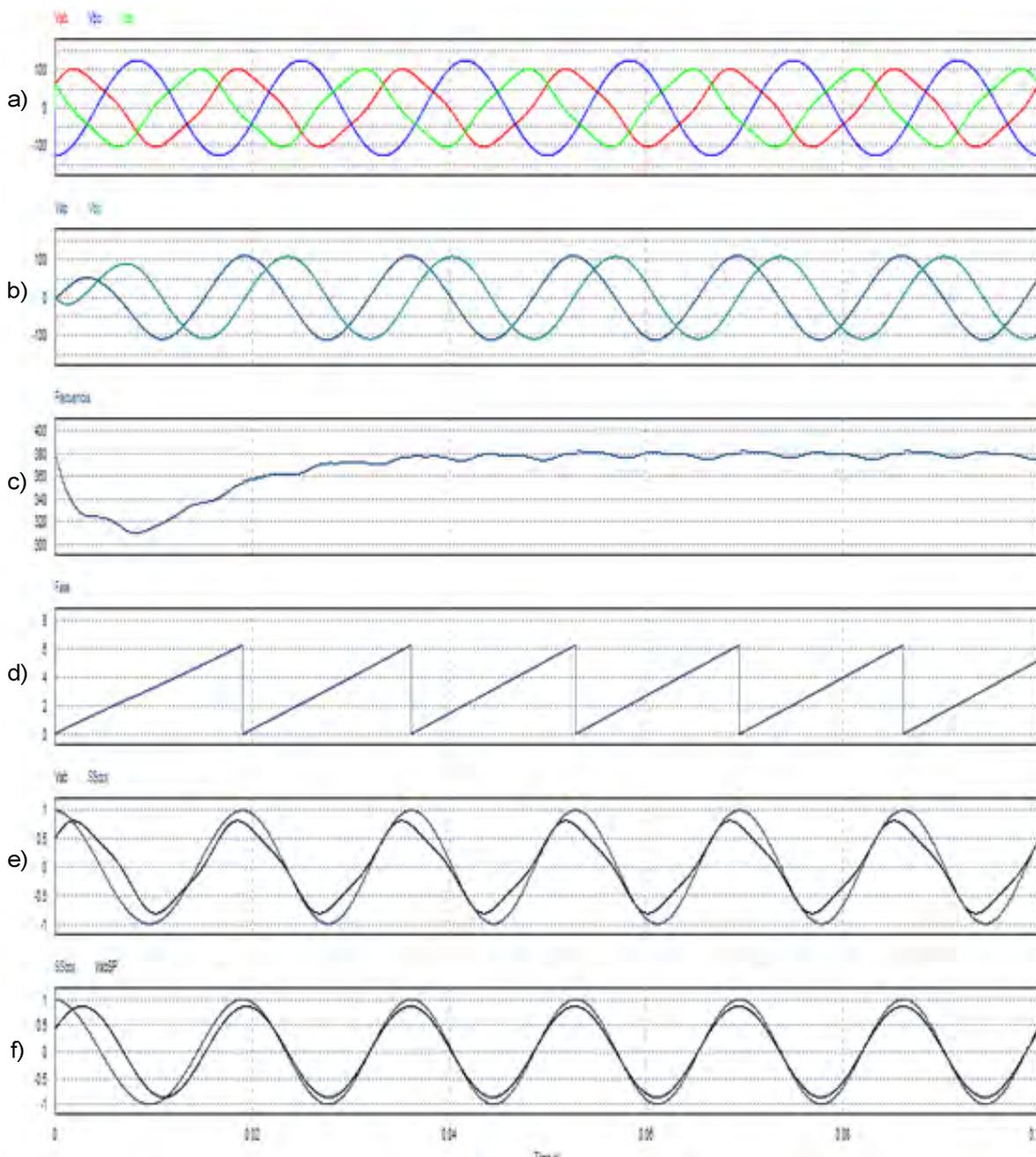


Figura 5.24: Simulación A de prueba de laboratorio con tensiones de línea desbalanceadas. a) Red trifásica con desbalance, b) Secuencia Positiva en Sist. Ref. α - β , c) Frecuencia,

d) Fase, e) Comparación entre fase con y sin perturbación, y f) Formas de onda.

Tabla 5.3: Tiempo de desplazamiento de una señal respecto a otra en la simulación A.

Señales	Tiempo de desplazamiento (s)	Angulo equivalente (°)
V_{AB} / V_{CA}	0.00375	81.00
V_{BC} / V_{AB}	0.00646	139.54
V_{CA} / V_{BC}	0.00646	139.54
Fase / V_{AB}	0.00101	21.82

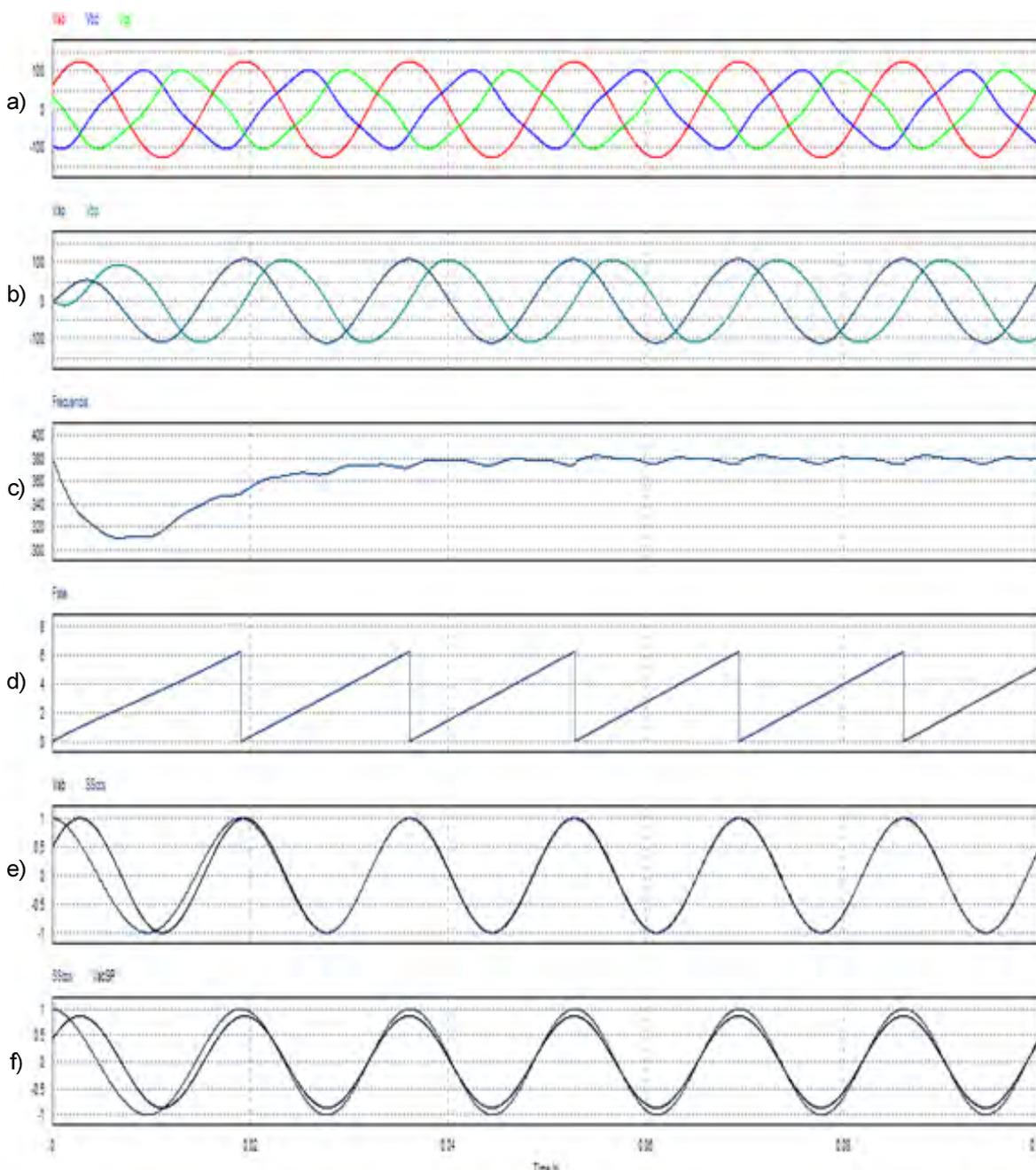


Figura 5.25: Simulación B de prueba de laboratorio con tensiones de línea desbalanceadas. a) Red trifásica con desbalance, b) Secuencia Positiva en Sistema de Referencia α - β , c) Frecuencia, d) Fase, e) Comparación entre fase con y sin perturbación, y f) Formas de onda.

Tabla 5.4: Tiempo de desplazamiento de una señal respecto a otra en la simulación B.

Señales	Tiempo de desplazamiento (s)	Angulo equivalente ($^{\circ}$)
V_{AB} / V_{CA}	0.00646	139.54
V_{BC} / V_{AB}	0.00646	139.54
V_{CA} / V_{BC}	0.00375	81.00
Fase / V_{AB}	0.00002	0.43

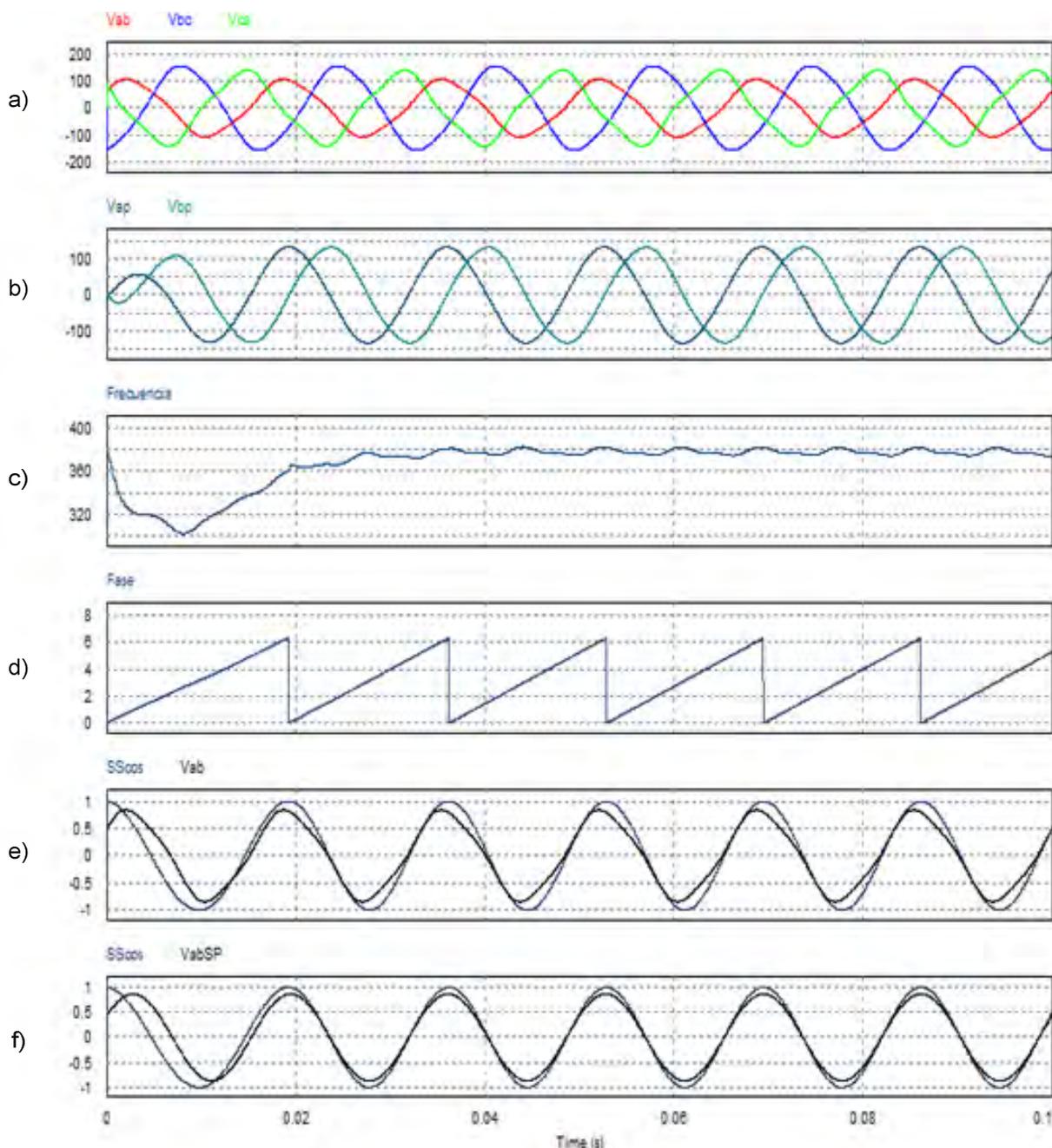


Figura 5.26: Simulación C de prueba de laboratorio con tensiones de línea desbalanceadas. a) Red trifásica con desbalance, b) Secuencia Positiva en Sistema de Referencia α - β , c) Frecuencia, d) Fase, e) Comparación entre fase con y sin perturbación, y f) Formas de onda.

Tabla 5.5: Tiempo de desplazamiento de una señal respecto a otra en la simulación C.

Señales	Tiempo de desplazamiento (s)	Angulo equivalente (°)
V_{AB} / V_{CA}	0.00380	82.08
V_{BC} / V_{AB}	0.00575	124.20
V_{CA} / V_{BC}	0.00712	153.79
Fase / V_{AB}	0.00079	17.06

CAPITULO IV IMPLEMENTACION

En este capítulo se hablará sobre la implementación tanto del sistema de control en el DSP, del circuito de acondicionamiento de señales y de las fuentes de alimentación como también del conexionado, además se detalla el funcionamiento del algoritmo del control y de las rutinas involucradas.

6.1. Descripción.

La Figura 6.1 muestra el esquema de implementación del Sistema en el cual se denotan las conexiones entre las entradas ADC y pines específicos del DSP TMS320F28335, el cual es un DSP de 32 bits de punto flotante de 150MHz, con los demás componentes del sistema.

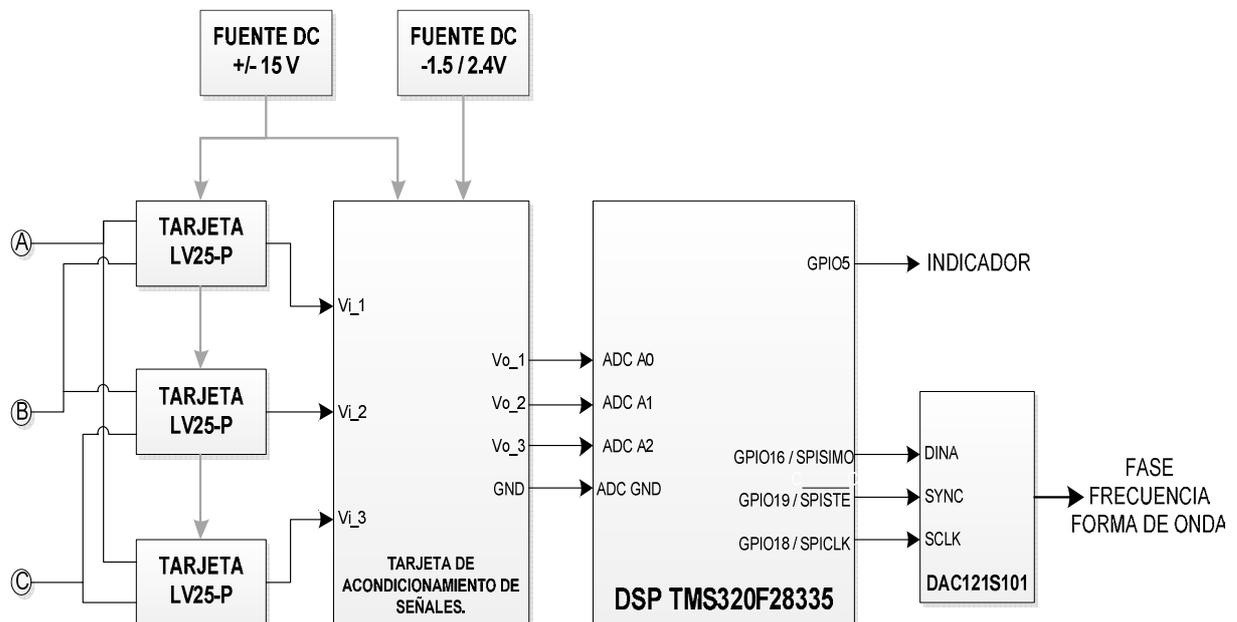


Figura 6.1: Esquema de implementación del Sistema.

En el sistema las tarjetas que contienen los transductores de voltaje de efecto Hall hacen la medición de las tensiones de línea cuyo valor es de $220V_{rms} / 60Hz$, luego estas señales obtenidas se ingresan a la tarjeta que contiene los circuitos de acondicionamiento de señal, dichos circuitos entregan 4 señales, 3 señales a 3 de los 16

canales disponibles en el ADC del DSP y una señal de tierra analógica. Estas señales serán procesadas en el DSP mediante un algoritmo de control, el cual se detallará más adelante, para luego visualizar la fase de sistema trifásico a través de un DAC mediante la interface serial SPI.

6.2. Implementación del circuito de acondicionamiento de señales y fuentes de alimentación.

De acuerdo al diseño y a los resultados de simulación se realiza la implementación de las tarjetas de los transductores de voltaje, de acondicionamiento de señales y de las fuentes de alimentación. En lo que respecta a la implementación de las tarjetas del transductor de voltaje, mostrado en la Figura 6.2, se considera importante el orden en las señales de ingreso, ya que el resultado de ingresar V_{BA} será muy distinto en vez de ingresar V_{AB} , por lo que el correcto conexionado mostrado en Figura 6.1 garantizará el correcto funcionamiento del sistema. Las tarjetas del transductor de voltaje al igual que la tarjeta de acondicionamiento de señales (ver Figura 6.3) cuyo esquema se muestra en la Figura 4.6 son alimentadas por las fuentes bipolares, las cuales se muestran en la Figura 6.4, y cuyos esquemas se muestran en el Capítulo IV.

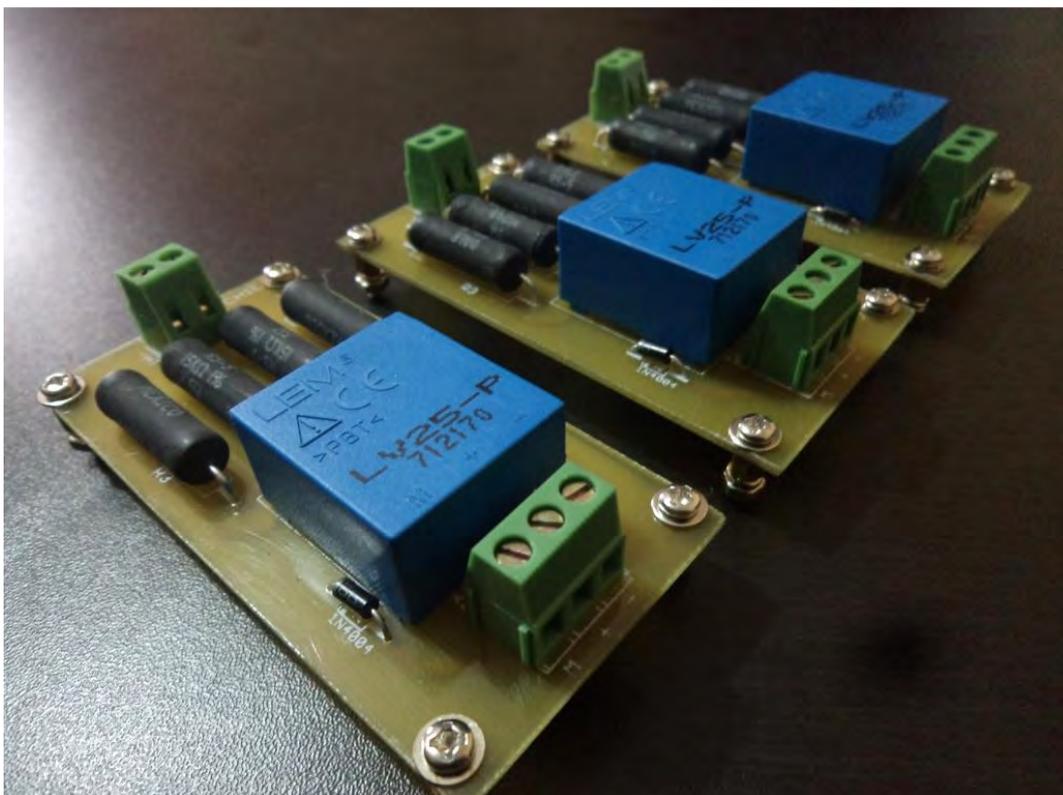


Figura 6.2: Tarjetas del transductor de voltaje.

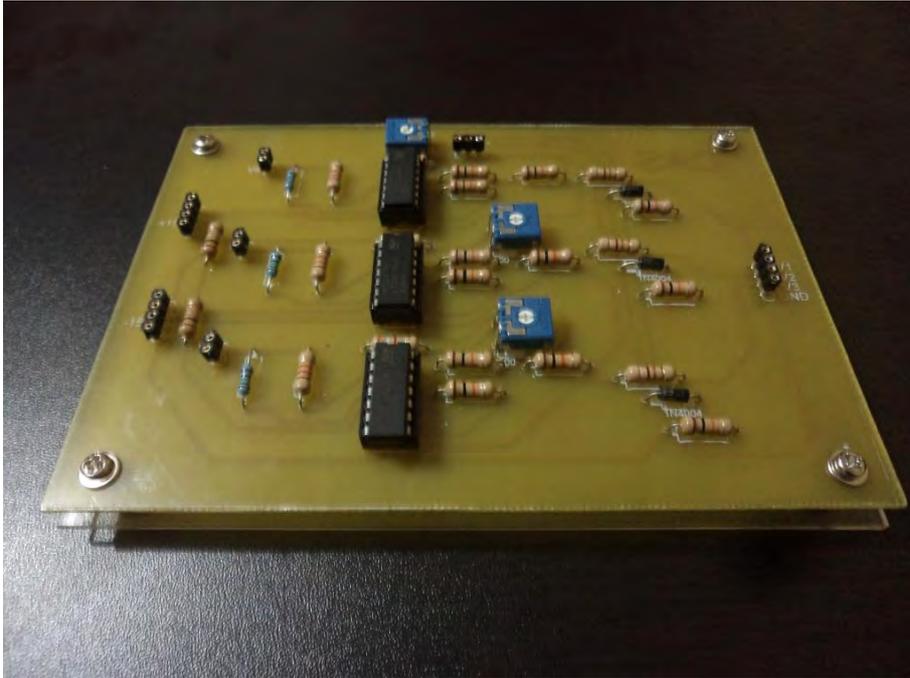


Figura 6.3: Tarjeta de acondicionamiento de señales.



Figura 6.4: Fuentes de alimentación reguladas.

La Figura 6.5 muestra una señal acondicionada al DSP, en ella pueden notar las características definidas en la etapa de diseño que debía tener la señal acondicionada y que se observó en las simulación previa.

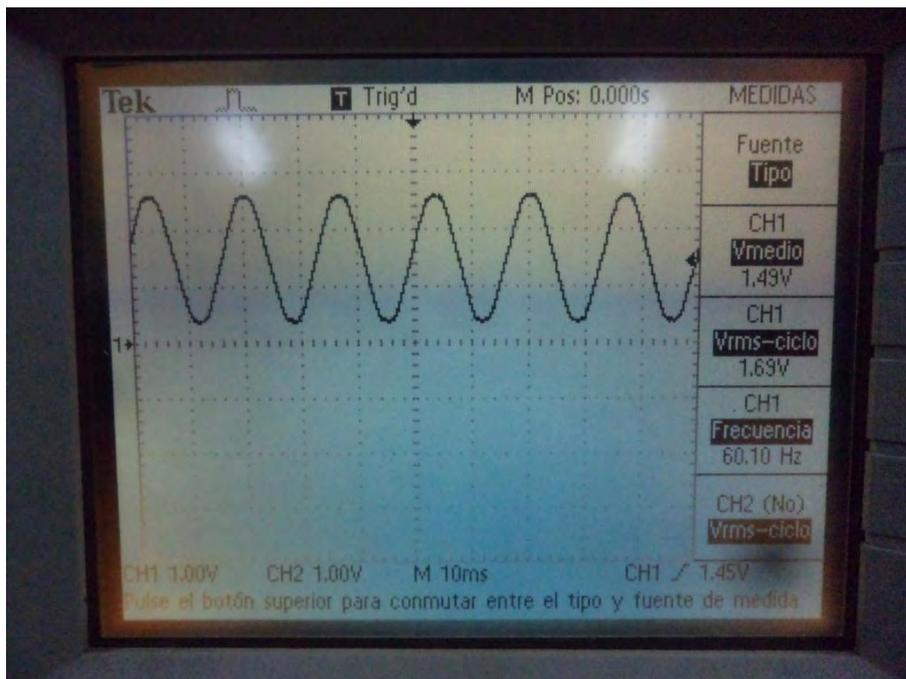


Figura 6.5: Señal acondicionada al DSP

6.3. Implementación del sistema de control en el DSP.

El reloj interno del procesador digital de señales puede alcanzar una frecuencia de procesamiento de 150MHz lo que quiere decir que el DSP es capaz de procesar una instrucción en 6.66ns, este valor puede ser variado de acuerdo a la configuración que se le dé al DSP. Esta configuración dentro del programa realizado se lleva a cabo mediante la rutina llamada `InitSysCtrl()`, en ella se configura la frecuencia del reloj del sistema así como también de los relojes de apoyo de alta y baja velocidad.

Todo módulo o herramienta que se quiera utilizar del DSP tiene que ser configurado previo a la ejecución el programa principal lo que pone la configuración en el primer paso de la implementación del algoritmo de control.

Luego del configurar el reloj del sistema se configura la secuencia de interrupciones, donde se ubicará como única interrupción la que configuró en el `Timer0`, esta rutina se llama `InitPieVectTable()` y otra de sus funciones es de crear un flujo ordenado de las interrupciones, siendo de gran utilidad cuando se hace uso de más interrupciones.

Una vez establecida la interrupción en el PIE, se habilitan las compuertas para que se ejecuten las interrupciones.

En la implementación del sistema de sincronismo se emplearon 3 herramientas del DSP en particular, las cuales son: las interrupciones de reloj, el ADC y la comunicación por protocolo SPI.

La interrupción del `Timer0` es importante, ya que establece el tiempo de muestreo del sistema de sincronismo. Esta interrupción es necesaria debido a que el ADC del DSP no

admite frecuencias de muestreo por debajo de 1MHz, por lo que sería erróneo utilizar el tiempo del muestreo del ADC dado que la frecuencia de muestreo planteada para el sistema de sincronismo es de 12.5KHz.

En lo que respecta al ADC, se configura una frecuencia de muestreo de 25 MHz en modo cascada, es decir que cada 40ns se tendrá una pila de 16 resultados de conversión correspondientes a los 16 canales del ADC [28] (ver Figura 6.6). En la configuración también es importante establecer la secuencia en la que los datos serán adquiridos pudiendo seleccionar los canales deseados más de una vez.



Figura 6.6: Canales ADC del eZdsp F28335.

La configuración de la comunicación SPI se da por medio de dos rutinas y la ejecución de la comunicación se hace usando una tercera rutina. La primera rutina llamada `InitSpiaGpio()` habilita los pines 23, 24, 25 y 26 del bloque P8, aunque pueden ser también utilizados los pines 9, 10, 11 y 12 del bloque P10 [29], tal como se indica en los cuadros rojos de la Figura 6.7. La segunda rutina de nombre `Spi_init()` configura los parámetros de comunicación SPI como el número de bits a transmitir, la velocidad de transmisión, entre otros. La tercera está relacionada con la visualización de las variables de interés y será detallada más adelante.



Figura 6.7: Pines del Protocolo SPI del eZdsp F28335.

El algoritmo de control traducido del diseño del sistema de control es mejor explicado a través de la Figura 6.8, la cual muestra el diagrama de flujo del programa dentro del DSP. En este caso como lo indica el diagrama de flujo se utiliza la interrupción del Timer0 para hacer la conversión y toma de valores de las señales de entradas en el ADC y luego seguir con las demás rutinas.

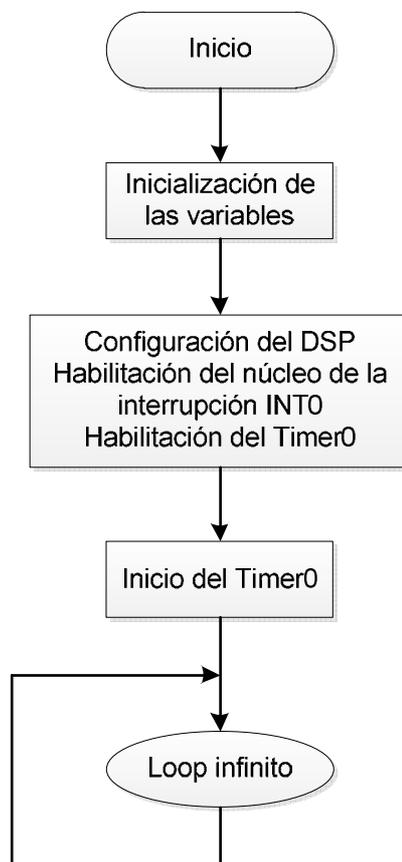


Figura 6.8: Diagrama de flujo principal.

La interrupción *InterruptTimer0* se utiliza para establecer el tiempo de muestreo del sistema el cual será de 80ns, lo cual representa una frecuencia de muestreo de 12.5KHz. En la Figura 6.9 se muestra la rutina de la interrupción Timer0, a continuación se denotarán las subrutinas elaboradas dentro de esta interrupción.

La subrutina de *acondicionamiento digital* se encarga del tratamiento inicial de las variables, es decir de la conversión de los valores enteros del resultado de la conversión en el módulo ADC del DSP y convertirlos a valores de tipo punto flotante con el objetivo de utilizar los parámetros y variables calculados en el diseño. Además se elabora un filtro de media móvil que tiene como función disminuir la oscilación que presenta el convertidor análogo a digital de los DSP. Este filtro usa la media aritmética de los últimos 11 valores para la obtención de un valor de ingreso a la rutina de control. Satisfaciendo la necesidad de contar con una medida que garantice el funcionamiento del sistema de sincronismo

frente a una falla en la red trifásica que involucre una caída total de las tres tensiones, se elabora en base a condicionales la siguiente expresión:

$$-10V < V_{A,B,C} < 10V \quad (6.1)$$

De ser falsa la expresión anterior, entonces el algoritmo de control seguiría normalmente de acuerdo al diseño planteado, pero de ser verdadera entonces el algoritmo de control establecerá un valor automático de $U_q=0$ y $W'=377\text{rad/s}$, cambiando de esta manera las llaves S1 y S2 de la Figura 4.21, cumpliendo con el requerimiento planteado.

En la subrutina de *control* se encuentra el algoritmo de control propiamente dicho, que contempla el sistema de control diseñado en el capítulo IV y que está respaldado por las simulaciones. Dentro de esta subrutina se encuentra:

- Transformación de las tensiones V_{ABC} a $V_{\alpha\beta}$.
- Cálculo de la secuencia positiva.
- Transformación de las tensiones $V_{\alpha\beta}$ a V_{dq} .
- Lazo de seguimiento de fase.

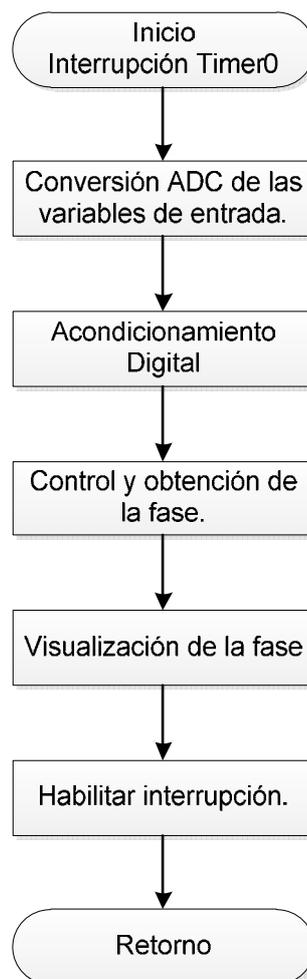


Figura 6.9: Diagrama de flujo de la rutina de interrupción Timer0.

En la subrutina *DisplaySPI* se tienen preparadas las variables a ser mostradas, entre ellas la principal la cual es la fase, esta señal de fase será extraída del DSP mediante el protocolo de comunicación SPI a un DAC para observar la señal a través de un osciloscopio y así validar el proyecto.

El programa descargado en el DSP se encuentra documentado en el Anexo A.

Como elemento adicional se configura una de las salidas digitales del DSP como indicador ON/OFF, la función de este indicador es de calcular el tiempo que emplea el DSP en procesar el algoritmo de control desde el instante en el que ocurre la interrupción del Timer0 hasta el envío del resultado deseado (fase, frecuencia o coseno de la fase). Su función se puede ver representada en la Figura 6.10 como una señal de tren de pulsos donde el periodo T_s representa el tiempo de muestreo del sincronismo y la duración del pulso T_E es el tiempo de ejecución del programa insertado en el DSP. Por otra parte el tiempo en el cual la señal permanece en cero es tiempo de espera desde que el sistema de sincronismo muestra una variable de interés y la toma de una nueva muestra de las señales de entrada.

En la figura también se puede ver que el pulso está dividido en tres zonas, la zona I representa la conversión análoga a digital de las señales de ingreso, la zona II comprende el algoritmo de control y todas las rutinas y subrutinas que comprende y de las que ya se explicaron anteriormente, y la zona III representa la rutina de visualización de las variables de interés. Cabe aclarar que el ancho de cada zona en el gráfico no corresponde a la duración de esta dentro del pulso. Siendo realmente la duración de la Zona I y II mucho menor con respecto a la Zona II del que se ve en la gráfica.

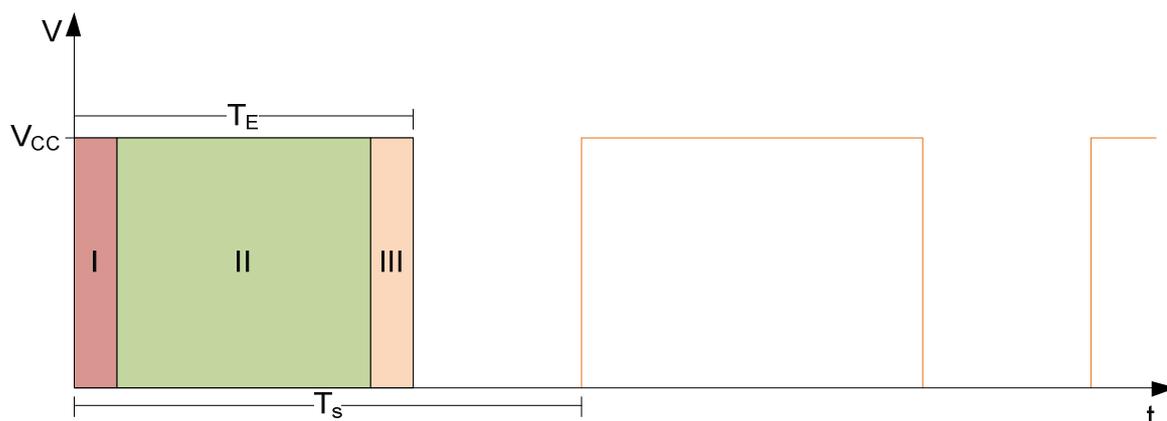


Figura 6.10: Respuesta del Indicador.

De lo planteado anteriormente, $T_s=80\mu\text{s}$, y siendo la frecuencia de conversión del ADC del DSP de 25 MHz el tiempo que corresponde a la zona I será de $0.04\mu\text{s}$. y

considerando una frecuencia de reloj del DAC de 6.25 MHz el tiempo correspondiente a la zona III será de $0.16\mu\text{s}$. El periodo de tiempo de la zona II depende del número de instrucciones que componen el programa principal el DSP.

6.4. Conversor digital - análogo.

En la implementación del proyecto se utilizó el Pmod-DA2, el cual contiene dos DAC121S101 los cuales tienen en común las entradas SYNC y SCLK, y la alimentación (ver Figura 6.11), el reloj interno de este dispositivo alcanza 50Mhz y, como ya se detalló en el capítulo III, transmite 16 bits siendo 4 bits los de configuración del DAC y los 12 bits restantes la información de interés. Este dispositivo se utilizó empleando una fuente de alimentación DC de 4.65V debido a que el fabricante recomienda que la tensión de alimentación sea menor que 5V. Por lo que las señales a visualizar, las cuales son ángulo de la tensión de línea y de fase, forma de onda de la componente fundamental de la tensión de línea y de fase, frecuencia y componente simétrica positiva, se encontrarán en dicho rango de voltaje, para el caso de la visualización de la frecuencia se utilizó un escalamiento especial, el cual se podrá ver reflejado en los resultados de las pruebas, pero que consiste en generar una coincidencia entre el valor de la frecuencia y el valor de la tensión media en la lectura del osciloscopio, de modo que para una frecuencia de 377 rad/s se visualice 3.77 V.

En la Figura 6.11 se encuentra el diagrama de bloques del Pmod-DA2 que se complementa con el diagrama de bloques del DAC121S101 de la Figura 3.7.

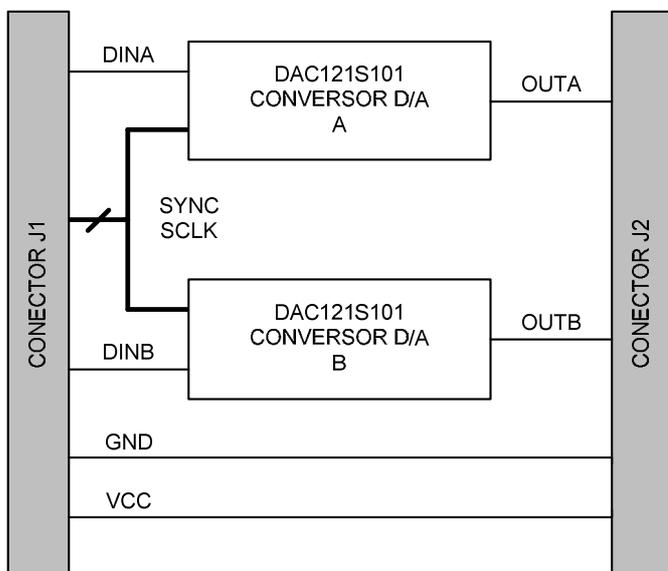


Figura 6.11: Diagrama de bloques PmodDA2.

CAPITULO VII

PRUEBAS Y RESULTADOS EXPERIMENTALES

En este capítulo se presentan todas las pruebas realizadas al sistema de sincronismo implementado y los resultados obtenidos en laboratorio. Las pruebas se realizan usando una fuente trifásica con un valor de tensión de línea de $220 V_{RMS}$.

7.1. Prueba con tensiones de línea con distorsión armónica.

Esta prueba tiene como objetivo verificar el correcto funcionamiento del sistema de sincronismo frente a una red trifásica con distorsión armónica y a su vez obtener ciertas capturas que se deben documentar, como es la respuesta de la señal del ángulo de la tensión de fase V_B con respecto a la tensión de línea V_{AB} , la cual acompañada de las otras dos tensiones de línea son ingresadas al DSP. Otro resultado a documentar es la respuesta del indicador, cuya función es mostrar el tiempo que toma el algoritmo dentro del DSP en procesar los datos y mostrar un resultado.

La Figura 7.1 muestra el esquema utilizado en esta prueba y la Figura 7.2 muestra el montaje del sistema de sincronización. Esta prueba es realizada en el Laboratorio de Electrónica de Potencia con el empleo del módulo De Lorenzo, del cual solo se utiliza la fuente trifásica.

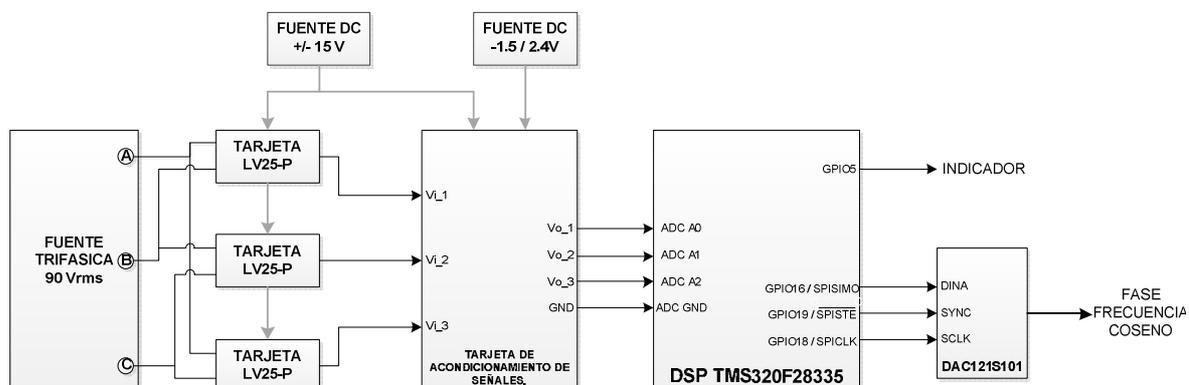


Figura 7.1: Diagrama de bloques de la implementación en laboratorio para la prueba con tensiones balanceadas.

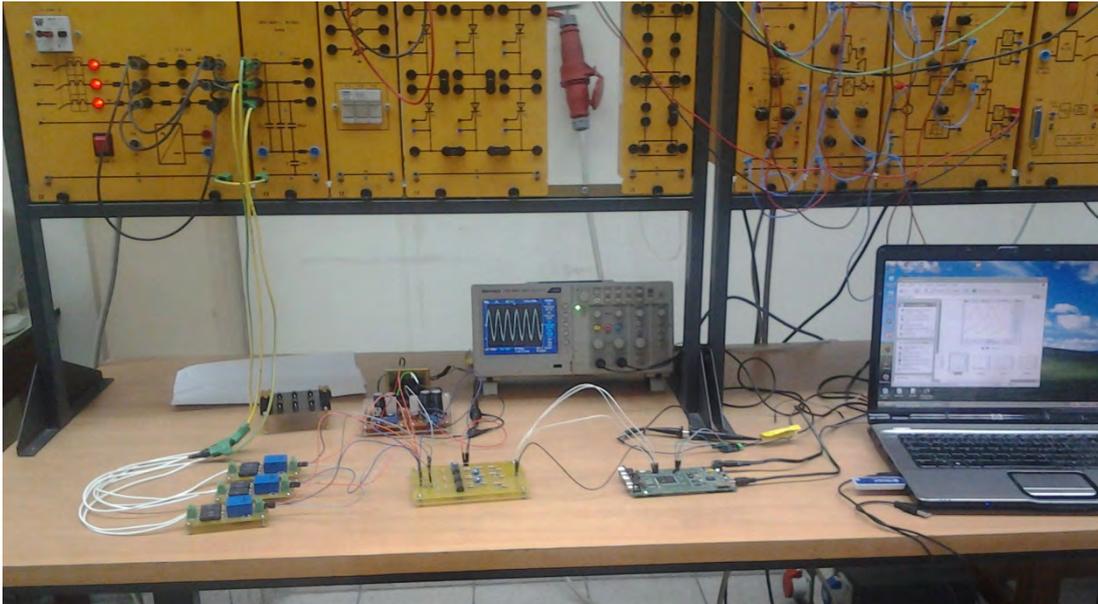


Figura 7.2: Montaje del sistema de sincronismo en laboratorio.

La Figura 7.3 muestra las señales de entrada al sistema de sincronismo obtenidas en las resistencias de medición, como se puede ver en la figura, la señal de entrada no es pura dado que presenta armónicos, esto se puede deducir por la forma de onda que tiene la señales, prueba de ello se expone la Figura 7.4 en la que se ve la gráfica FFT de la señal de entrada. Esta gráfica FFT nos muestra la magnitud y el orden de las componentes armónicas contenidas en las señales de entrada. Los datos obtenidos de esta gráfica se encuentran en la Tabla 5.1 del capítulo de simulaciones para la elaboración de la simulación de esta prueba de laboratorio, y nuevamente presentada en la tabla siguiente a la Figura 7.4.

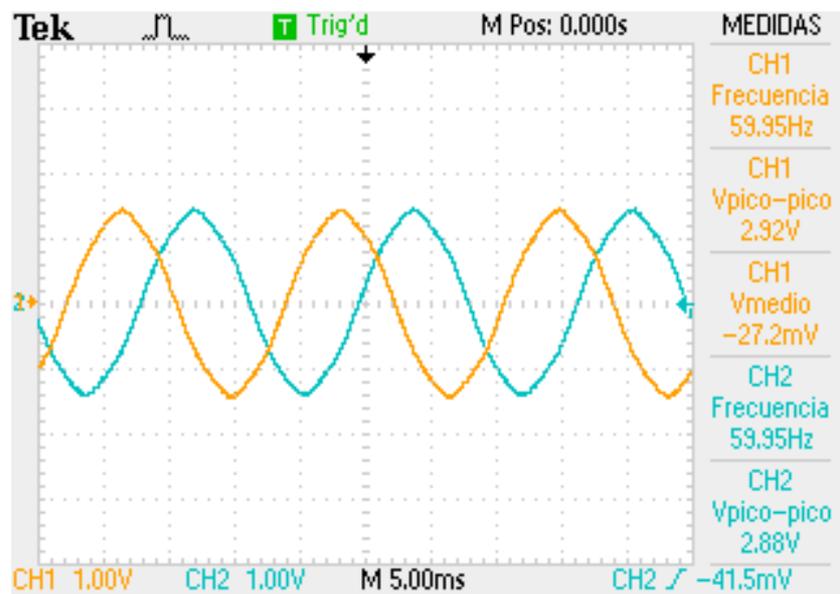


Figura 7.3: Tensiones de línea con distorsión trifásica. (94.12V/div)

En esta figura la señal que representa la fase de la tensión de línea V_{AB} tiene la forma de dientes de sierra, siendo en su valor bajo 0 y en su máximo valor 2π .

La Figura 7.6 muestra la señal coseno obtenida del DSP a través del DAC, la cual es comparada con la señal de entrada V_{AB} . En la figura se puede apreciar ambas señales sincronizadas, la señal en amarillo es la señal V_a medida a través del transductor de voltaje, y la señal en azul es la señal del coseno de la fase obtenida del DSP. Se puede apreciar también que la lectura de la frecuencia por parte del osciloscopio en ambos canales es la misma, lo cual evidencia el perfecto funcionamiento del sistema de sincronismo.

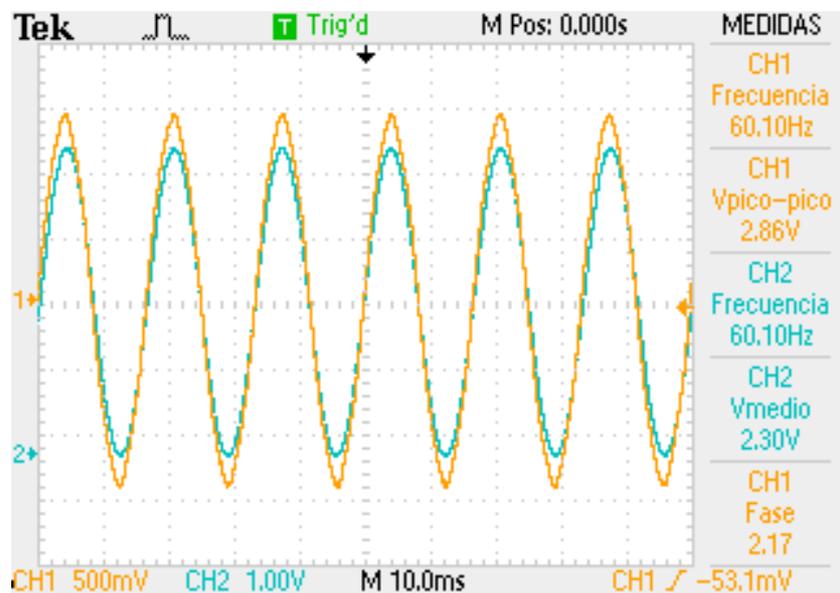


Figura 7.6: Respuesta del coseno de la fase de la tensión de línea. (47.06V/div)

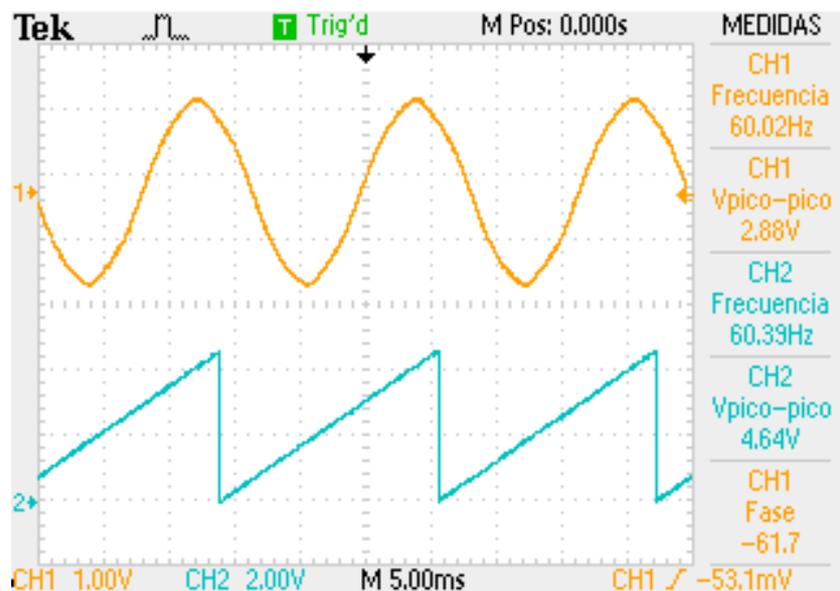


Figura 7.7: Respuesta de la Fase de la tensión V_a . (94.12V/div)

La figura 7.7 muestra la respuesta de la señal del ángulo de la tensión de fase V_a (señal en azul) también comparado con la señal de entrada V_{AB} (señal en amarillo), en esta figura se nota el atraso de la señal del ángulo de la tensión de fase con respecto a la tensión de línea de 30° , valor que es característico entre las tensiones de línea y de fase. La figura siguiente muestra la estimación de la señal de frecuencia, la cual muestra un valor medio constante de 3.79V lo cual muy cercano al valor de 377 rad/s (60Hz) el valor al cual fue escalada la frecuencia en el DSP para su salida en el DAC,

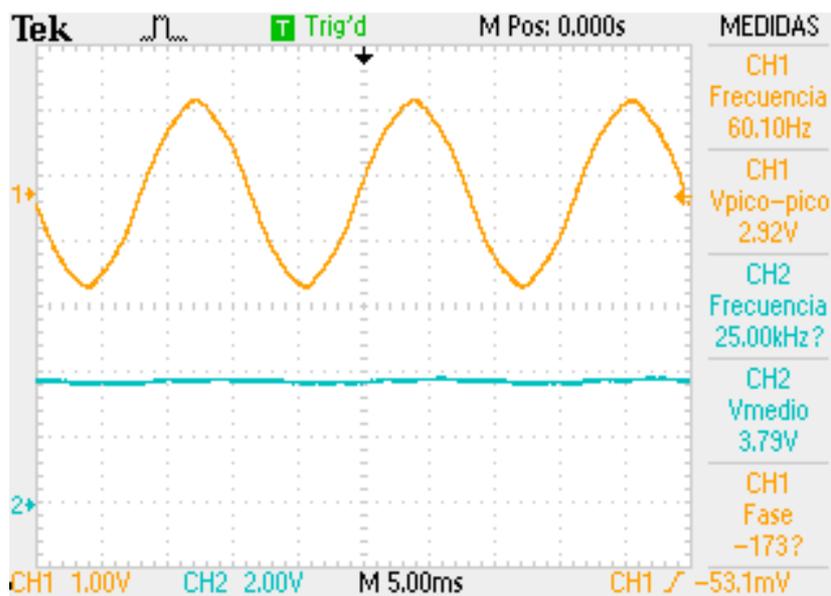


Figura 7.8: Estimación en Frecuencia. (94.12V/div)

Tal como se mencionó al inicio, se muestra en la Figura 7.9 la respuesta del indicador, en ella se nota las siguientes características:

- El periodo del pulso es de 12.5KHz lo que representa la frecuencia de muestreo a la cual fue diseñado el sistema de sincronismo.
- El tiempo en el cual el indicador permanece en alto es de 46us, este valor indica el tiempo que le toma al DSP procesar todo el algoritmo de control.
- El tiempo en el cual el indicador permanece en bajo voltaje es el tiempo en el cual el DSP se mantiene sin realizar acción alguna y queda a la espera de la interrupción del Timer0 para realizar una nueva toma de muestras en el ADC y continuar con el resto del algoritmo de sistema de control.

La Figura 7.8 refleja la funcionalidad para la cual fue planteado el indicador del sistema de sincronismo (ver Figura 6.10). Al realizar la comparación entre ambas resulta lo siguiente:

$$T_S = 80 \text{ ms}$$

$$T_E = 46 \text{ ms}$$

$$V_{CC} = 3.52 \text{ V}$$

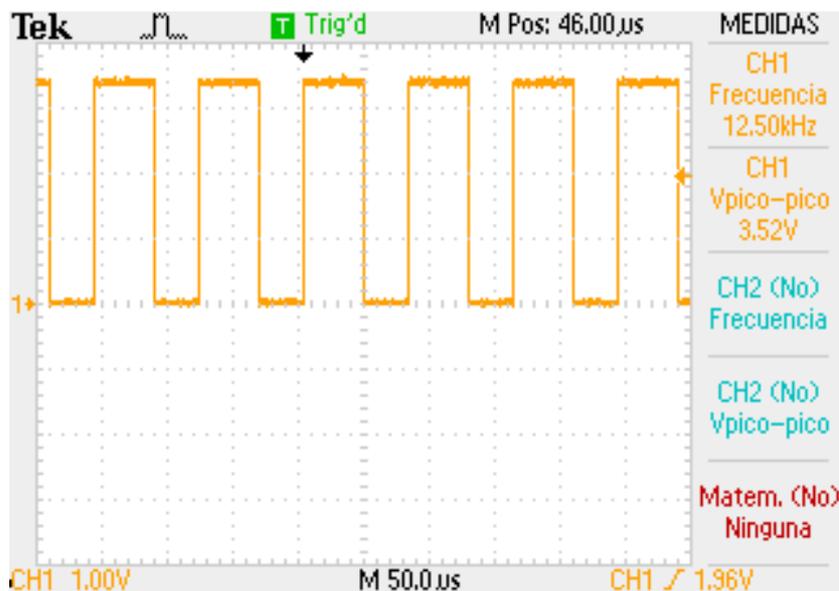


Figura 7.9: Respuesta del indicador.

Para finalizar con esta prueba, se muestra en la Figura 7.10 la gráfica FFT de la función coseno del ángulo de la tensión de línea, si esta grafica es comparada con la Figura 7.4 se puede verificar que esta respuesta del Sistema de Sincronismo no presenta distorsión armónica, quedando claro el correcto funcionamiento del Sistema de Sincronismo propuesto frente a este tipo de perturbación.



Figura 7.10: Gráfica FFT de la señal de salida.

7.2. Prueba con tensiones de fase con distorsión armónica.

Tal como ya se había mencionado anteriormente, las empresas que brindan suministro eléctrico lo hacen a través de tres líneas de tensión V_A , V_B y V_C pero no el neutro, por lo cual es imposible obtener directamente las tensiones de fase. En esta prueba se hizo uso de un transformador trifásico variable de 230V/15A que emplea una conexión Y-Y con el

objetivo de obtener las tensiones de fase y medirlas a través de los transductores de voltaje del sistema de sincronismo tal como se puede ver en el diagrama de bloques de la prueba de laboratorio mostrada en la Figura 7.11, y el montaje hecho en laboratorio en la Figura 7.12.

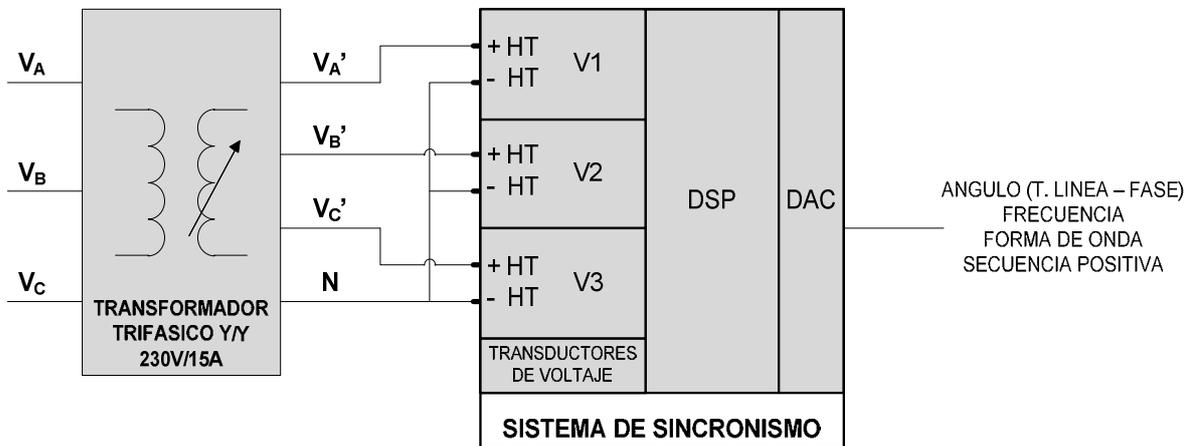


Figura 7.11: Diagrama de bloques de la prueba con tensiones de fase con distorsión armónica.

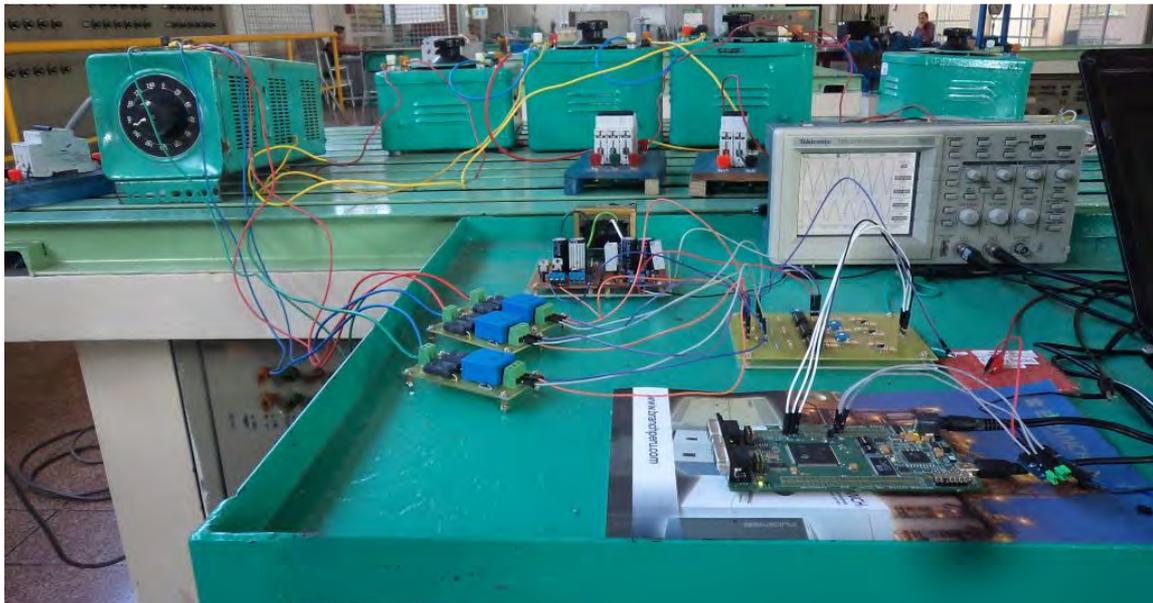


Figura 7.12: Montaje del sistema de sincronismo durante prueba de tensiones de fase con distorsión armónica.

En vista de que la salida del transformador trifásico es variable, se estableció una tensión de fase de 100Vrms medida a través de un multímetro. La Figura 7.13 muestra la medición de las señales obtenidas en las resistencias de medición de los transductores de voltaje. En ella se puede observar que las tensiones de fase presentan distorsión armónica, el cálculo de la relación entre la amplitud de la componente armónica con respecto a la componente fundamental se realizó en el capítulo anterior, al simular esta prueba, siendo este valor de 25.38%.

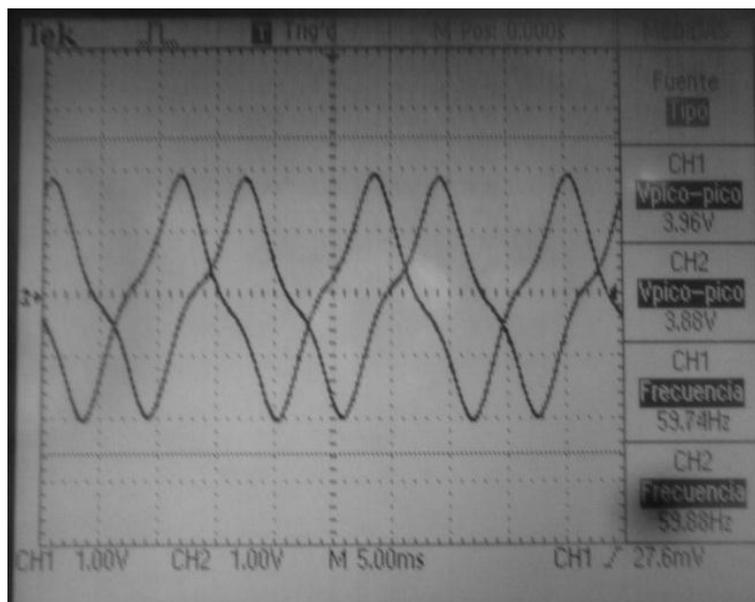


Figura 7.13: Tensiones de fase con distorsión armónica. (94.12V/div)

A continuación se muestran los resultados obtenidos en esta prueba. En primer lugar se muestran en la Figura 7.14 la fase de la red trifásica y la función coseno de la fase. La señal de fase obtenida del Sistema de Sincronismo propuesto no presenta las ondulaciones que pueden deber a la distorsión armónica existiendo una semejanza entre lo obtenido experimentalmente y lo simulado (ver Figura 5.22).

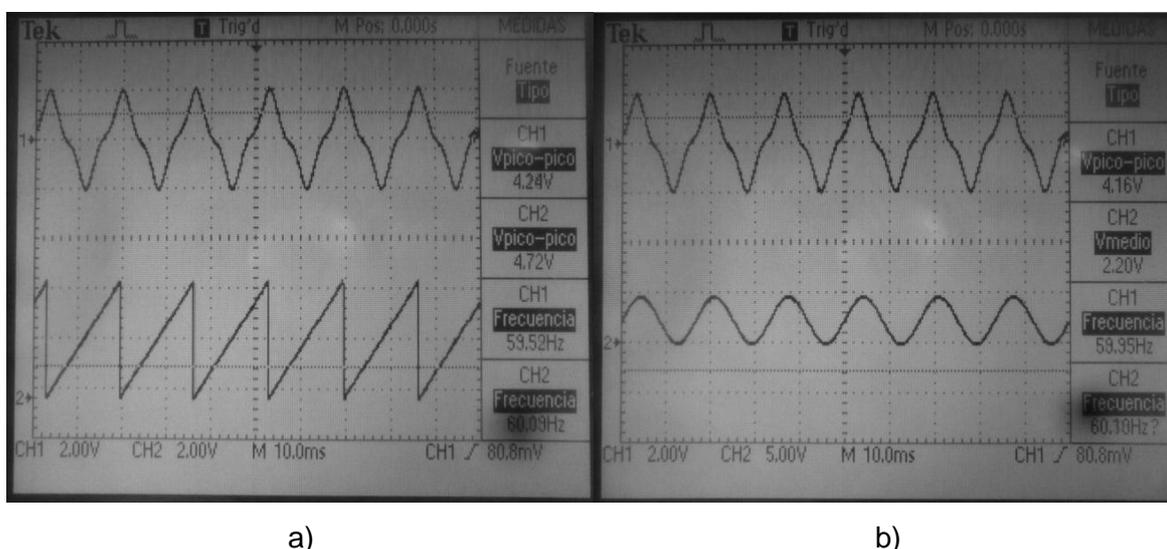


Figura 7.14: Respuesta de Fase del Sistema de Sincronismo, a) Fase, b) Función coseno de la fase. (188.24V/div)

La estimación de la frecuencia obtenida experimentalmente se muestra en la Figura 7.15, en ella se nota un valor medio equivalente a 3.77V, el cual nos da un valor medio de frecuencia de 377rad/s. La frecuencia presenta ligeras oscilaciones, las cuales fueron previstas en la simulación de esta prueba.

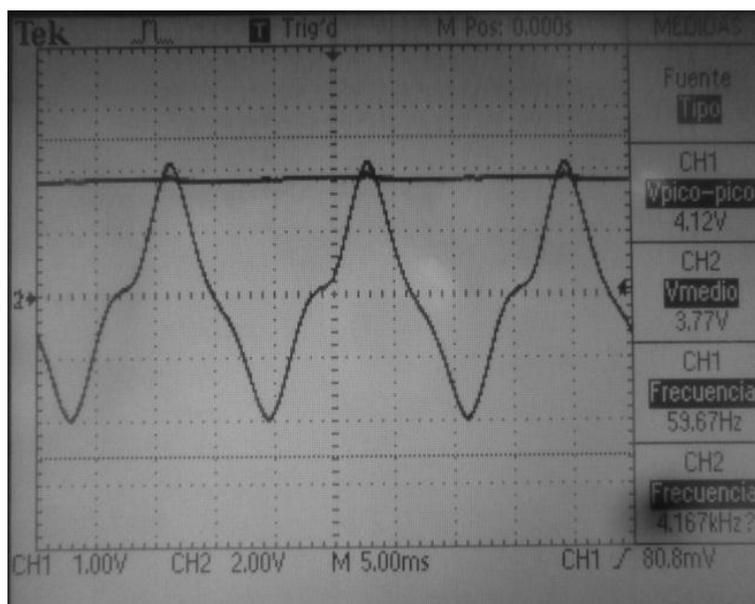


Figura 7.15: Estimación de frecuencia del Sistema de Sincronismo. (94.12V/div)

Los resultados expuestos de esta prueba coinciden con lo esperado en las simulaciones realizadas en el capítulo anterior sobre esta prueba de tensiones de fase con distorsión armónica dejando en evidencia el correcto funcionamiento del Sistema de Sincronismo frente a este tipo de perturbación en la red eléctrica además del cumplimiento de los requerimientos para este tipo de sistemas.

7.3. Pruebas con red trifásica con desbalance de fase.

Con el objetivo que poner a prueba el sistema de sincronismo frente a un desbalance en la red trifásica se hace uso nuevamente del transformador trifásico con conexión Y-Y para la obtención de un punto común (neutro), para luego conectar cada tensión de fase con autotransformadores variables, con los cuales se busca ajustar las tensiones a valores diferentes para originar así el desbalance. La figura 7.16 muestra el esquema que se utilizó para esta prueba, y la Figura 7.17 muestra el montaje realizado en el laboratorio.

Durante la prueba se cambiaron las tensiones de fase variando los autotransformadores, para originar 3 sistemas desbalanceados distintos como indica la Tabla 7.1.

Tabla 7.1: Pruebas del Sistema de Sincronismo frente a desbalance.

Pruebas	V_A	V_B	V_C
Desbalance A	25.00	50.00	50.00
Desbalance B	50.00	50.00	25.00
Desbalance C	30.00	50.00	70.00

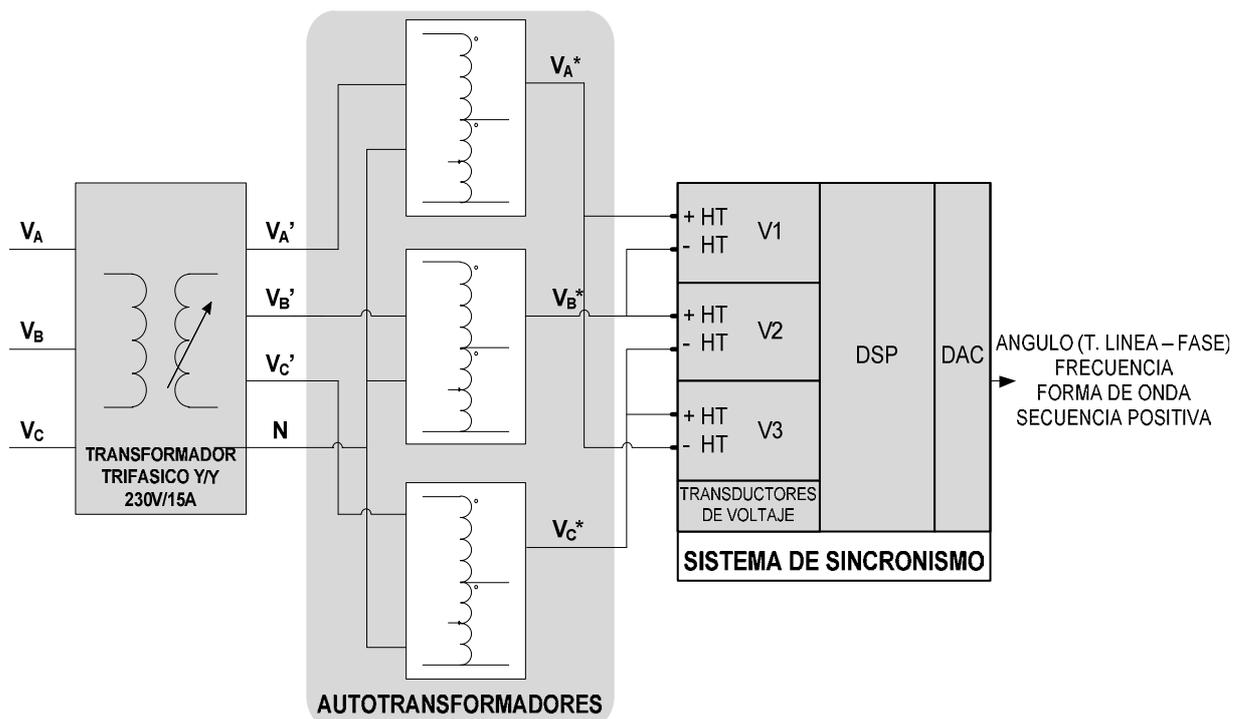


Figura 7.16: Diagrama de bloques de las pruebas de red trifásica con desbalance de fase.

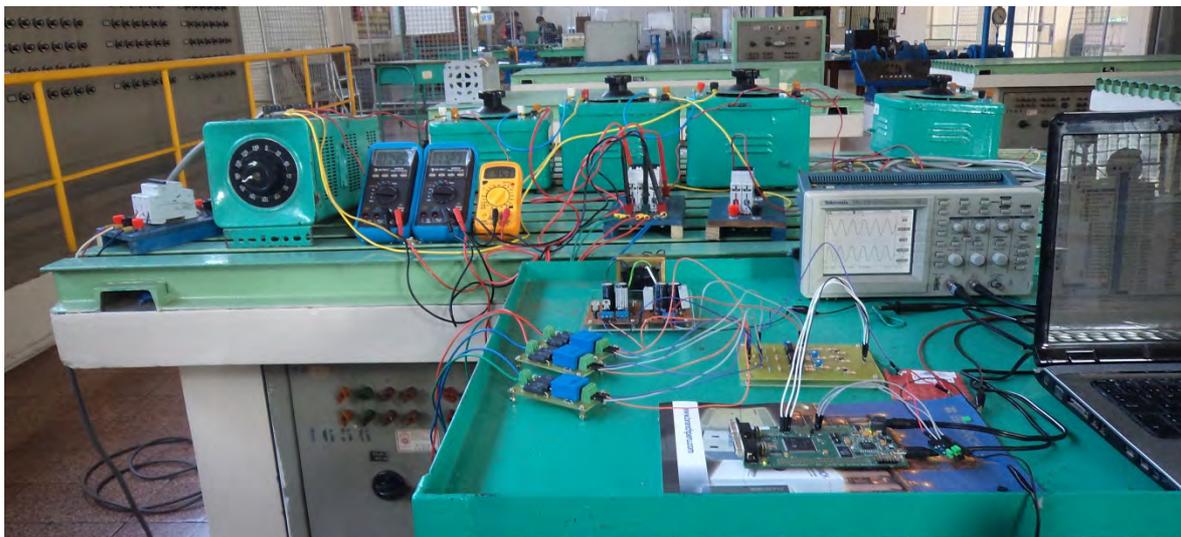


Figura 7.17: Montaje del sistema de sincronismo durante prueba de red trifásica con desbalance de fase.

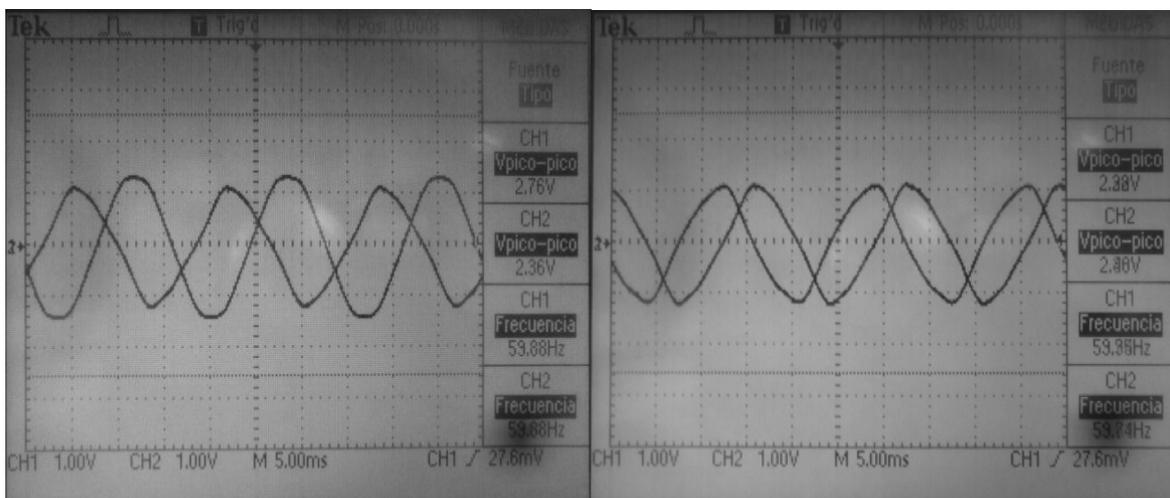
a) Desbalance con $V_A=25 V_{rms}$, $V_B=50 V_{rms}$, $V_C=50 V_{rms}$.

En la primera prueba se redujo solo la tensión de fase V_A a $25 V_{rms}$ dando como resultado las tensiones de línea expuestas en las lecturas de los multímetros (Figura 7.18), estas tensiones que ingresan al sistema se midieron en la resistencia de medición de los transductores de voltaje (ver Fig. 7.19). Es evidente que dichas señales de ingreso presentan distorsión armónica, esta distorsión es originada en el transformador trifásico debido al conexionado Y-Y con el cual funciona, este tipo de conexión se caracteriza por

presentar voltajes grandes de tercer armónico originados por la no linealidad del circuito magnético de hierro, y dada la naturaleza homopolar (secuencia cero) del tercer armónico se explica la forma de onda en dicha figura.



Figura 7.18: Prueba A de desbalance.

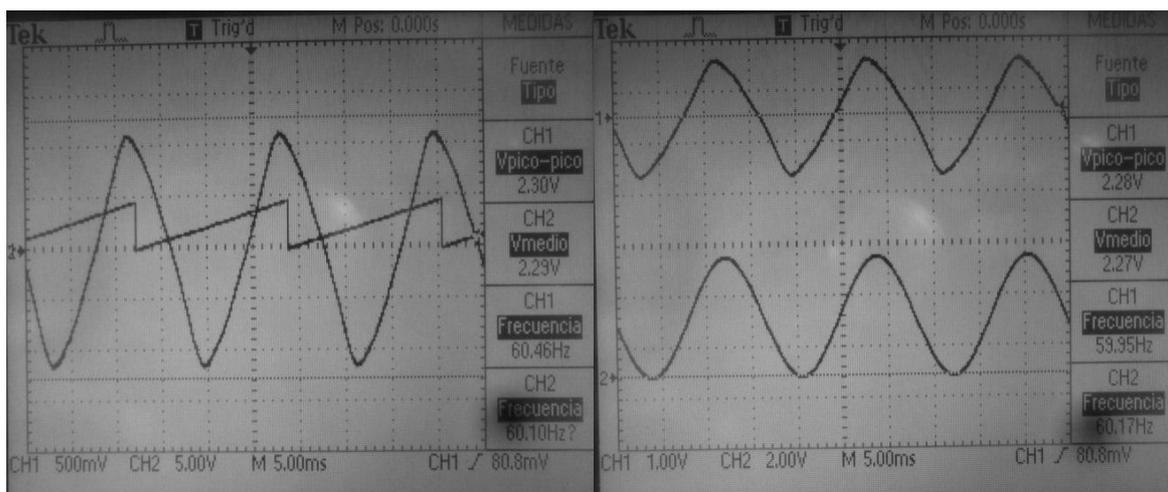


a)

b)

Figura 7.19: Tensiones de entrada, a) V_{AB} y V_{BC} , b) V_{AB} y V_{AC} (94.12V/div)

En la Figura 7.20 se muestra la fase de las tensiones de línea y la función coseno de dicha fase, donde se puede ver que el sistema de sincronización logra detectar y hacer un seguimiento continuo de la fase de la red trifásica, lo cual significa la buena inmunidad del sistema de sincronización propuesto a perturbaciones de desbalance de fases y también a las componentes armónicas introducidas en las tensiones ingresantes.

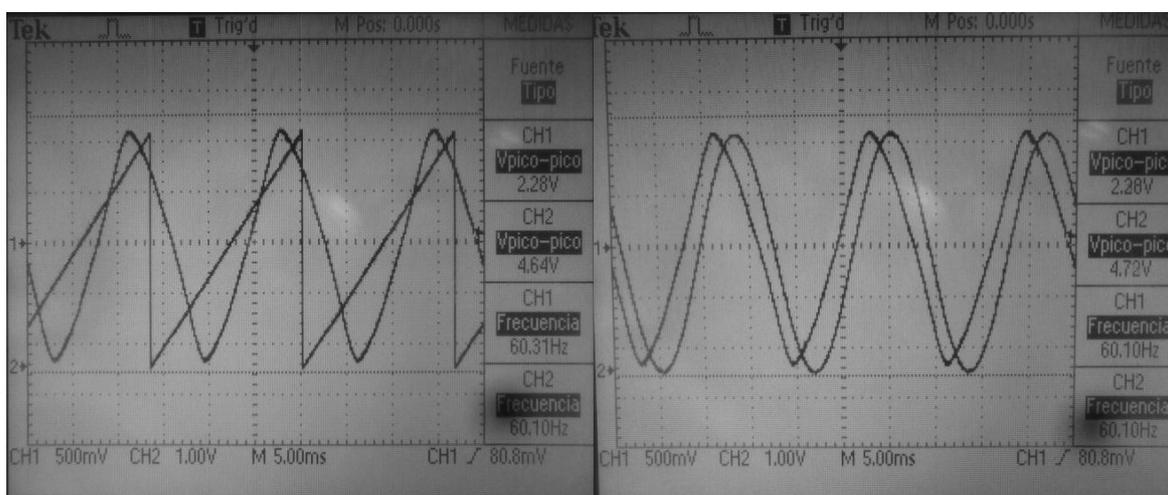


a)

b)

Figura 7.20: Respuesta de fase del Sistema de Sincronismo, a) Fase de la tensión de línea (47.06V/div), b) Función coseno de la fase (94.12V/div)

La señal correspondiente a la fase de la red trifásica es mostrada en la figura siguiente, en ella también se muestra la función coseno de este ángulo, la cual fue obtenida retrasando la señal anteriormente obtenida en 30° , como es característico en sistemas balanceados.



a)

b)

Figura 7.21: Respuesta de fase del Sistema de Sincronismo, a) Fase de la tensión de Fase, b) Función coseno de la fase. (47.06V/div)

La estimación de la frecuencia de la red trifásica es mostrada en la Figura 7.22, en la cual nuevamente se observa una tensión media de 3.76V lo cual equivale a 376 rad/s. Las oscilaciones que presenta esta señal se deben a los armónicos contenidos en las señales de entrada al Sistema de Sincronismo.

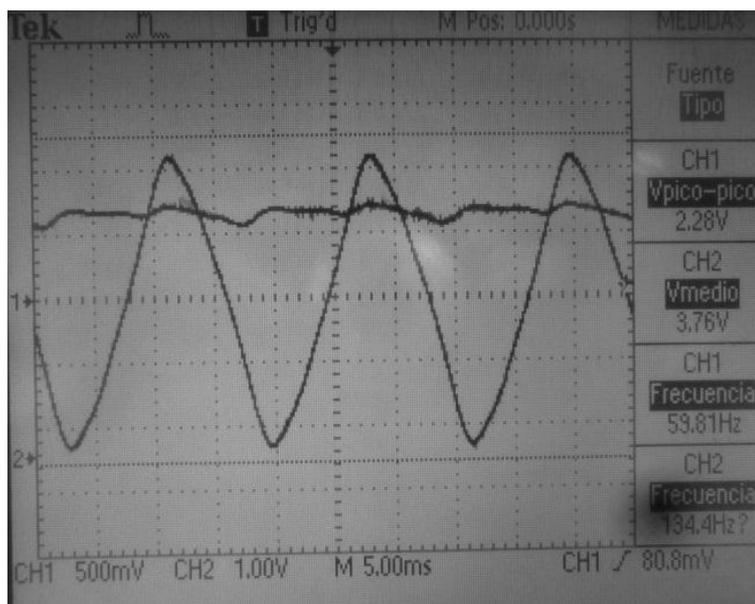


Figura 7.22: Estimación de la frecuencia del Sistema de Sincronismo. (47.06V/div)

Como se podrá observar todos los resultados mostrados en las figuras anteriores coinciden y se asemejan mucho a lo esperado, es decir, con la simulación realizada de esta prueba (ver Figura 5.23).

La tabla mostrada a continuación indica los tiempos de desplazamiento de una tensión de entrada con respecto a otra y de la señal de fase con respecto a la tensión V_{AB} . Estos resultados son muy similares a los obtenidos en la simulación de esta prueba, este error es a causa de que los datos experimentalmente fueron obtenidos del osciloscopio (Figuras 7.19 y 7.20) de manera visual, de modo que los datos indicados en la tabla son aproximados.

Tabla 7.2: Tiempo de desplazamiento de una señal respecto a otra en la prueba frente a desbalance A.

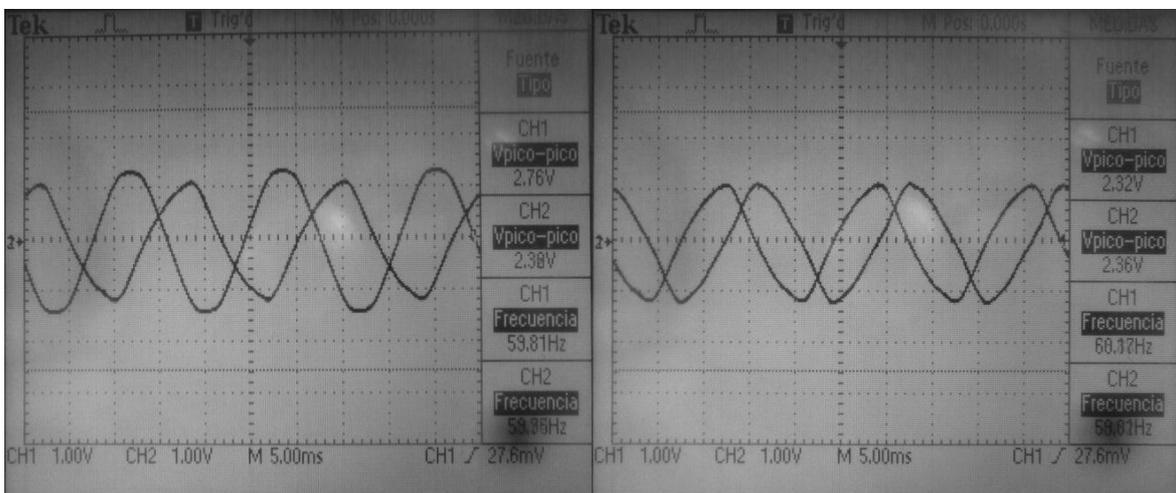
Señales	Tiempo de desplazamiento	Angulo equivalente
V_{AB} / V_{CA}	0.0036	77.76
V_{BC} / V_{AB}	0.0065	140.40
V_{CA} / V_{BC}	0.0065	140.40
Fase / V_{AB}	0.001	21.60

b) Desbalance con $V_A=50 V_{rms}$, $V_B=50 V_{rms}$, $V_C=25 V_{rms}$.

Esta segunda prueba se realizó de manera muy similar a la primera, pero esta vez se redujo la tensión de fase V_C a $25 V_{rms}$ dando como resultado las tensiones de línea expuestas en las lecturas de los multímetros (Figura 7.23), las tensiones de entrada al sistema se midieron en la resistencia de medición de los transductores de voltaje (ver Fig. 7.24). Nuevamente señales de ingreso presentan distorsión armónica.



Figura 7.23: Prueba B de desbalance.

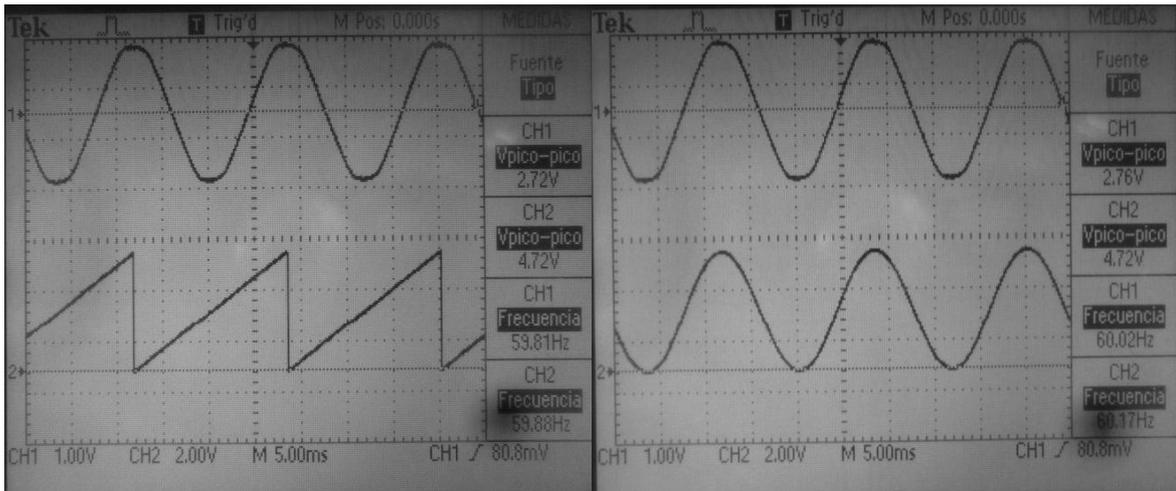


a)

b)

Figura 7.24: Tensiones de entrada, a) V_{AB} y V_{BC} , b) V_{BC} y V_{CA} . (94.12V/div)

En la Figura 7.25 se muestra la fase de las tensiones de línea y la función coseno de dicha fase, donde se puede ver que el sistema de sincronización detecta y hace un seguimiento continuo de la fase de la red trifásica.

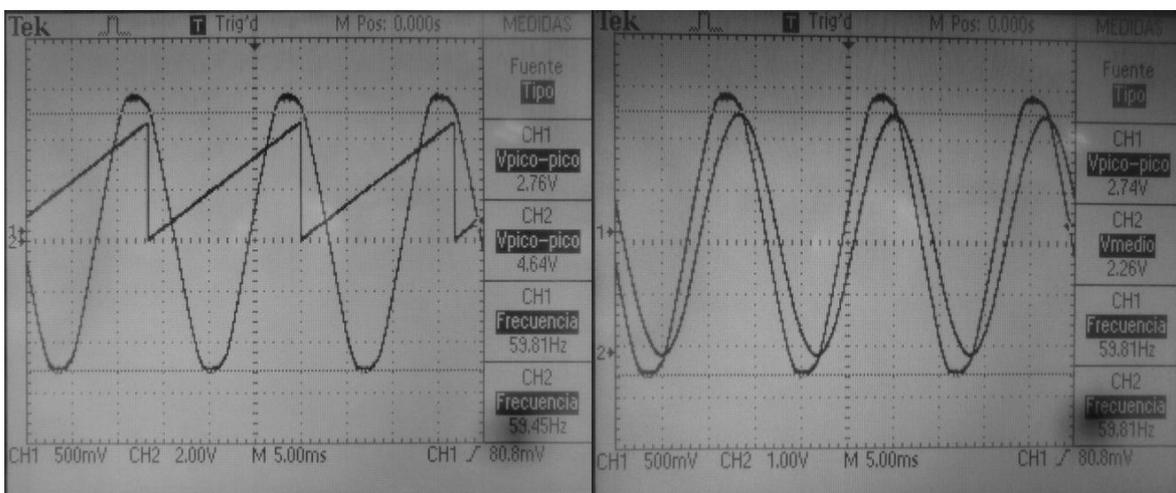


a)

b)

Figura 7.25: Respuesta de fase del Sistema de Sincronismo, a) Fase de la tensión de línea, b) Función coseno de la fase. (94.12V/div)

La señal correspondiente a la fase de la red trifásica es mostrada en la figura siguiente, en ella también se muestra la función coseno de este ángulo, la cual fue obtenida retrasando la señal anteriormente conseguida en 30° , como es característico en sistemas balanceados.



a)

b)

Figura 7.26: Respuesta de fase del Sistema de Sincronismo, a) Fase de la tensión de Fase, b) Función coseno de la fase. (47.06V/div)

La estimación de la frecuencia de la red triásica es mostrada en la Figura 7.27, en la cual nuevamente se observa una tensión media de 3.76V lo cual equivale a 376 rad/s. Las oscilaciones que presenta esta señal se deben a los armónicos contenidos en las señales de entrada al Sistema de Sincronismo.

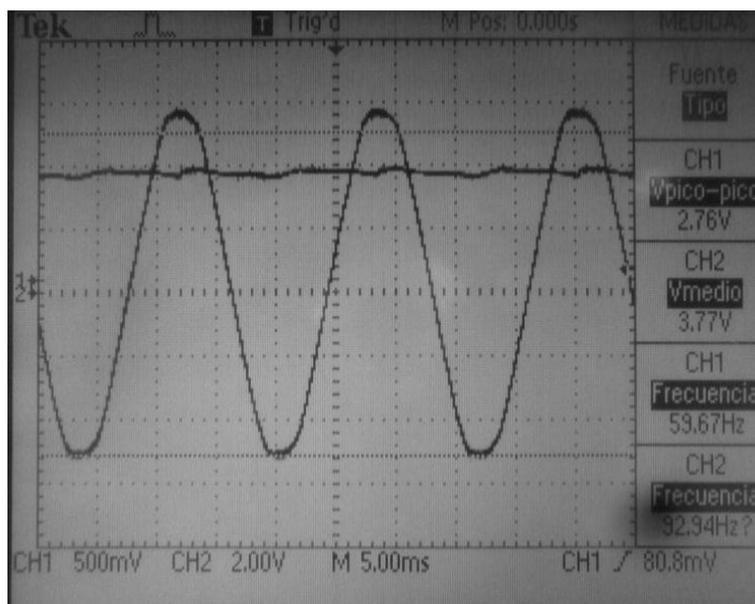


Figura 7.27: Estimación de la frecuencia del Sistema de Sincronismo. (47.06V/div)

Con diferencia a la prueba anterior, en esta se pudo comparar de una mejor manera las respuesta del Sistema de Sincronismo con respecto a la tensión de línea V_{AB} , debido a que esta tensión no se ve afectada por el desbalance, además se puede observar todos los resultados de esta prueba, expuestos en las figuras anteriores, coinciden y se asemejan a la simulación realizada de esta prueba (ver Figura 5.24).

La tabla mostrada a continuación indica los tiempos de desplazamiento de una tensión de entrada con respecto a otra y de la señal de fase con respecto a la tensión V_{AB} . Estos resultados son muy similares a los obtenidos en la simulación de esta prueba, este error es a causa de que los datos experimentalmente fueron obtenidos del osciloscopio (Figuras 7.24 y 7.25) de manera visual, de modo que los datos indicados en la tabla son aproximados.

Tabla 7.3: Tiempo de desplazamiento de una señal respecto a otra en la prueba frente a desbalance A.

Señales	Tiempo de desplazamiento	Angulo equivalente
V_{AB} / V_{CA}	0.0065	140.40
V_{BC} / V_{AB}	0.0065	140.40
V_{CA} / V_{BC}	0.0036	77.76
Fase / V_{AB}	0.000	0.00

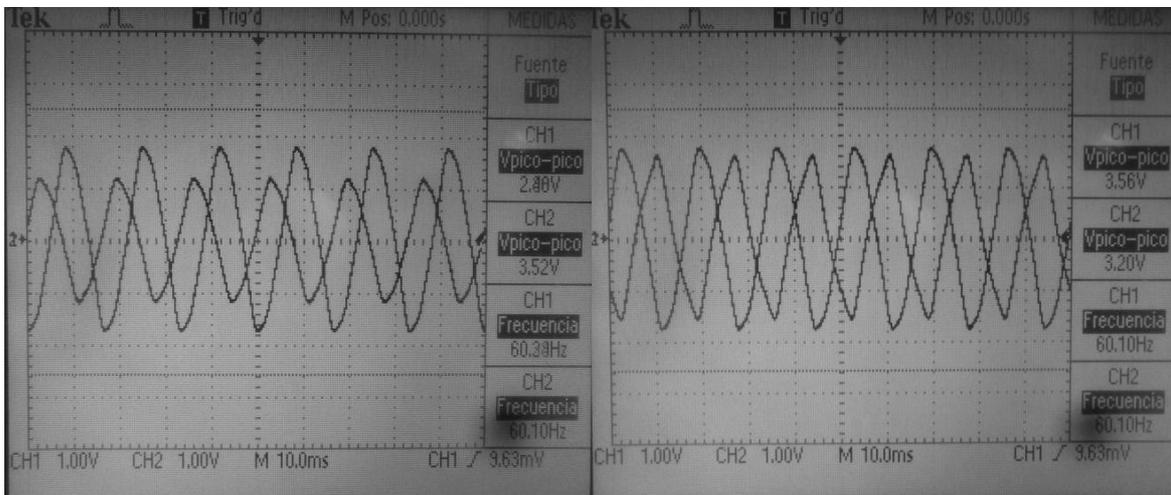
c) Desbalance con $V_A=30 V_{rms}$, $V_B=50 V_{rms}$, $V_C=70 V_{rms}$.

En esta prueba dos de las tres fase fueron ajustadas V_A a $30V_{rms}$ y V_C a $70V_{rms}$, dando como resultado las tensiones de línea expuestas en las lecturas de los multímetros (Figura 7.28) estas tensiones no solo presentan el desbalance generado al ajustar los

autotransformadores sino, como ya se observó anteriormente, distorsión armónica, la forma de onda de las tensiones de entrada al sistema se midieron en la resistencia de medición de los transductores de voltaje (ver Fig. 7.29).



Figura 7.28: Prueba C de desbalance.

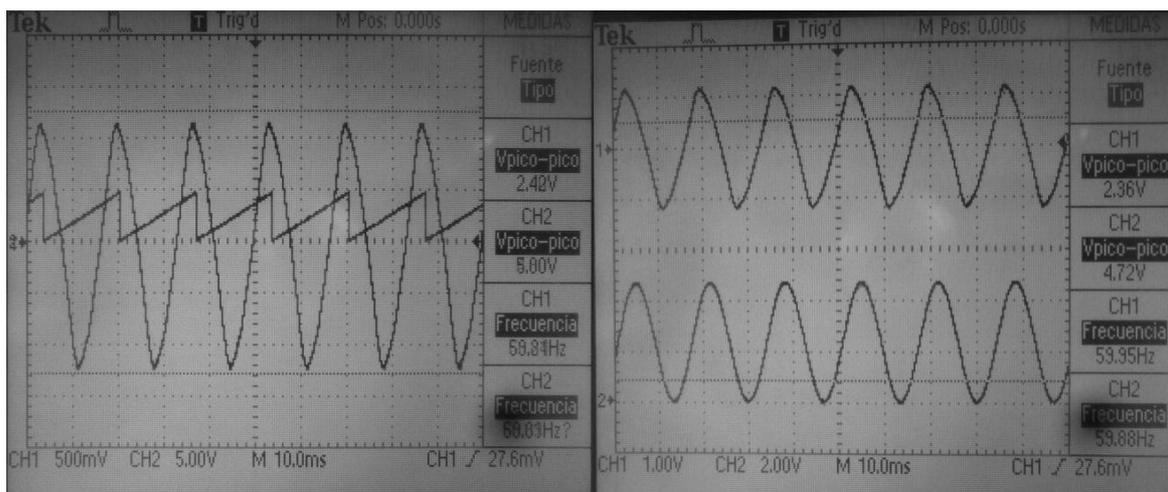


a)

b)

Figura 7.29: Tensiones de entrada, a) V_{AB} y V_{BC} , b) V_{BC} y V_{CA} . (94.12V/div)

En la Figura 7.30 se muestra la fase de las tensiones de línea y la función coseno de dicha fase, donde se puede ver que el sistema de sincronización detecta y hace un seguimiento continuo de la fase de la red trifásica.

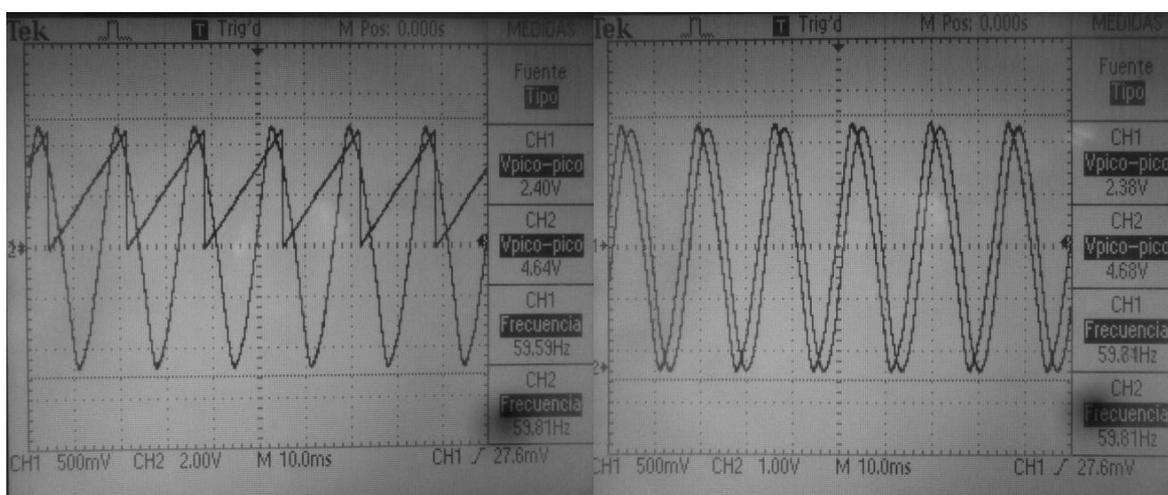


a)

b)

Figura 7.30: Respuesta de fase del Sistema de Sincronismo, a) Fase de la tensión de línea (47.06V/div), b) Función coseno de la fase. (94.12V/div)

La señal correspondiente a la fase de la red trifásica es mostrada en la figura siguiente, en ella también se muestra la función coseno de este ángulo, la cual fue obtenida retrasando la señal anteriormente conseguida en 30° , como es característico en sistemas balanceados.



a)

b)

Figura 7.31: Respuesta de fase del Sistema de Sincronismo, a) Fase de la tensión de Fase, b) Función coseno de la fase (47.06V/div)

La estimación de la frecuencia de la red trifásica es mostrada en la Figura 7.32, en la cual nuevamente se observa una tensión media de 3.77V lo cual equivale a 377 rad/s. Las oscilaciones que presenta esta señal se deben a los armónicos contenidos en las señales de entrada al Sistema de Sincronismo.

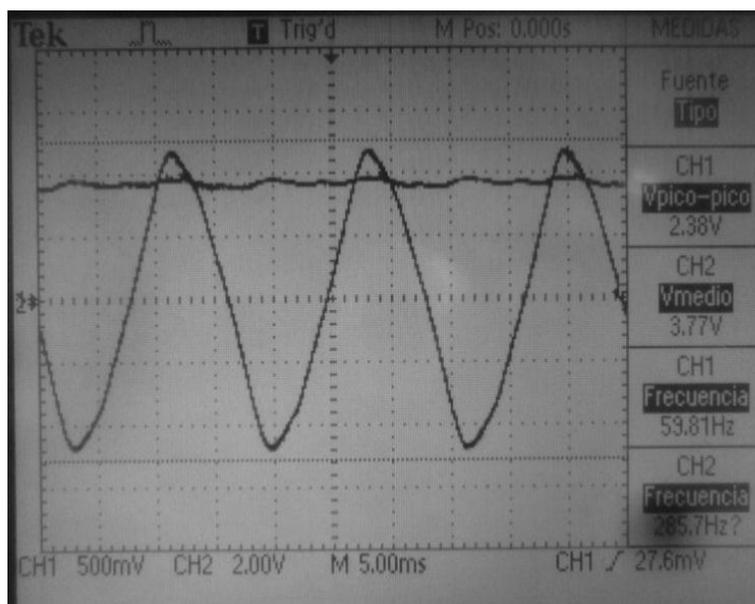


Figura 7.32: Estimación de la frecuencia del Sistema de Sincronismo. (47.06V/div)

La tabla mostrada a continuación indica los tiempos de desplazamiento de una tensión de entrada con respecto a otra y de la señal de fase con respecto a la tensión V_{AB} . Estos resultados son muy similares a los obtenidos en la simulación de esta prueba, el error entre los datos de la Tabla 7.3 y la Tabla 5.5 es a causa de que los datos experimentalmente fueron obtenidos del osciloscopio (Figuras 7.29 y 7.30) de manera visual, de modo que los datos indicados en la tabla son aproximados.

Tabla 7.3: Tiempo de desplazamiento de una señal respecto a otra en la prueba frente a desbalance C.

Señales	Tiempo de desplazamiento	Angulo equivalente
V_{AB} / V_{CA}	0.0035	75.60
V_{BC} / V_{AB}	0.0060	129.60
V_{CA} / V_{BC}	0.0070	151.20
Fase / V_{AB}	0.0010	21.60

Finalmente se podrá observar todos los resultados mostrados en las figuras anteriores coinciden y se asemejan mucho a lo esperado, es decir, coincide con la simulación realizada de esta prueba (ver Figura 5.25). De esta manera se pone en evidencia el correcto funcionamiento del Sistema de sincronismo propuesto frente a no solo desbalance, sino también frente a distorsión armónica, cumpliendo así con los objetivos planteados al inicio del proyecto y los requerimientos para este tipo de sistemas.

7.4. Prueba con caída de red trifásica.

En esta prueba se comprobó que el sistema de sincronismo siga generando la señal de fase, para la aplicación a la cual esté ligado, ante una falla que involucre una caída total

de la red trifásica. En la Figura 7.33 se muestra la prueba realizada en el módulo De Lorenzo, la prueba consistió en dejar sin el suministro trifásico utilizado como entrada del sistema de sincronismo por medio de la llave del módulo en pleno funcionamiento. La señal en amarillo representa la lectura de las tensiones, y como se nota, esta es una señal de tensión cero que solo presenta ruido. La señal en azul es la señal que sigue generando el sistema de sincronismo a partir del último ángulo de fase obtenido en el sistema, como se muestra en la figura, el sistema de sincronismo detecta la caída de la red trifásica y cambia la forma de ejecución del algoritmo haciendo $U_q=0$ y $W'=377\text{rad/s}$, generando una señal de fase a una frecuencia ideal de 60Hz como se puede apreciar en la figura.

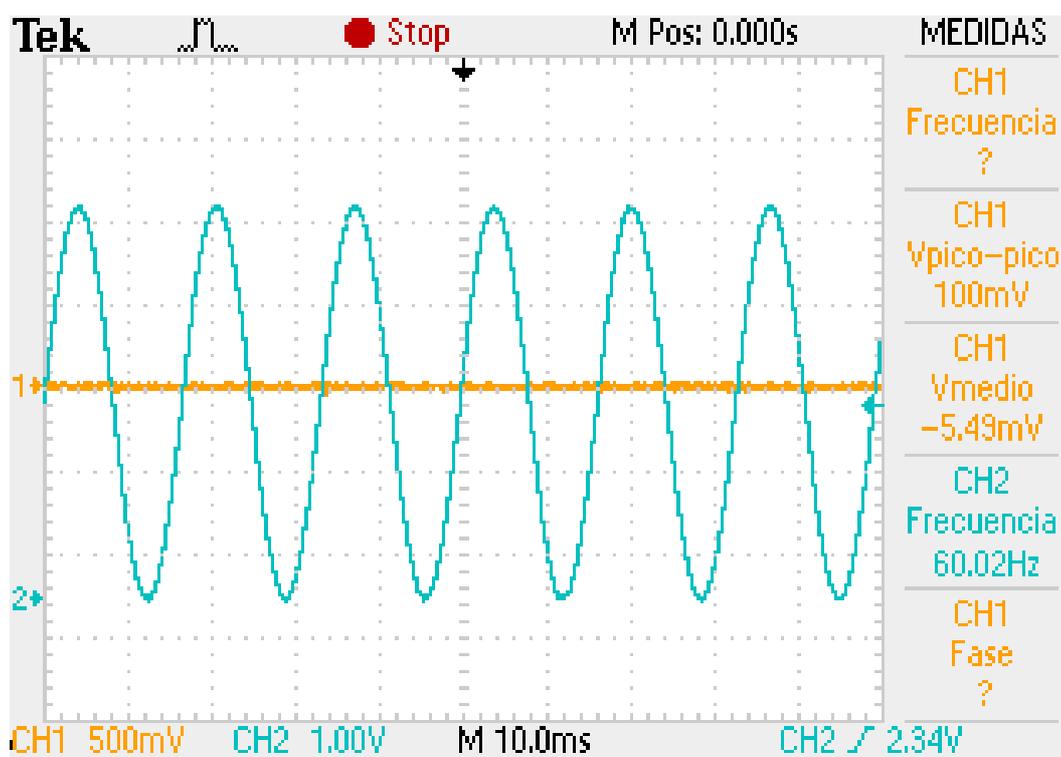


Figura 7.33: Sistema de sincronismo frente a caída de red trifásica.

CONCLUSIONES Y RECOMENDACIONES

CONCLUSIONES

1. Es posible y factible realizar un sistema de sincronismo sobre una plataforma DSP usando el lenguaje de programación C, el cual tiene la rapidez necesaria en el procesamiento para obtener resultados comparable con sistemas de sincronismo comerciales, y además a bajo costo lo cual hace accesible su implementación en proyectos relacionados a la generación eléctrica y calidad energética.
2. Se desarrolla un sistema de sincronismo para red trifásica que cumple con los requerimientos de inmunidad ante perturbaciones de desbalance de fase y distorsión armónica que se pueden presentar en la red eléctrica.
3. El diseño del sistema de control sobre la plataforma DSP evita la utilización de filtros analógicos, lo cual significa inconvenientes en el tratamiento de la señal dado que estos producen un desplazamiento en el tiempo de la señal a ser filtrada y además un incremento en los costos del hardware del sistema.
4. El trabajo de instrumentación realizado tanto con los transductores de voltaje de efecto Hall y el circuito de acondicionamiento permite la medición de las tensiones de la red trifásica mediante una señal que se pueda ser ingresada al DSP, además hace que la parte electrónica del sistema se mantenga aislado de la parte de potencia, evitando de esta manera daños en el DSP y garantizando la continuidad del funcionamiento.
5. Ante una caída de la red trifásica el sistema de sincronismo propuesto continúa generando la señal de fase con una frecuencia ideal de 60Hz en base al último dato obtenido antes de la caída de tensiones.
6. La señales que se obtienen en el DSP como la fase, la frecuencia, la componente de secuencia positiva entre otros datos más, pueden ser usados por otros dispositivos usando los puertos seriales del DSP, la transmisión de datos por protocolo SPI o mediante una señal analógica con el uso de un DAC u otra interface diseñada para el caso de que una aplicación la requiera.

7. Dadas las características del DSP en cuanto a procesamiento, se puede aumentar la velocidad de muestreo hasta un valor máximo de 21KHz, en caso de que solo se emplee el DSP exclusivamente en la obtención de la fase.

RECOMENDACIONES

1. Se recomienda que las tarjetas de los transductores estén lo más cerca posible a la fuente de alimentación trifásica con el objetivo de evitar corrientes inducidas en los conductores, ya que de tratarse de corrientes muy pequeñas ($<14\text{mA}$) la exactitud en la medición puede verse afectada. Así mismo se sugiere el uso de cables apantallados entre la fuente de alimentación trifásica, las tarjetas de los transductores de voltaje y la tarjeta de acondicionamiento de voltaje con el mismo fin.
2. En una versión mejorada de este sistema de sincronización, se debe considerar fabricar una tarjeta profesional en la cual se pueda realizar el montaje del DSP y de las interfaces necesarias para su utilización, con el fin de tener un hardware dedicado al sincronismo de la fase de una red trifásica.
3. Para una operación continua se recomienda que el procesador digital de señales este tenga su disipador de calor y un ventilador a medida, dado que el DSP efectúa operaciones de punto flotante y por ello el procesador se calienta, pudiendo llegar a una temperatura relativamente alta. De la misma manera el DSP debe encontrarse en un compartimiento cuyo grado de protección mínimo sea IP65.
4. Antes de poner el funcionamiento el sistema es recomendable calibrar el ingreso de las señales con los potenciómetros ubicados en la tarjeta de acondicionamiento con el objetivos de lograr el mejor resultado, así mismo si se deseara la utilización del sistema para otro valor de voltaje de línea se deberá cambiar la resistencia de medición en la tarjeta de acondicionamiento de señal en vez de fabricar una nueva.
5. En caso de que se quiera aumentar la frecuencia de muestreo en el sistema de control del sistema de sincronismo, se deberá tener en cuenta que el tiempo de procesamiento del algoritmo de control el cual es de $46\mu\text{s}$, lo que quiere decir que la frecuencia de muestreo aumentada no deberá ser mayor a 21.74KHz.

BIBLIOGRAFIA

- [1] Vikram Kaura y Vladimir Blasko, "Operation of a Phase Locked Loop System Under Distorted Utility Conditions", IEEE Transactions on Industry Application, 1997.
- [2] Dr. Ing. Ralph Kennel, "Space Vector, Power Electronics", Technische Universität München, 2012.
- [3] Manuel Nieves P., "Modelo en el dominio del tiempo de un filtro activo de potencia paralelo para la validación de modelos frecuenciales", Universidad de Sevilla, 2010.
- [4] Administración Nacional de Usinas y Transmisiones Eléctricas (UTE), "Reglamento de baja tensión", UTE, 2001.
- [5] Víctor Sanchez H., "Perturbaciones en la red eléctrica", Universidad de Quintana Roo", 2006.
- [6] Desbalance de tensiones en sistemas trifásicos. Encontrada en <http://www.ecamec.com/newsletter/bajarnotaa0909.pdf>
- [7] Se-Kyo Chung, "A Phase Tracking System for three Phase Utility Interface Inverters", IEEE Transactions on Power Electronics, 2000.
- [8] Distorsión armónica. Encontrada en http://es.wikipedia.org/wiki/Distorsi%C3%B3n_arm%C3%B3nica
- [9] Teorema de Fortescue. Encontrado en http://es.wikipedia.org/wiki/Teorema_de_Fortescue
- [10] R. Pindado, "Phase Locked Loop (PLL): Fundamento y aplicaciones", Universidad Politécnica de Cataluña, 2001.
- [11] Xiao-Qiang GUO, Wei-Yang WU, He-Rong GU,"Phase locked loop and synchronization methods for grid-interfaced converters", Yanshan University, 2011.
- [12] Katsuhiko Ogata, "Ingeniería de Control Moderna", Pearson, 1998.
- [13] Jeffrey W. Umland y Mohammed Safiuddin, "Magnitude and Symmetric Optimum Criterion for the Design of Linear Control Systems", State University of New York at Buffalo, 1988.
- [14] Steven W. Smith, "The Scientist and Enginner's Guide to Digital Signal Processing", California Technical Publishing, 1999.

- [15] Federico Barrero, "Procesadores digitales de señal de altas prestaciones de Texas Instruments", McGraw-Hill, 2005.
- [16] Frank Bormann, "Texas Instruments TMS320F28335 Tutorial", Texas Instruments, 2004.
- [17] DSC TMS320F28335, Texas Instruments. Encontrado en <http://www.ti.com/lit/ds/sprs439m/sprs439m.pdf>
- [18] R. Portas, L. Colombel, "Accuracy of Hall-effect measurement transducers in automotive Battery Management applications using current integration", LEM S.A., 2007.
- [19] Transductores de voltaje de efecto Hall. Encontrado en <http://www.lem.com/hq/en/content/view/168/155/>
- [20] LEM Components, "Isolated current and voltage transducers", LEM Components, 2004.
- [21] Conversor analógico – digital DAC121S101, Texas Instruments. Encontrado en <http://www.ti.com/product/dac121s101>
- [22] Hoja Técnica de Reguladores de Tensión. Encontrado en: http://pdf.datasheetcatalog.net/datasheets/228/390068_DS.pdf
- [23] Reguladores de Tensión. Encontrado en http://es.wikipedia.org/wiki/Regulador_de_tensi%C3%B3n
- [24] P. Rodriguez, RTeodorescu, I. Candela, "New positive-sequence voltage detector for grid synchronization of power converters under faulty grid conditions", Power Electronics Specialists Conference, 2006.
- [25] Jim Ögren, "PLL design for inverter grid connection", Uppsala Universitet, 2011.
- [26] Katsuhiko Ogata, "Sistemas de control en tiempo discreto", Pearson, 1996.
- [27] International Electrotechnical Commission, "Testing and measurement techniques - Power quality measurement methods", IEC, 2003.
- [28] TMS320x2833x Analog-to-Digital Converter (ADC) Module, Texas Instruments. Encontrado en <http://www.ti.com.cn/cn/lit/ug/spru812a/spru812a.pdf>
- [29] TMS320x2833x, 2823x Serial Peripheral Interface (SPI), Texas Instruments. Encontrado en <http://www.ti.com.cn/cn/lit/ug/sprueu3a/sprueu3a.pdf>