

UNIVERSIDAD NACIONAL DE INGENIERIA

PROGRAMA ACADÉMICO DE INGENIERIA
MECANICA Y ELECTRICA



Diseño de un Codificador que convierte una
Señal de Cuatro Niveles a Código Binario

TRABAJO MONOGRAFICO PARA OPTAR EL GRADO DE
BACHILLER EN CIENCIAS CON MENCION EN

Ingeniería Mecánica y Eléctrica

Máximo Elías Honda Begazo

PROMOCION 1973

LIMA PERU

1974

INTRODUCCION

Al concluir mis estudios en la Universidad Nacional de Ingeniería, en la especialidad de Electrónica, como un resumen de una parte de los conocimientos adquiridos en esta casa de estudios, trato de desarrollar el presente trabajo monográfico para optar el título de Bachiller en Electrónica. Espero con el presente trabajo aportar con algo en la formación de futuras generaciones de ingenieros.

En cuanto al objeto técnico se puede resumir en lo siguiente : se tiene una señal de entrada con un nivel máximo de cuatro niveles, siendo estos niveles correspondientes a los números : 0, 1, 2 y 3.

Considero que la señal de entrada es una señal cuantificada con retorno a cero, mi objetivo es que dicha señal sea codificada en código binario. Por otra parte he preferido implementar la circuitería del codificador en base a elementos disponibles individualmente sin tener que recurrir a los circuitos integrados.

Aplicaciones : En general un codificador que pasa una señal de N niveles al sistema binario, tiene varias aplicaciones, entre estas: en el campo de las Telecomunicaciones puede emplearse en la transmisión de información por código de pulsos (PCM) ; en Computación Digital, para llevar una información analógica a digital en base 3.

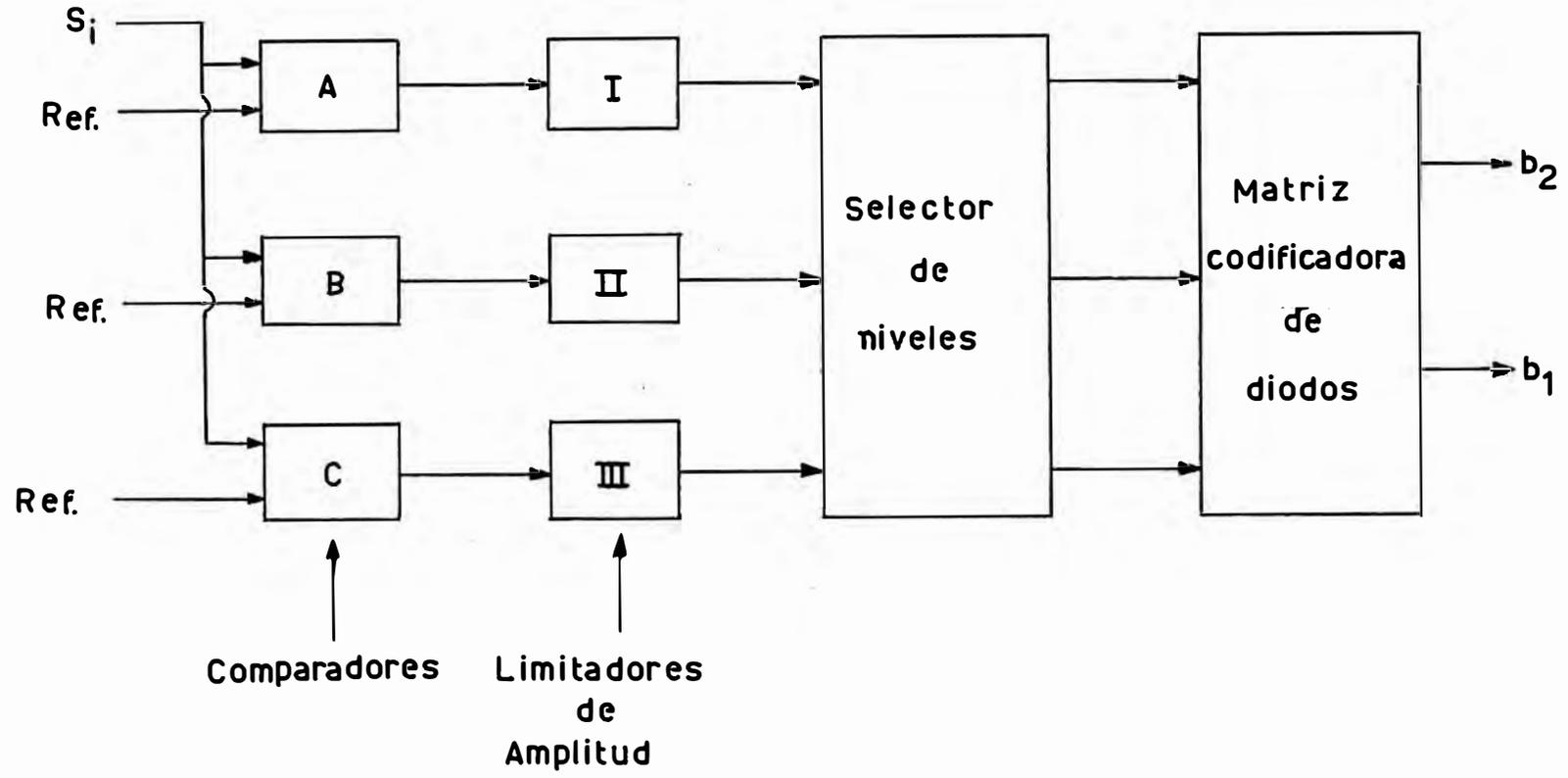
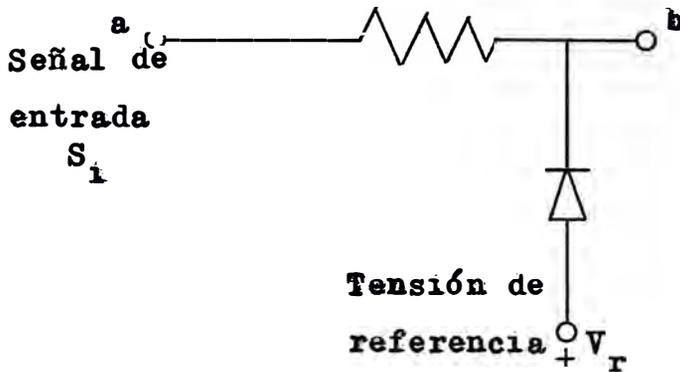


DIAGRAMA DE BLOQUES DEL CODIFICADOR

Circuitos comparadores mas fijadores o enclavadores

Asignando a los niveles 0, 1, 2, y 3 las tensiones : 0, 3,6 y 9 voltios respectivamente, podemos seleccionar salidas adecuadas a cada nivel mediante circuitos comparadores con sus respectivas tensiones de referencia. La tensión de referencia en cada comparador puede obtenerse de una sola fuente a través de resistencias seleccionadas adecuadamente. Los circuitos comparadores por sencillez los elijo con una resistencia más un diodo, tal como se muestra a continuación :

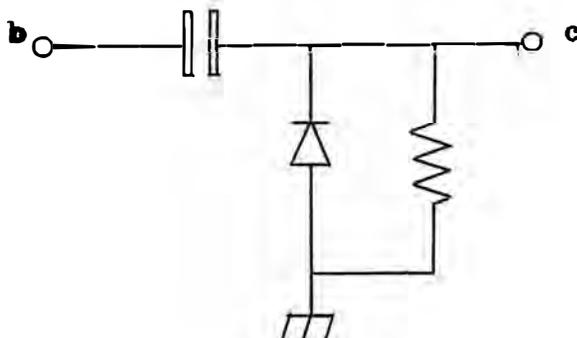


Si $S_i < V_r$ en b debe salir V_r (c.c.)

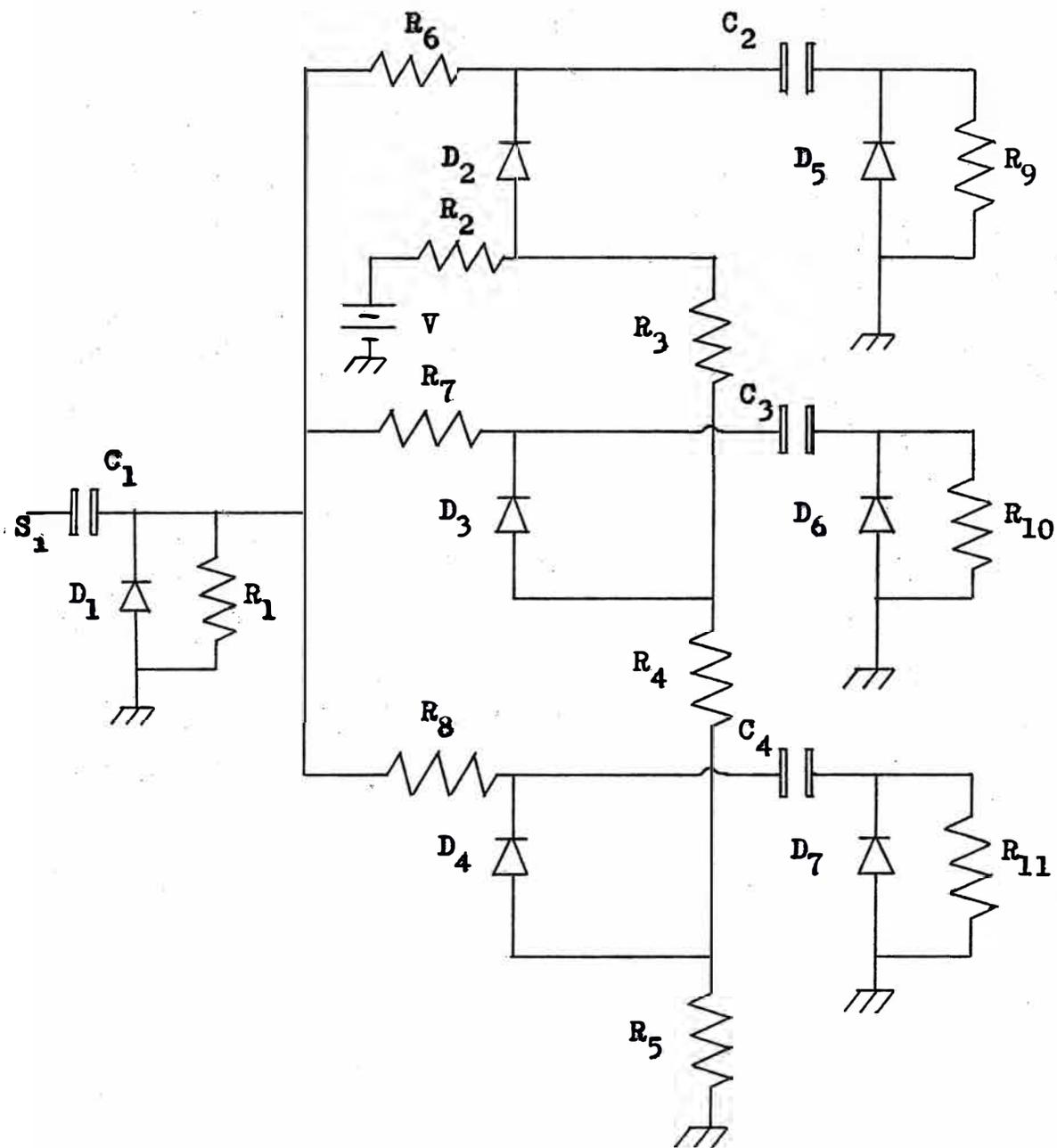
Si $S_i > V_r$ en b debe salir S_i con nivel de continua V_r

Para tener siempre el mismo nivel de cc, en la salida del circuito comparador debemos colocar un circuito enclavador, tal como el siguiente que fija la entrada a un nivel positivo :

vo :



Desde la entrada en el punto a hasta la salida en el punto c puede resumirse al siguiente circuito :



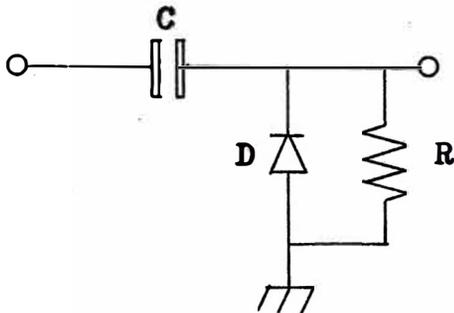
Puede observarse que a la señal de entrada se le ha fijado, de tal manera que sea positiva, esto por precaución, ya

que no se conoce el nivel de continua que puede tener la señal de entrada que puede ser positiva o negativa.

Fijadores

Para el diseño de los circuitos fijadores, es necesario conocer la frecuencia de cuantificación de la señal analógica. Con una frecuencia igual a 1 KHz de Si : para los circuitos enclavadores se requiere que la constante de tiempo del circuito con el diodo abierto sea grande y con el diodo en conducción sea pequeña.

Características del diodo

$$\left\{ \begin{array}{l} R_i \text{ (diodo abierto)} \gg R \\ R_f \text{ (diodo conduciendo)} \ll R \end{array} \right.$$


$$f = 1/2 \text{ KHz} \rightarrow T = 2 \text{ ms}$$

eligiendo:

$$RC = 10 \text{ ms} \gg T$$

$$R_f C = 0.1 \text{ ms} \ll T$$

$$\text{Luego con } R = 10 \text{ K}\Omega$$

$$C = 1 \mu\text{f} \quad R_f = 100 \Omega$$

$$\text{Luego : } R_1 = R_9 = R_{10} = R_{11} = 10 \text{ K}\Omega$$

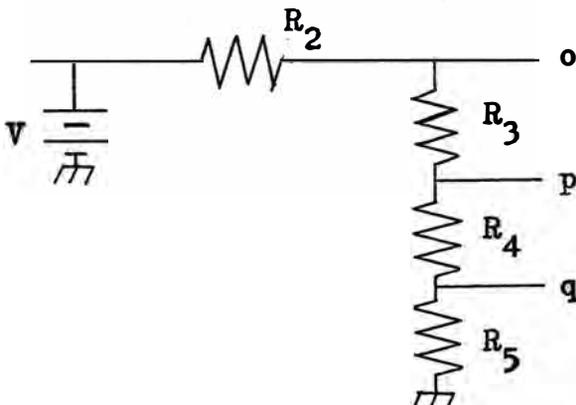
$$C_1 = C_2 = C_3 = C_4 = 1 \mu\text{f}$$

En cuanto a los diodos $D_1, D_5, D_6,$ y D_7 deben reunir más o menos las características siguientes :

$$R_f = 100 \Omega \quad R_i = 100 \text{ K}\Omega - 1 \text{ M}\Omega$$

tensión de codo $\sim 0.2 \text{ V}$

Circuito de referencia :



Se requiere detectar los niveles de tensión : 9.3, 6.3 y 3.3 voltios. Para una salida más o menos igual de cada comparador elegimos los niveles de referencia:

en O : 6.5 V

en P : 3.5 V

en Q : 0.5 V

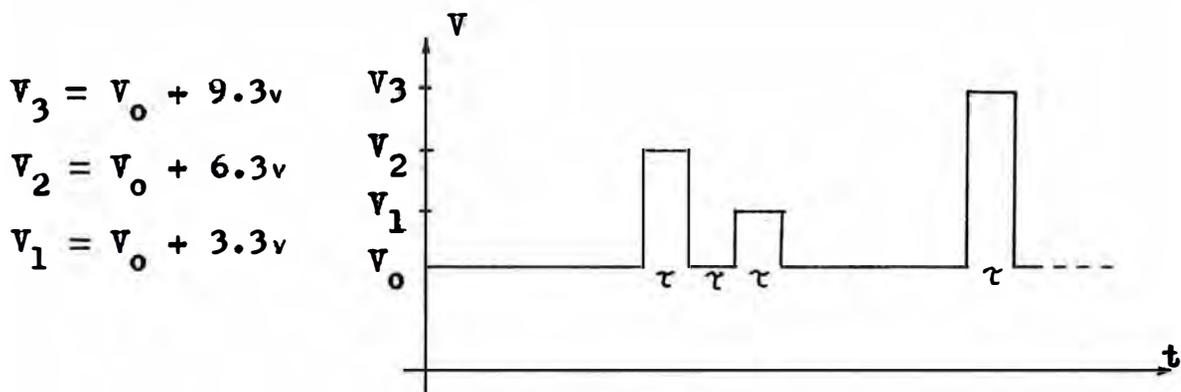
A fin de las etapas posteriores del circuito no carguen al circuito de referencia, escogeremos resistencias pequeñas.

$$\frac{R_3 + R_4 + R_5}{6.5} = \frac{R_4 + R_5}{3.5} = \frac{R_5}{0.5}$$

Luego : $R_4 = 6R_5 = R_3$ con $R_5 = 100 \Omega$
 $R_3 = R_4 = 600 \Omega$

Análisis de la respuesta del circuito enclavador

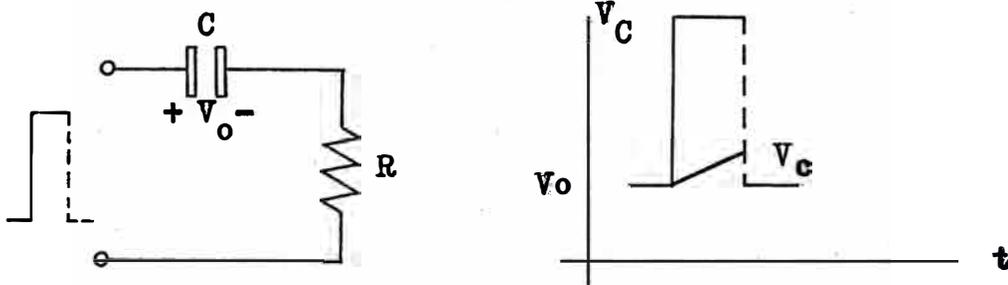
Sea la señal de entrada al circuito enclavador tal como se muestra en la siguiente figura :



Se puede apreciar en la figura anterior que precediendo a la señal cuantificada, existe por varios periodos un nivel de continua V_0 igual al nivel constante adicionada a la señal que penetra al codificador; se hace esto, con el fin de cargar al condensador al valor inicial V_0 de tal manera que la señal de salida quede fijada al nivel cero.

Por otra parte el ancho de los pulsos rectangulares es $\tau = 1 \text{ ms}$.

Cuando la señal de entrada está en su nivel más alto, esto es, cuando $V_i > V_o$, el diodo no conduce y el circuito equivalente es el siguiente:

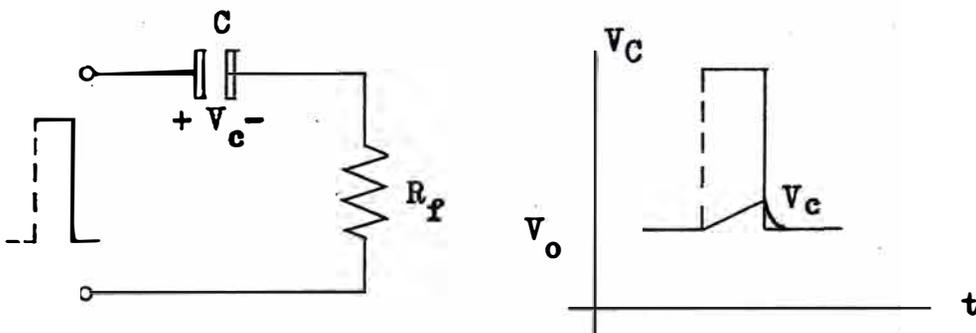


Durante el tiempo τ de no conducción del diodo, el condensador se carga al valor V_c con una constante de tiempo RC

$$V_c = V_o + (V_i - V_o)(1 - \exp(-\tau/RC))$$

dato que $RC \gg \tau$, la expresión anterior puede aproximarse a: $V_c = V_o + (V_i - V_o)\tau/RC$; valor de esta expresión en el peor de los casos: $V_c = V_o - 0.9$ voltios, diferencia que bien puede reducirse si disminuimos el ancho de los pulsos o aumentamos el valor de la constante de tiempo RC .

Cuando el nivel de la señal de entrada cae en su punto más bajo, esto es cuando $V_i = V_o$, el diodo conduce y el circuito equivalente es el siguiente:

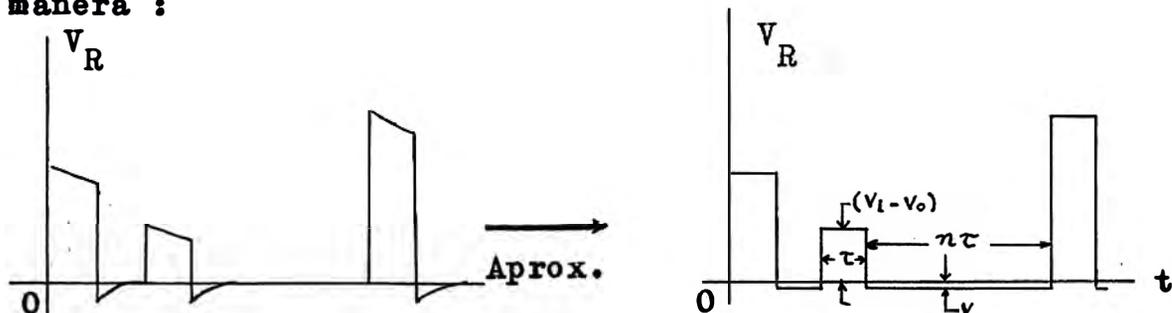


Ahora el condensador empieza a descargarse rápidamente hasta que la tensión en el mismo sea igual a V_0 , la constante de tiempo de descarga es $R_f C$:

$$V'_c = V_0 + (V_c - V_0) \exp(-t/R_f C) \quad t \leq \tau$$

dato que $R_f C \ll \tau$, para $t = \tau$, $V'_c \approx V_0$

Luego la señal cuantificada queda fijada de la siguiente manera:



En la segunda figura puede demostrarse que se cumple la relación: $A_f / A_r = R_f / R$ $\frac{n \tau V}{\tau (V_i - V_0 - V)} = R_f / R$

de donde $V = (V_i - V_0) R_f / nR$

reemplazando los valores de R_f y R : $V = (V_i - V_0) / 100n$

y que para el peor caso, esto es $V_i = 9V$, $n = 1$

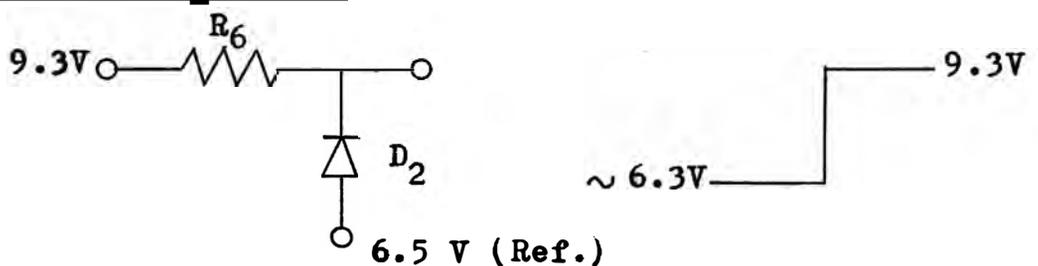
$$V = 0.09V - V_0 / 100$$

Comparadores

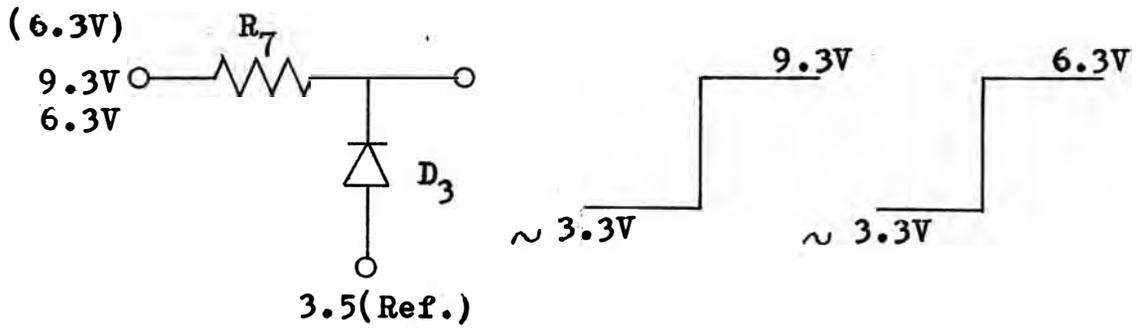
Debe elegirse el valor de la resistensia R tal que en el peor de los casos no cargue al circuito de referencia. Eligiendo $R = 5K\Omega$. En cuanto a los diodos, pueden ser similares a los utilizados en los circuitos enclavadores.

A la salida de los circuitos compradores tendremos los siguientes niveles de señal:

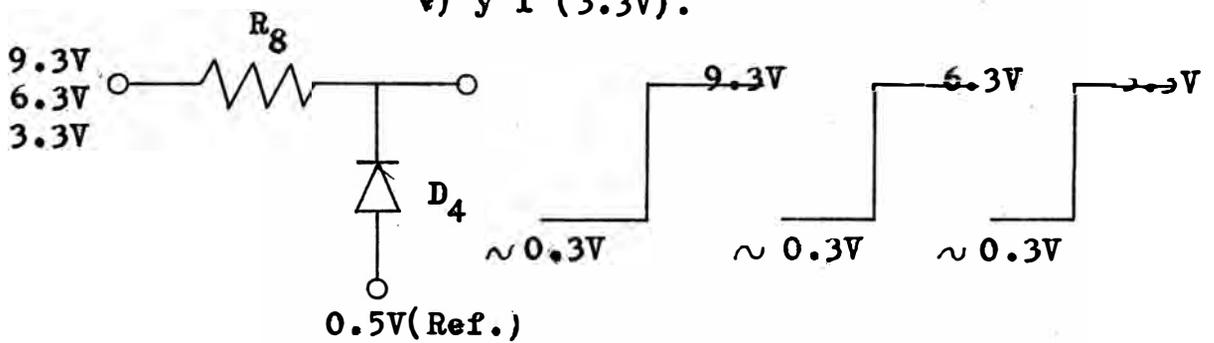
Primer comparador.- Detecta solo el nivel 3 (9.3V)



Segundo comparador .- Detecta los niveles 3 (9.3V) y 2 (6.3V)

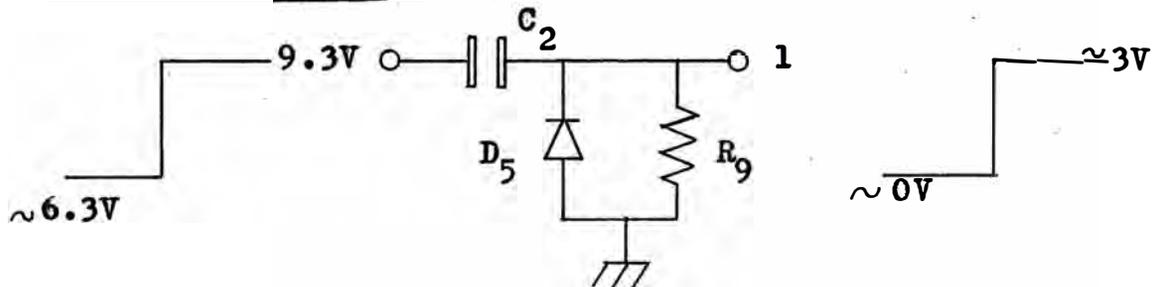


Tercer comparador.- Detecta los niveles 3 (9.3V), 2 (6.3V) y 1 (3.3V).

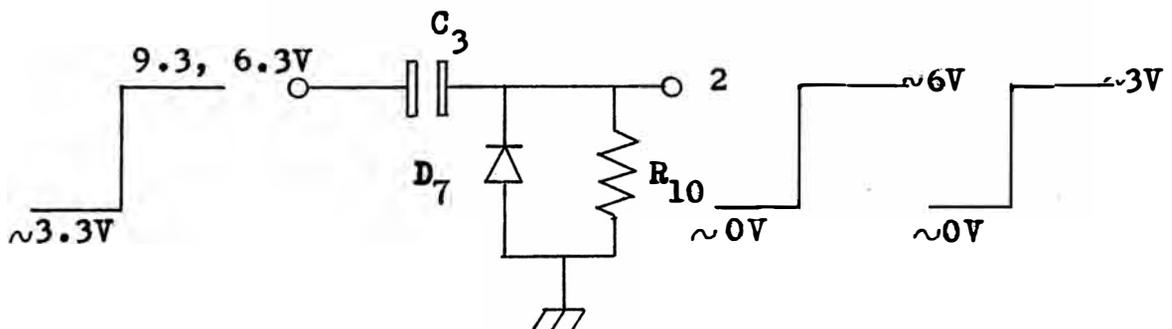


Estas señales al pasar por los respectivos circuitos enclavadores originan las siguientes salidas :

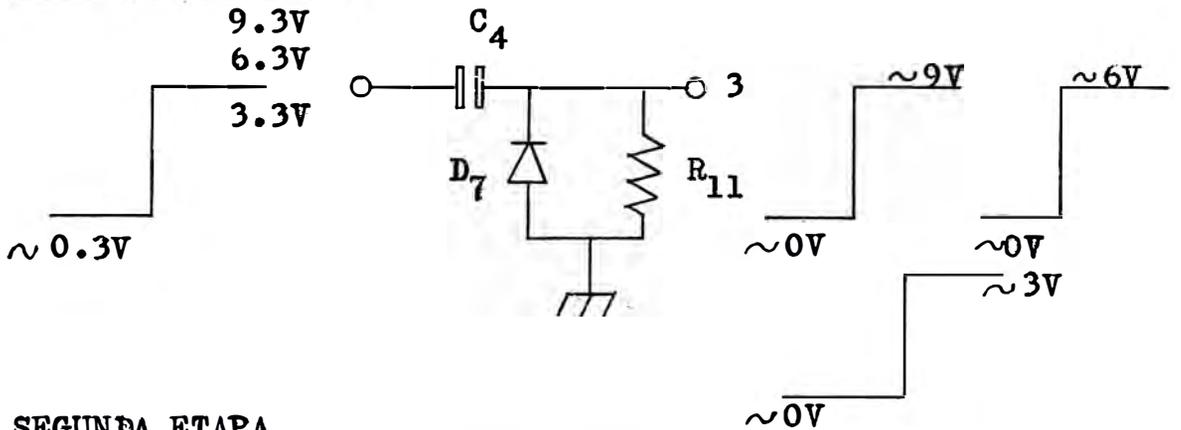
Primer enclavador.- Fija el nivel 3



Segundo enclavador.- Fija los niveles 3 y 2



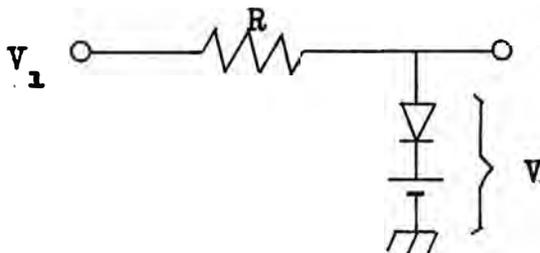
Tercer enclavador.- Fija los niveles 3, 2, y 1



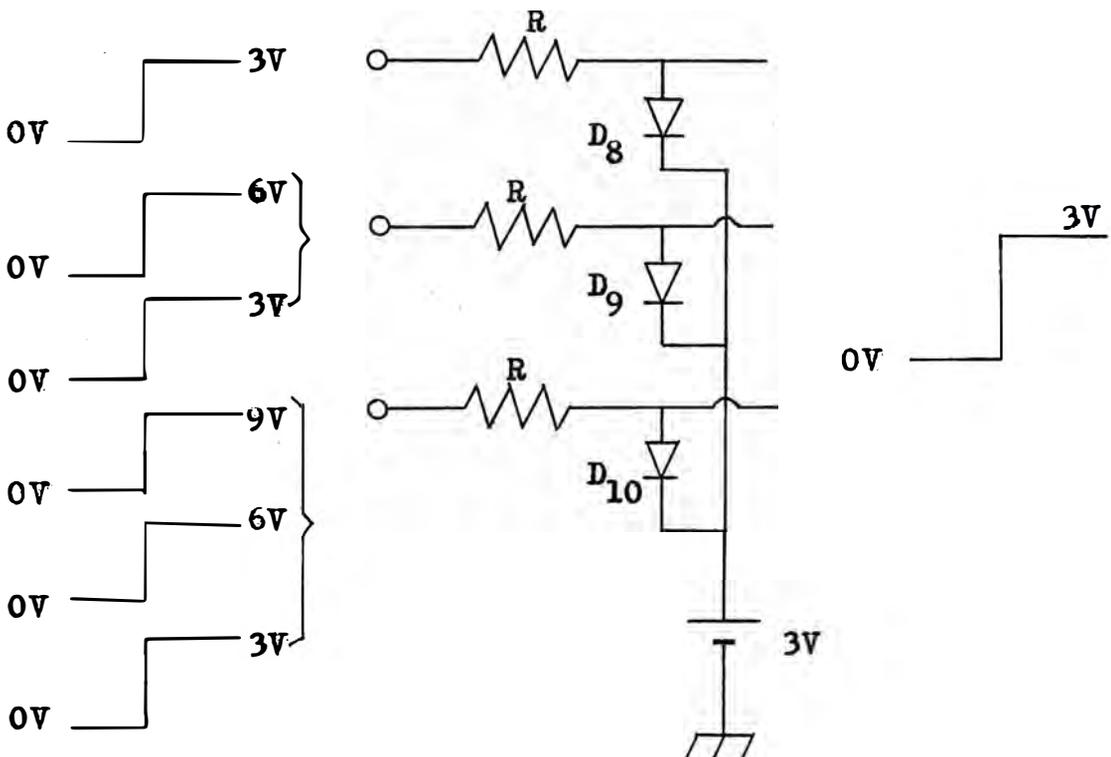
SEGUNDA ETAPA

Circuitos Limitadores de Amplitud

Con el fin de obtener niveles de tensión uniformes en las señales detectadas, introducimos tres circuitos limitadores, uno por cada canal (salidas 1, 2 y 3).



Los tres limitadores pueden disponerse de la siguiente manera :



Con $V_i > V$ el diodo conduce y la salida será V
 con $V_i < V$ el diodo queda abierto y la salida será V_i

La resistencia R se elige de tal manera que no cargue al
 circuito de entrada, escogemos : $R = 5K\Omega$

Los diodos son similares a los ya empleados en los circui-
 tos previos.

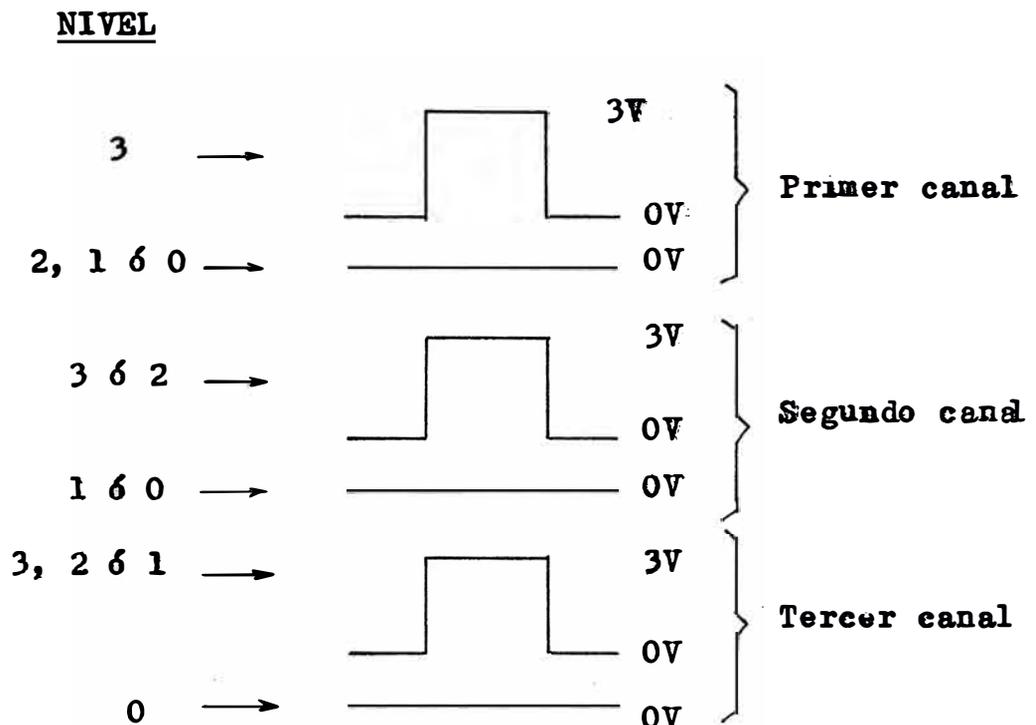
Tercera Etapa

Circuitos selectores de nivel

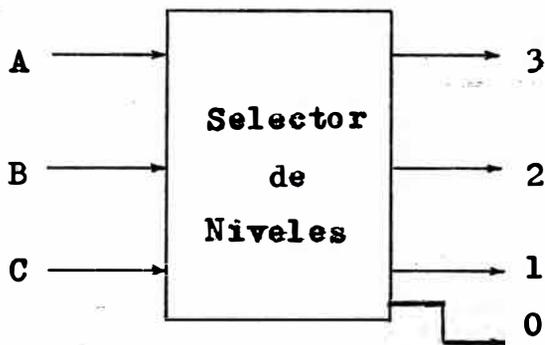
En esta etapa ya intervienen los circuitos lógicos, cuya im-
 plementación requieren previo análisis lógico.

Vuelvo a recalcar, que en el presente trabajo no trato de
 utilizar circuitos integrados (OR, AND, NAND, etc.) TTL, DTL
 ó cualquier otro, puesto que como éstos ya están diseñados,
 pues bastaría realizar los ajustes que requieren estos cir-
 cuitos adecuándolos con los niveles de señal de entrada, lo
 cual considero que disvirtuaría el presente trabajo.

Después de las etapas previas las señales obtenidas son
 las siguientes :



Análisis lógico :



Nivel 3 : $A = B = C = 1$

Nivel 2 : $A = 0$

$B = C = 1$

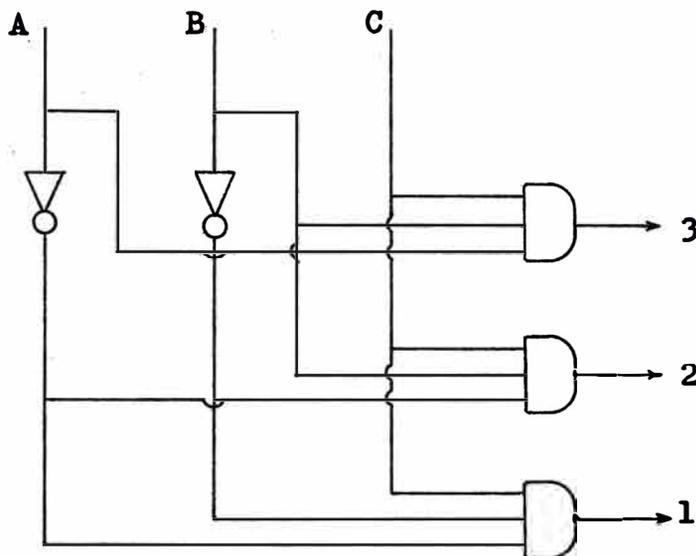
Nivel 1 : $A = B = 0$

$C = 1$

Nivel 0 : $A = B = C = 0$

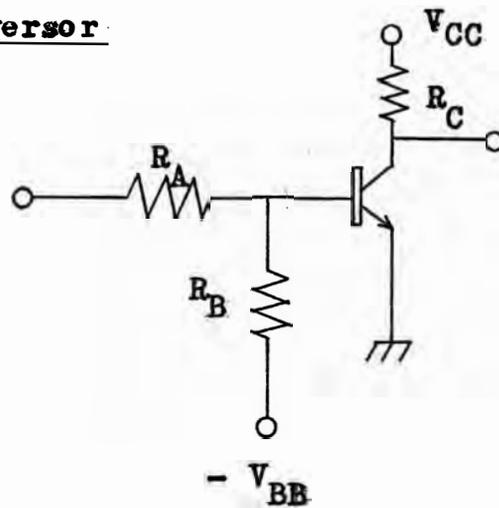
Entrada			Salida	Nivel
A	B	C		
1	1	1	$A B C$	3
0	1	1	$\bar{A} B C$	2
0	0	1	$\bar{A} \bar{B} C$	1
0	0	0	0	0

Implementación



Por tanto, necesito 2 inversores y 3 circuitos AND.

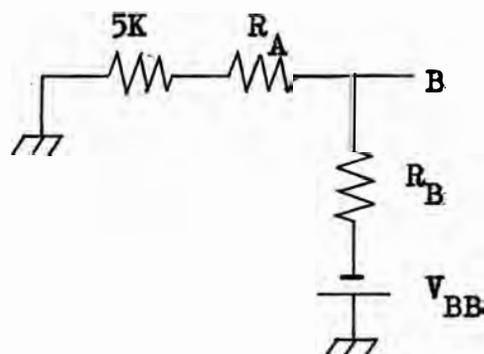
Circuito Inversor



Para este circuito inversor utilizamos el transistor para switching 2N1304, cuyas características son:

$I_c = 20 \text{ mA}$	$V_{CE} = 0.35 \text{ V}$	$h_{FE} = 65$
$I_C = 10 \text{ mA}$	$I_B = 0.25 \text{ mA}$	$f_T = 15 \text{ Mhz}$
$h_{FEmin} = 40$		$t_d = 60 \text{ ns}$
$V_{CE(Sat)} < 0.2 \text{ V}$		$t_r = 210 \text{ ns}$
$V_{BE(Sat)} < 0.35 \text{ V}$		$t_f = 350 \text{ ns}$

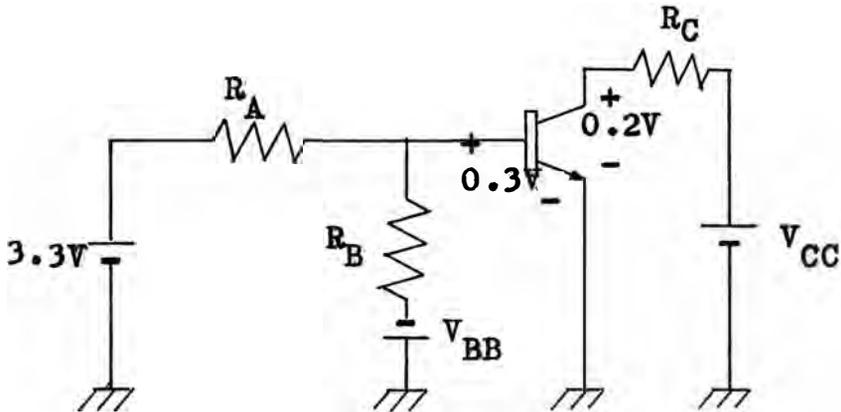
Transistor cortado :



Por ser el transistor de Germanio se requiere por lo menos una tensión inversa base-emisor $V_{BE} = -0.1V$ para quedar cortado.

De la figura anterior
$$V_{BE} = - \frac{(R_A + 5)}{R_A + R_B + 5} V_{BB} \quad (1)$$

Transistor saturado :



Para la saturación del transistor se requiere que se cumpla la relación siguiente :

$$I_C / I_B \leq 40$$

De la figura anterior
$$I_B = \frac{3}{R_A} - \frac{V_{BB} + 0.3}{R_B} \quad (2)$$

$$I_C = \frac{V_{CC} - 0.2}{R_C} \quad (3)$$

Con $V_{CC} = 3V$; $V_{BB} = 3V$ y V_{BE} en corte : $-0.5V$

De (1) se obtiene :
$$2 \times 0.5 = \frac{R_A + 5}{R_A + R_B + 5} \times 3 \times 2$$

De aquí :
$$R_A + R_B + 5 = 6R_A + 30$$

Por tanto
$$R_B = 5R_A + 25 \quad (\alpha)$$

Con $I_C = 2\text{mA}$ De (3) se obtiene :

$$R_C = \frac{3 - 0.2}{2} \text{ V/mA}$$

$$R_C = 1.4 \text{ K}\Omega$$

por tanto $I_B \geq 2/40 \text{ mA} = 0.05 \text{ mA}$

elegimos $I_B = 0.1 \text{ mA}$

reemplazando en (2) : $0.1 = \frac{3}{R_A} - \frac{3.3}{R_B}$ (β)

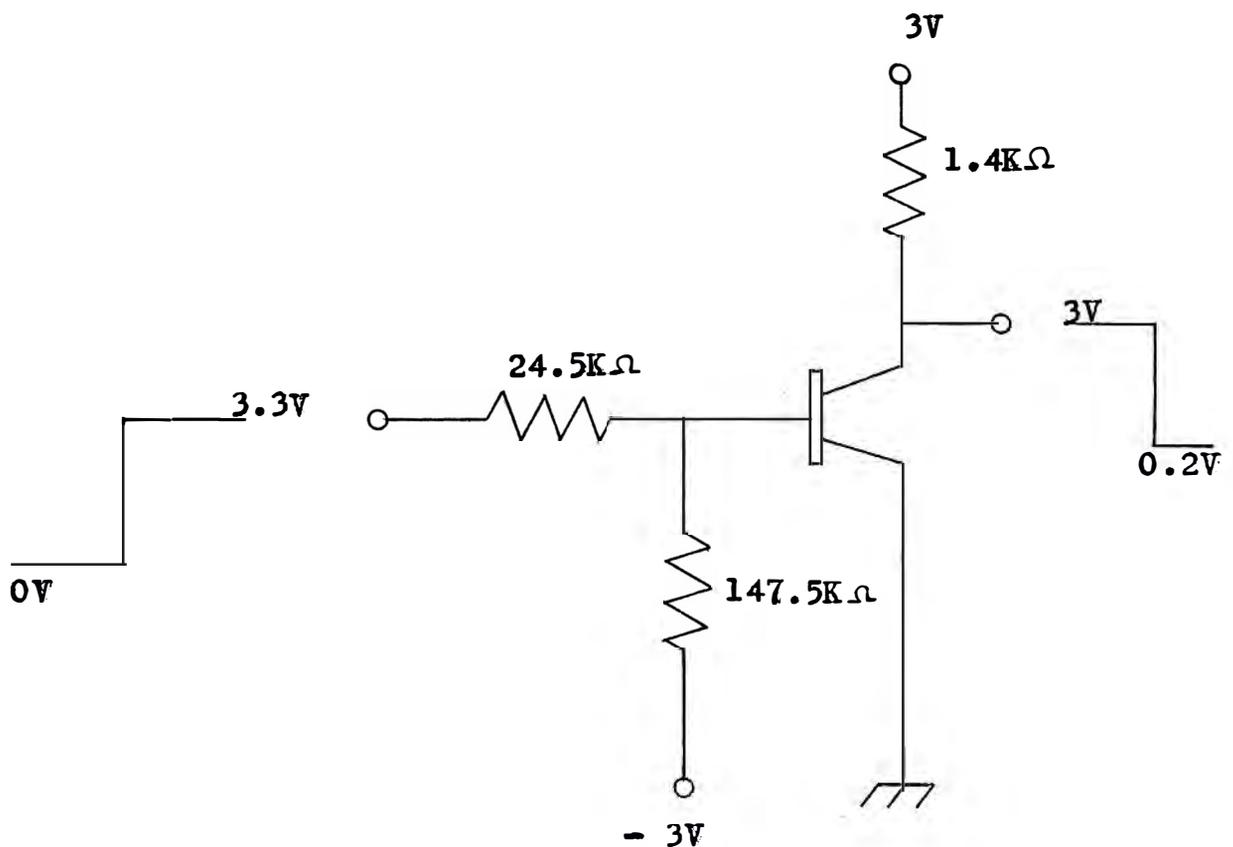
reemplazando (α) en (β) :

$$R_A = 24.5 \text{ K}\Omega$$

luego

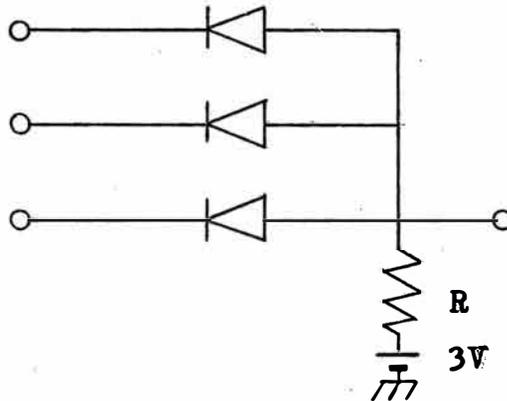
$$R_B = 147.5 \text{ K}\Omega$$

Finalmente el circuito inversor queda reducido al siguiente:



Circuito AND

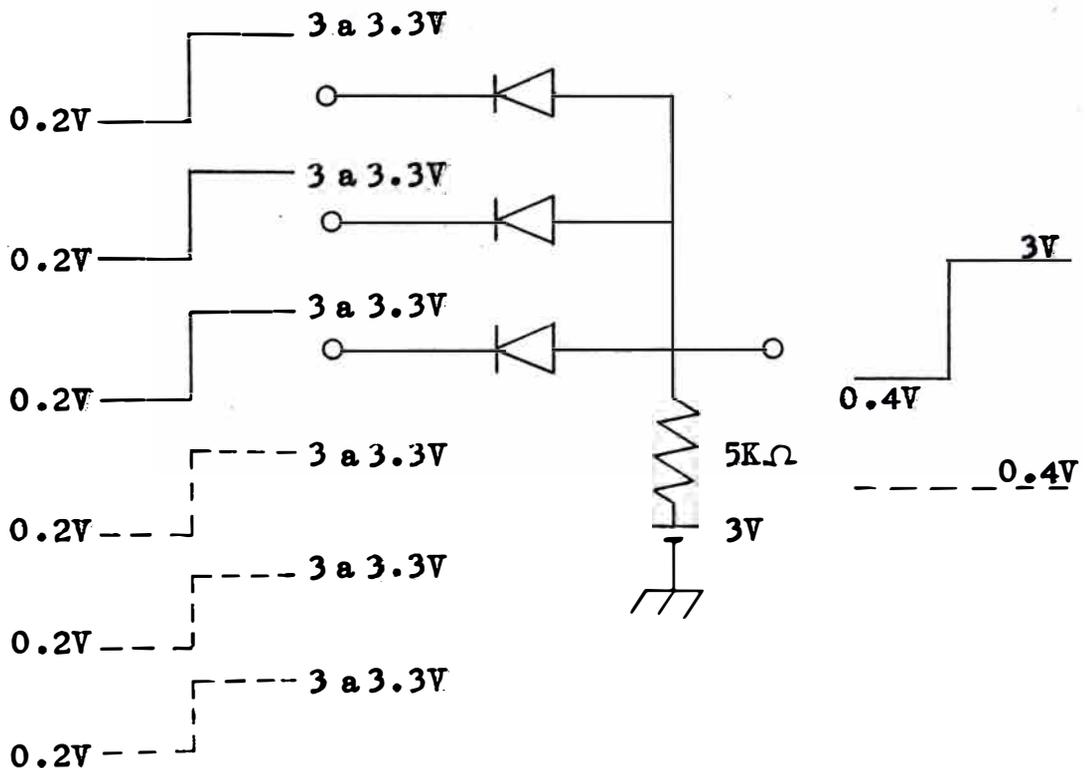
Emplearemos para los circuitos AND los diodos con las mismas características de los utilizados en las etapas previas en cuanto a la resistencia, escogeremos su valor tratando de que no cargue a las etapas previas, así : $R = 5\text{ K}\Omega$



El circuito funciona de la siguiente manera ?

Si las tres entradas están en alto (3 a 3.3V), los diodos conduciran y la salida será alta (3V).

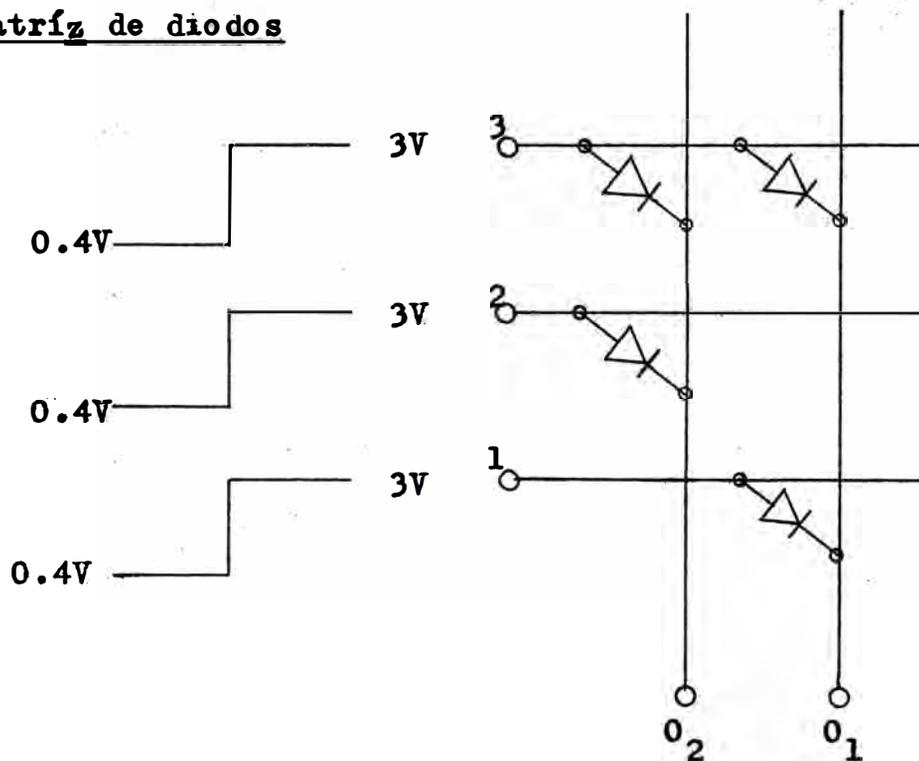
Si una o más de las tres entradas están en bajo ($\sim 0.2\text{V}$), dieno(s) diodo(s) conduce(n), no asi los que corresponden a las entradas en alto que se cortan y por tanto la salida quedará en bajo ($\sim 0.4\text{V}$)



Luego de esta etapa, de la cuál salamos finalmente por 1 de 4 posibles caminos (se entiende que si no hay señal alguna de entrada, el nivel de salida corresponde al nivel ce ro y por tanto se incluye como posible camino), arribamos a la última etapa propiamente del circuito y es justamente la etapa encargada de de hacerle corresponder a cada nivel, un par de dígitos en el sistema binario.

CUARTA ETAPA

Matriz de diodos



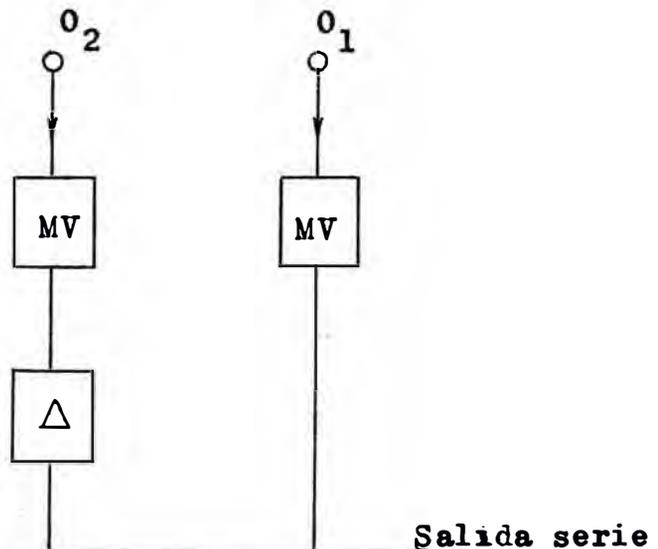
Si la entrada es cero la salida $0_2 0_1$ será igual a cero: 00, si la entrada se efectúa por el nivel 3 la salida será $0_2 0_1 = 11$; por el nivel 2, la salida será : $0_2 0_1 = 10$; por el nivel 1, la salida será : $0_2 0_1 = 01$.

Código Binario :

3	=	11
2	=	10
1	=	01
0	=	00

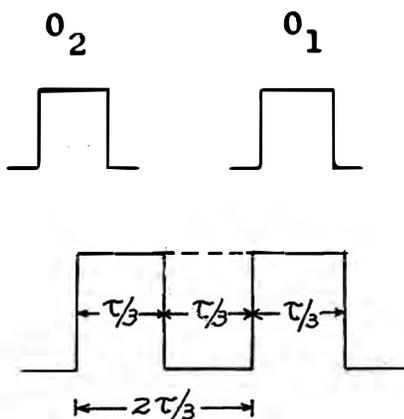
Con señal de entrada a la matriz de diodos que varía entre 0.4 y 3V se obtiene en la salida una señal que varía entre 0.2V y 2.8V (debido a la tensión inversa de codo que p seen los diodos : 0.2 a 0.3V). A esta señal de salida se le ha asignado el dígito uno. Hay que tener en cuenta que los niveles de entrada 0, 1, 2 y 3 no ocurren simultáneamente.

Hasta aquí hemos logrado nuestro objetivo; ahora bien, si quisieramos que la salida fuese codificada en forma serial y no en paralelo , es decir que la salida fuese un tren de pulsos, una solución podría ser colocar en las salidas O_2O_1 dos multivibradores monoestables (uno por salida), de esta manera se puede reducir el ancho de los pulsos para poder ponerlos en serie, de tal manera que las salidas O_2O_1 se en cuadren dentro del periodo de la señal de entrada; además debe retardarse la respuesta en la salida O_2 con respecto a la respuesta en la salida O_1 mediante un circuito de retar do apropiado (Delay).



Salida Serie :

$$\tau = 1 \text{ ms}$$



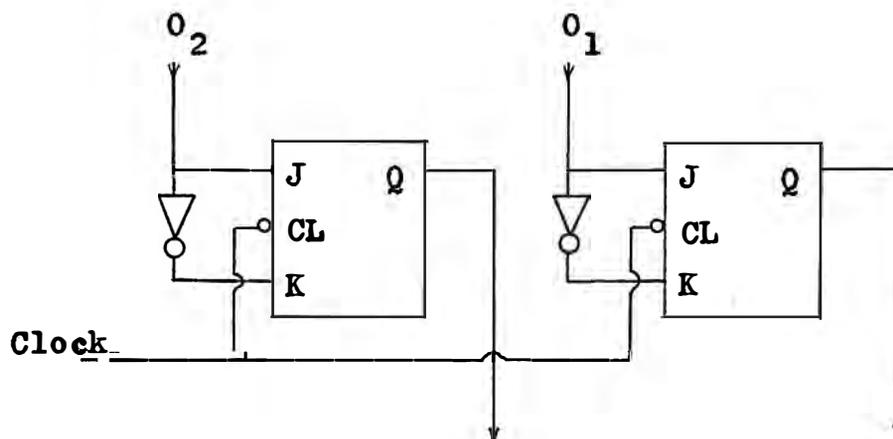
Por tanto el retardo será : $\Delta = 2\tau/3 = 2 \times 1/3 = 0.66 \text{ ms}$

$$\Delta = 0.66 \text{ ms}$$

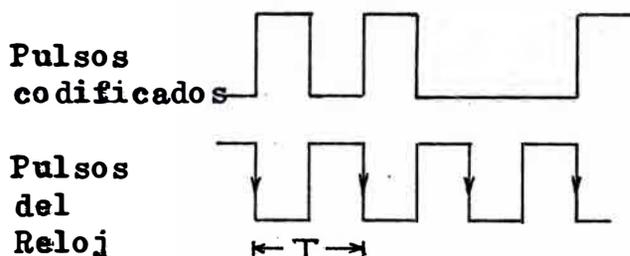
Ancho del pulso generado por el monoestable :

$$\tau/3 = 0.33 \text{ ms}$$

Tambien pueden colocarse dos flip-flop's a la salida de O_2 y O_1 en caso que se quisiera registrar los dígitos del nivel codificado :



Los flip-flop's son del tipo J-K (Registro sincrónico) .
El periodo del reloj debe ser igual al periodo de cuantificación, esto es $T = 2 \text{ ms}$



El circuito completo del convertidor de señal de 4 niveles a código binario puede verse en la foja siguiente .

lista de componentes

Resistencias

$$R_1 = R_9 = R_{10} = R_{11} = 10 \text{ K}\Omega$$

$$R_3 = R_4 = 600 \Omega \quad R_5 = 100 \Omega$$

$$R_6 = R_7 = R_8 = R = 5 \text{ K}\Omega$$

$$R_A = 24.5 \text{ K}\Omega \quad R_B = 147.5 \text{ K}\Omega \quad R_C = 1.4 \text{ K}\Omega$$

Condensadores :

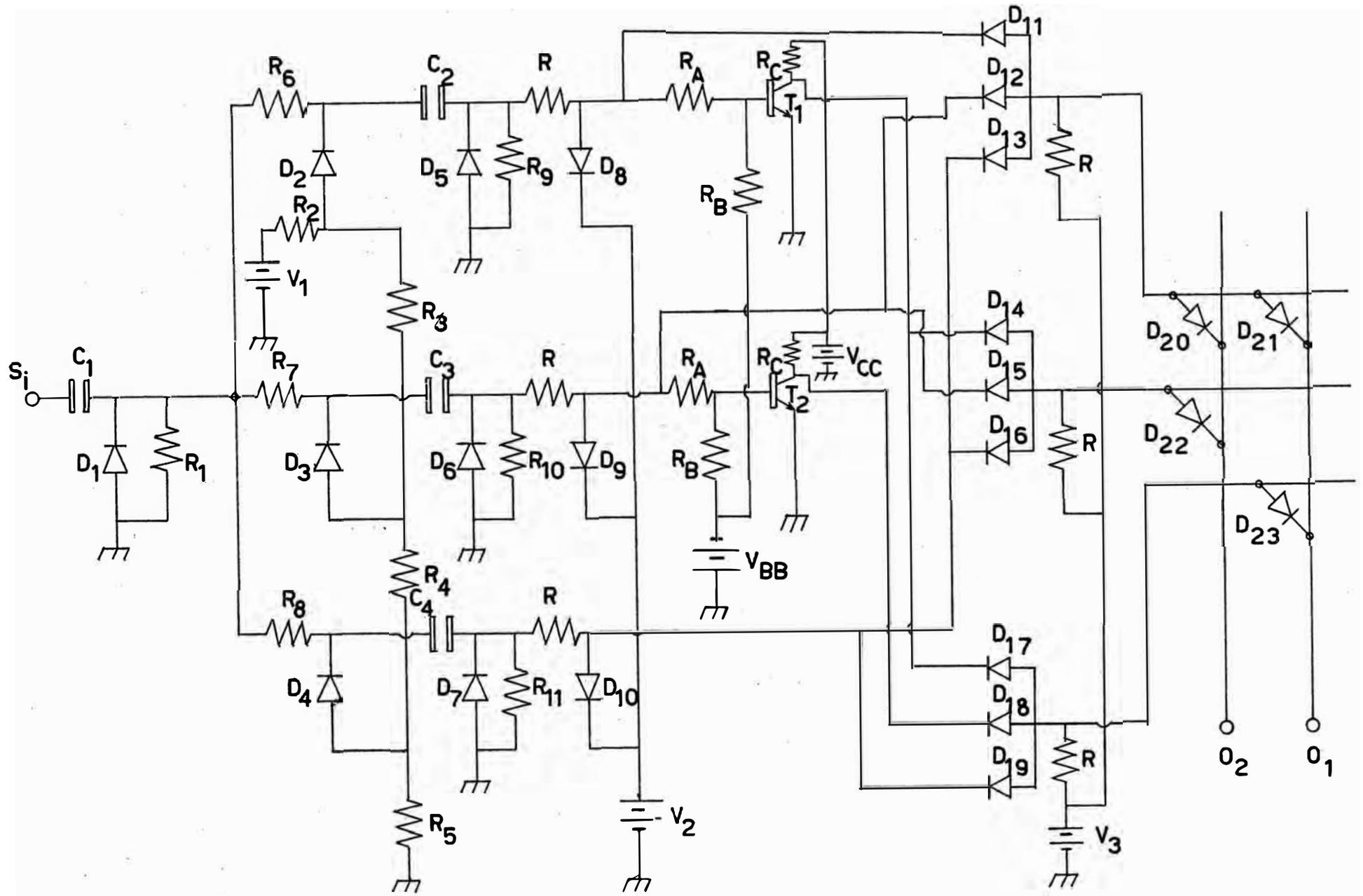
$$C_1 = C_2 = C_3 = C_4 = 1 \text{ uf}$$

Diodos :

Todos los diodos desde el D_1 al D_{23} deben ser de germanio, tensión de codo $\sim 0.2\text{V}$

resistencia en conducción $\sim 100 \Omega$

resistencia en corte $\sim 100\text{K} - 1\text{M}\Omega$ o más.



Transistores

Transistores para switching 2N1304
características :

$$I_C = 20 \text{ mA} \longrightarrow V_{CE} = 0.35 \text{ V}$$

$$I_C = 10 \text{ mA} \longrightarrow I_B = 0.25 \text{ mA}$$

$$h_{FEmin} = 40$$

$$V_{CE(Sat)} < 0.2 \text{ V}$$

$$V_{BE(Sat)} < 0.35 \text{ V}$$

$$h_{FEnormal} = 65$$

$$V_{BE(corte)} \geq -0.1 \text{ V}$$

$$f_T = 15 \text{ MHz}$$

$$t_d = 60 \text{ ns}$$

$$t_r = 210 \text{ ns}$$

$$t_f = 350 \text{ ns}$$

Fuentes

$$V_1 \geq 10 \text{ V} \text{ ajustable con } R_2$$

$$V_2 = 3 \text{ V}$$

$$V_3 = 3 \text{ V}$$

$$V_{CC} = 3 \text{ V}$$

$$V_{BB} = -3 \text{ V}$$

Observaciones y conclusiones

El presente circuito pudo ser probado en el laboratorio pero por etapas, por diversos motivos no pude probarlo íntegramente; pero sobre todo he tenido bastante cuidado en el desarrollo del diseño del mismo, especialmente tratando de evitar que el acoplamiento de las etapas posteriores cargue en a las etapas anteriores.

También he logrado subsanar ligeras deficiencias con respecto al diseño original, monografía que fué aprobada como trabajo monográfico del curso de Laboratorio de Electrónica IV para optar el grado de Bachiller.

Es claro anotar que en la realización del circuito deban efectuarse algunos ajustes de orden práctico, con el fin de obtenerse los resultados parciales previstos en el diseño y por ende un rendimiento óptimo, ajustes que no deben distar mucho de los valores teóricos.

También es importante anotar que, debido a la no linealidad de los diodos, las salidas obtenidas en cada una de las diferentes etapas no son pulsos perfectamente cuadrados, lo cual no influye en el objetivo del circuito, puesto que no nos interesa obtener ondas perfectamente rectangulares, sino más bien determinados niveles de tensión en correspondencia a los dígitos del código binario. Ahora bien, el uso de diodos en el desarrollo del circuito convertidor en cierta forma es justificable, puesto como ya anteriormente anoté, mi diseño trata de ser lo más simple y accesible en cada una de sus partes.

Por último, es interesante anotar, que si bien el presente circuito que codifica una señal cuantificada (previamente muestreada) lo he diseñado teniendo en cuenta que ésta tiene retorno a cero, el circuito también es aplicable si la señal de entrada no hubiera tenido retorno a cero.

BIBLIOGRAFIA

Circuito de pulsos digitales y de conmutación

Jacob Millman

Robert Taub

Digital computer design fundamentals

Yaohan Chu

Manual de Transistores y semiconductores

Philips

Complementos :

Transistores : Circuitos-Diseño

Texas Instruments Incorporated

INDICE

Pag.

- 3 Diagrama de bloques del convertidor
- 4 Circuitos comparadores y enclavadores
- 6 Cálculo del circuito fijador
- 7 Cálculo del circuito comparador
- 9 Circuitos limitadores de amplitud
- 10 Circuitos selectores de nivel
- 11 Implementación de la lógica de los circuitos selectores de nivel
- 12 Cálculo del circuito inversor
- 15 Cálculo del circuito AND
- 16 Matriz de diodos
- 18 Relación de componentes
- 19 Circuito completo del convertidor de señal de cuatro niveles a código binario
- 21 Observaciones y conclusiones
- 22 Bibliografía