

UNIVERSIDAD NACIONAL DE INGENIERÍA
Facultad de ingeniería Electricidad y Electrónica



**Diseño de un Sistema de Entrada de
Datos a Base de Microprocesador**

T E S I S

PARA OPTAR EL TITULO PROFESIONAL DE

INGENIERO ELECTRONICO

Félix Augusto Valladares Pérez

Promoción 1982 - 2

Lima - Perú

1985

"Al amor y sacrificio
de dos mujeres ejemplares:
mi madre , mi novia".

UNIVERSIDAD NACIONAL DE INGENIERIA
Facultad de Ingeniería Electrónica

"Diseño de un Sistema de Entrada de Datos
a Base de Microprocesador"

Autor: Félix Augusto Valladares Pérez

Proyecto para optar el Título de Ingeniero Electrónico

Lima - 1985

EXTRACTO

El objetivo es el diseño de un sistema que permita el almacenamiento masivo de información en forma ordenada y capaz de ser posteriormente procesada por un computador.

El medio de entrada de datos son las estaciones terminales, las cuales constan de 1 teclado y una pantalla en la cual se observan los datos que estan siendo introducidos. El sistema diseñado es capaz de trabajar a la vez con 8 de estas estaciones terminales conectadas en una configuración de cadena.

El almacenamiento de los datos que vienen de las estaciones terminales se efectúa temporalmente en un disco magnético en el que se clasifica la información, según el tipo de trabajo de digitación, siguiendo los pasos da

dos por un Sistema Operativo.

Los datos almacenados en el disco son posteriormente grabados en una cinta magnética, la cual como medio de almacenamiento final y a través de la cual se le entregará al computador los datos para que éste efectúe el cómputo respectivo.

El trabajo efectuado fue básicamente el diseño de la Unidad de Control que dirija todas las operaciones del sistema, de las respectivas interfaces con las unidades de disco y cinta magnética y la recepción de los datos que provienen de todas las estaciones terminales.

Esta Unidad de Control está centralizada en el Microprocesador Z-80. El Z-80 comanda todas las operaciones ejecutando el Sistema Operativo residente en una memoria EPROM. El Z-80 posee también memoria RAM de trabajo, en la cual almacena todos los datos que se dirigen a la Cinta o Disco.

La generación del video se efectúa con el Controlador de Video 5027 y una memoria RAM. El 5027 provee las señales de sincronismo que van hacia la pantalla y direcciona a la memoria RAM que contiene los caracteres que van a displayarse.

La Unidad de Control también comprende las interfaces. La Interface con la cinta consiste básicamente de la Interface Paralela Programable 8255, mientras que la

Interface con el disco es básicamente una lógica de acceso directo a memoria (D.M.A.).

La Interface con las Estaciones Terminales es a través de registros de 3 estados, el Z80 se encuentra continuamente haciendo el rastreo de las estaciones, una por vez, para tomar los datos que se encuentran almacenados en sus registros. Estos datos son colocados en la memoria RAM en zonas definidas para cada estación, llamadas Areas de Ensamblado. El Sistema Operativo en todo momento pregunta si alguna estación ha hecho alguna requisición de transferencia con el disco o la cinta para efectuar las rutinas correspondientes.

De esta forma, todas las estaciones son capaces de realizar las mismas funciones.

Opcionalmente, el Sistema fue dotado de un Controlador de Comunicaciones (USART), teniendo así la posibilidad de comunicarse por vía telefónica con un Computador Remoto para transmitir los datos que se encuentran grabados en la cinta o en el disco. El USART usado es el 8251, cuyo funcionamiento es completamente programable por el Z80. El modo de transmisión elegido es el de una comunicación Síncrona con 2 bytes de sincronismo (Bi-síncrona) y ajustándose al protocolo de comunicación B.S.C. (comunicación Binaria Síncrona).

Los programas de prueba y el sistema operativo han sido escritos en lenguaje Assembler y acompañados del có

digo binario para mayor claridad de los lectores y los listados se encuentran en los apéndices respectivos. Así mismo, los diagramas de flujo correspondientes a estos programas se encuentran en el capítulo que trata la Programación del Sistema.

Todo el diseño circuital se llevó a la práctica mediante la construcción de un prototipo, en el cual se montaron todos los componentes.

El Prototipo implementado consiste de placas de circuito impreso de propósitos generales con el cableado efectuado en el lado de los componentes. Todo el conjunto se encuentra dispuesto en un armazón metálico donde se encuentran también los conectores para interactuar con la Unidad de Disco, Unidad de Cinta, Estaciones Terminales, Modem externo y las fuentes de alimentación.

Todo el sistema trabaja con fuentes de +5, +12 y -12 voltios.

TABLA DE CONTENIDO

	Pág.
PROLOGO	1
CAPITULO I: INTRODUCCION	4
1.1 Consideraciones Preliminares	4
1.2 Descripción de un Sistema Independiente de Entrada de Datos	8
1.3 El Sistema Inteligente de Entrada de Datos de Inforex	10
1.4 Descripción básica del Sistema Diseñado	14
CAPITULO II: LA UNIDAD CENTRAL DEL SISTEMA	21
2.1 Fundamentos de la Unidad Central	21
2.2 Direccionamiento y Decodificación del Sistema	23
2.3 Lógica de Interrupciones	24
2.4 Sistema de Video	27
CAPITULO III: DESCRIPCION DE LA UNIDAD DE DISCO	32
3.1 La Unidad de Disco marca Diablo Modelo 44-8	32
3.2 Señales de Control de la Unidad de Disco Diablo	38
3.3 Operaciones Típicas con la Unidad de Dis co Diablo	4

	Pág.
3.4 Descripción de la Interface con la Unidad de Disco Diablo	50
CAPITULO IV: DESCRIPCION DE LA UNIDAD DE CINTA	57
4.1 Características de la Unidad de Cinta marca Inforex	57
4.2 Interface con la Unidad de Cinta	64
4.3 Bytes de Chequeo, LRCC y CRCC	73
4.4 Generación del Polinomio de CRCC	76
CAPITULO V: DESCRIPCION DE LOS ORGANOS TERMINALES DE ENTRADA DE DATOS	82
5.1 Fundamentos del Diseño de los Terminales de Entrada de Datos	82
5.2 Programación del Controlador de Video VTAC-5027	88
5.3 Decodificación de la Señal de Blanking	94
CAPITULO VI: OPCION DE COMUNICACIONES	97
6.1 Introducción	97
6.2 La Interface serial USART 8251	98
6.3 Programación del USART 8251	100
6.4 El Modem MC-14412	103
6.5 Descripción del Hardware de la Opción de Comunicaciones	108
6.6 Las recomendaciones del C.C.I.T.T., E.I.A.	114
6.7 Protocolo de Comunicación B.S.C.	117

	Pág.
CAPITULO VII: PROGRAMACION DEL SISTEMA	124
7.1 Programa de Diagnóstico	124
7.2 Programa resumido de Prueba N°1	127
7.3 Programa resumido de Prueba N°2	133
7.4 Sistema Operativo	138
7.5 Asignación de Trabajo en el Disco	154
7.6 Los Comandos Especiales	157
CAPITULO VIII: RESULTADOS EXPERIMENTALES	172
CONCLUSIONES	185
BIBLIOGRAFIA	192
APENDICE 1: DESCRIPCION BASICA DE UNA UNIDAD DE DISCO	193
APENDICE 2: DESCRIPCION BASICA DE UNA UNIDAD DE CINTA	198
APENDICE 3: PROGRAMA DE DIAGNOSTICO	204
APENDICE 4: PROGRAMA DE PRUEBA N°1	207
APENDICE 5: PROGRAMA DE PRUEBA N°2	212
APENDICE 6: LISTADO DEL SISTEMA OPERATIVO	220
APENDICE 7: DIAGRAMA CIRCUITAL DEL SISTEMA	241

PROLOGO

El presente trabajo contempla el diseño de un Sistema de Entrada de Datos, el establecimiento de todos los criterios necesarios para hacerlo competitivo con los sistemas actualmente existentes en nuestro medio y, asimismo, la construcción de un prototipo con el cual se demuestra que los resultados del diseño preliminar pueden ser llevados a la práctica. Es importante, sin embargo, advertir que no todos estos resultados han sido probados experimentalmente, debido a la prácticamente inacabable cantidad de opciones y mejoras que se pueden hacer al presente sistema, sobre todo en lo que concierne al Sistema Operativo.

Cabe resaltar que el presente trabajo es fundamentalmente práctico, tecnológico, debido a los objetivos planteados al inicio del mismo: diseñar un Sistema de Entrada de Datos basado en los sistemas ya existentes pero con criterios propios y auténticos, usando infraestructura disponible en nuestro medio, un sistema capaz de ser construido y presentado al público. Lamentablemente, no se ha desarrollado ningún estudio teórico, fundamentalmente porque no era necesario, pero si se ha tenido todo momento en mente algunos importantes criterios teóricos

aprendidos en la Universidad a lo largo del Diseño Circuital del Sistema.

En el desarrollo de este informe se ha omitido explicaciones respecto a los principios básicos de funcionamiento del Microprocesador y de algunos de sus periféricos debido a que este se ha hecho muy popular y ha sido escrita abundante literatura sobre su operación. Con respecto a las Unidades de Cinta y Disco, cuyo conocimiento no está aún muy difundido en nuestro medio, se incluye un apéndice con sus principios básicos de operación. En el Apéndice se incluyen también los listados de todos los programas que han sido usados para probar el funcionamiento del Sistema.

En todo momento se ha procurado ser lo más claro posible en la explicación de los conceptos y razones del diseño para que sean de utilidad a futuros trabajos que se realicen en este campo. También quisiera manifestar que el uso de gran cantidad de términos en idioma inglés es debido a que estas son las expresiones más usuales y conocidas, además muchas de ellas no han sido traducidas por no haber encontrado palabras en castellano con el significado exacto; de todos modos se han traducido todas las expresiones que fueron posibles.

Por último, quisiera agradecer de manera especial a la Compañía EFYASA por haberme permitido tener acceso a

su equipo de Entrada de Datos marca Inforex y también a todo el personal que trabaja en el Laboratorio de esta compañía por haberme apoyado en todo sentido durante el desarrollo de este proyecto.

Asimismo, quisiera agradecer al Ing. Miguel Angel Martino por su desinteresada cooperación e importantes sugerencias y a todos los que de una u otra manera contribuyeron para que este proyecto se hiciera una realidad. A todos, gracias.

CAPITULO I
INTRODUCCION

1.1 Consideraciones Preliminares

Gracias al avance tecnológico de nuestro siglo se ha logrado automatizar diversas tareas y procesos, los cuales eran largos y tediosos en el pasado; principalmente la aparición de la Computadora ha revolucionado y modificado los métodos de trabajo facilitando la tarea del hombre.

La gran capacidad de procesamiento de información de la Computadora ha dado nacimiento a la Informática, la cual abarca una gran cantidad de ramas y subdivisiones. La Programación, una de las principales ramas de la informática, es actualmente muy utilizada debido a su sencillez y eficiencia.

Mediante la programación podemos de una manera fácilmente comprensible para cualquier persona comunicarnos con un Computador y pedirle que ejecute determinadas órdenes tales como operaciones matemáticas complejas, que ordene y almacene una determinada cantidad de datos en su memoria, o que imprima una lista con los datos de una determinada cantidad de personas.

Todas estas tareas que hemos mencionado requieren de que previamente al procesamiento que se deba realizar, el Computador haya sido provisto de los datos que va a necesitar para llevar a cabo la tarea requerida, es decir debe haber una entrada de datos previamente al procesamiento. Como se puede ver esta Entrada de Datos es muy importante y depende de la exactitud de ésta el resultado que obtengamos del Computador.

Hay diversas maneras de introducir información al Computador, así como también hay diversos tipos de datos.

Básicamente, hay dos formas de introducir datos al computador: a) En línea, es decir, los datos son entregados al Computador directamente, mientras éste se encuentra realizando cualquier otra tarea. Como sabemos la entrada de datos es un proceso lento debido a que es efectuado por el hombre, entonces el computador tiene que compartir su tiempo entre recepcionar el dato que está introduciendo el operador de entrada de datos y ejecutar cualquier otra acción. Actualmente, muchos computadores modernos usan este sistema pero esto no indica necesariamente que al estar el Computador atendiendo otras operaciones más complicadas no atiende eficientemente la entrada de datos haciendo este proceso aún más lento; b) Fuera de Línea, en este método todos los datos que van a ser procesados son almacenados en un medio grande de almacenamiento completamente independiente del Computador; es decir, es un sistema inteligente independiente de

entrada de datos, por lo general estos sistemas tienen una capacidad mínima de procesamiento y se limitan a ordenar los datos en un bloque jerárquico bien definido. Este sistema al igual que el anterior tiene sus ventajas y desventajas; obviamente al estar este pequeño sistema enteramente abocado a controlar la entrada de datos no va a introducir ningún retardo como en el caso anterior; su desventaja sería que cuando se quiere procesar la información hay que hacer llegar de alguna manera al Computador los datos, claro que estos datos ya se encuentran completamente listos, compatibles, para ser leídos por él; pero aún así esto representa de algún modo intervención de un operador, del programador, en transportar los datos de un lugar a otro.

Concretamente nuestro trabajo se centra en el diseño de uno de estos pequeños Sistemas Inteligentes de Entrada de Datos, es decir, un sistema independiente que recibe datos, que trabaja fuera de línea (Off Line en la literatura inglesa), que ordena la información previamente a su almacenamiento definitivo.

Este sistema de Fuera de Línea si bien puede parecer en desventaja con respecto al sistema En Línea puede convertirse muy ventajoso en determinadas aplicaciones tales como aquellas que requieren introducir información masivamente por un tiempo prolongado para hacer el procesamiento luego de ese tiempo; éste es un ejemplo típico de las transacciones comerciales, donde se requiere dia-

riamente introducir registros de información respecto a ventas o pagos y al final del año se requiere hacer el Balance de todas las operaciones mercantiles; igualmente en el caso de las planillas de pagos diariamente a lo largo de un mes se introduce información respecto a cada empleado de una Compañía X con sus datos personales, números de carnet de identificación, sueldo, etc. y a esta información se la va actualizando con los descuentos que tal o cual empleado pueda tener, los aumentos, horas extras, etc.; entonces al final del mes se traslada la información al Computador para su procesamiento, por ejemplo, mandar a imprimir las planillas de pago, sacar una lista del balance de determinada compañía o cualquier otra cosa que se requiera.

En general, los lugares en que se requiere un sistema tal como éste, que permite una entrada masiva de información para un procesamiento posterior no determinado son muchos. Podemos citar como ejemplo a todas las Instituciones gubernamentales que controlan determinados sectores económicos a nivel de todo el país, es decir, los Ministerios, ellos requieren de un sistema que les permita llevar una relación ordenada de toda la información - que

de todos los asegurados a nivel nacional y requieren en cada momento actualizar el estado de cada uno de estos asegurados según las prestaciones que reciban éstos por parte del Seguro, en este caso este sistema de entrada de datos es de vital importancia.

1.2 Descripción de un Sistema independiente de Entrada de Datos

Seguidamente describiremos las principales partes y características de un sistema de entrada de datos del que hemos estado tratando. Primeramente, trataremos a grandes rasgos las partes de un Sistema de Entrada de Datos y luego nos centraremos en un sistema ya existente, el cual ha servido como fuente de referencia para el desarrollo del presente trabajo.

Un Sistema de Entrada de Datos consta básicamente de 4 elementos:

- A) Unidad Central
- B) Sistema de Almacenamiento Temporal
- C) Sistema de Almacenamiento Final
- D) Organos Terminales de Entrada de Datos

A) Unidad Central; también llamada CPU (Unidad Central de Proceso), es la que comanda todas las operaciones del sistema, es el órgano inteligente que mediante un determinado programa almacenado realiza todas las operaciones. Esta Unidad Central también comprende aquellos elementos que le van a servir para interaccionar con las

tres partes restantes del Sistema. Estos elementos denominados Interfaces hacen posible la comunicación de los otros sistemas con el CPU.

B) Sistema de Almacenamiento Temporal; es aquel dispositivo en el cual el CPU almacena los datos que está recibiendo a través de los Organos Terminales de Entrada de Datos. El almacenamiento en este dispositivo es temporal, no definitivo, es susceptible de ser modificado rápidamente antes de ser almacenado en el Dispositivo de Almacenamiento Final. La importancia de este medio de Almacenamiento Temporal es obvia, cuando se ingresan datos importantes en forma masiva es necesario verificar los datos en algunas ocasiones hay que modificar y en otras hay que insertar nueva información; este medio de Almacenamiento Temporal nos provee un acceso rápido a la información en todo momento.

C) Sistema de Almacenamiento Final; es aquel dispositivo en el cual se almacenan los datos que previamente han sido introducidos al Sistema de Almacenamiento final, han sido verificados y se requiere liberar al sistema de Almacenamiento Temporal para introducir en él más información. Este sistema debe consistir en un medio seguro de almacenamiento de información por un período no determinado.

D) Organos Terminales de Entrada de Datos; vienen a ser la interface entre las operaciones de entrada de datos y la Unidad Central. Generalmente, son varios lo

cual permite tener varios operadores introduciendo datos al mismo tiempo. La Unidad Central se encuentra haciendo un polling de todos los terminales recepcionando los datos. El dispositivo más comúnmente utilizado para este fin es el Teclado, el cual puede ser de diversos tipos.

1.3 El Sistema Inteligente de Entrada de Datos de Inforex

Como se ha dicho anteriormente, el presente trabajo ha sido desarrollado siguiendo los conceptos generales de un equipo de Entrada de Datos ya existente, el cual debido a su antigüedad hace uso de una tecnología ya obsoleta, lo cual acarrea actualmente muchos problemas en su uso. El presente trabajo ha sido desarrollado utilizando íntegramente un diseño propio pero buscando llegar a los mismos atributos y opciones que tiene el Sistema de Entrada de Datos de Inforex. Tanto el Hardware como el Software difieren en ambos pero los objetivos y resultados son los mismos.

En base a la descripción que hemos hecho en el acápite anterior respecto a las partes fundamentales de un Sistema Independiente de Entrada de Datos, vamos a explicar la constitución básica del Sistema Inforex con lo cual será fácil entender la constitución del diseño del presente sistema.

La Unidad Central del Sistema Inforex está totalmen

te implementado con Circuitos Integrados del tipo Diodo Transistor (Lógica DTL), los cuales son de baja escala de integración, lo que da por resultado circuitos impresos de grandes dimensiones y gran consumo de corriente. Actualmente, la tecnología DTL está prácticamente en desuso a sus limitaciones en cuanto a velocidad y escala de integración a la par que se caracteriza por consumir mayor potencia.

Entonces, dentro de su Unidad Central posee un grupo de tarjetas, cada una con una función específica. La más importante, llamada Procesador viene a ser el corazón de la Unidad Central, el cerebro que dirige a los demás elementos de la Unidad Central y por tanto también a los periféricos. También hay tarjetas de Interface con los periféricos.

Hasta ahora no hemos detallado la constitución de los sistemas de Almacenamiento Temporal y Final. Concretamente el Sistema Inforex, el Sistema de Almacenamiento Temporal, está conformado por un Disco Magnético con capacidad de almacenamiento de hasta 5 Megabytes. Una Unidad de Disco Magnético provee un almacenamiento masivo de información, la cual puede ser accesada rápidamente debido a sus características mecánicas. En un capítulo posterior definiremos los principios fundamentales de una Unidad de Disco con lo cual será fácil comprender los pasos y criterios seguidos en el diseño de la Interface correspondiente.

El Sistema de Almacenamiento Final está constituido por una Unidad de Cinta Magnética. Las principales características de esta Unidad de Cinta son: la densidad de grabación es de 800 bits por pulgada (BPI) y la velocidad de desplazamiento de la cinta es de 12.5 pulgadas por segundo. Esta Unidad de Cinta Magnética posee nueve pistas a lo largo de las cuales se graba información mediante cambios de flujo magnético. Estas pistas son también llamadas Tracks. En un capítulo posterior se darán definiciones completas de la Unidad de Cinta. La razón de porque se usa Cinta Magnética como medio de Almacenamiento Final es debido a la confiabilidad de la Cinta en retener información por largos períodos de tiempo, es fácilmente archivable, no ocupa mucho espacio y tiene una gran capacidad de almacenamiento.

El acceso a la información en la Unidad de Cinta es más lento que en el Disco pero esto no es de importancia ya que la información en la Cinta no es continuamente requerida sino solamente en el momento que se van a realizar el procesamiento de todos los datos en forma masiva.

Dentro de la Unidad Central hay también una tarjeta que sirve de Interface con la Unidad de Cinta Magnética y otra tarjeta que sirve de Interface con la Unidad de Disco Magnético. Adicionalmente, el sistema posee una Memoria de Ferrita con capacidad de hasta 12 K bytes; esta memoria comprende dos tarjetas independientes, una de las memorias es solamente usada para lectura del sistema

operativo y la otra es usada como memoria de escritura y lectura, es decir, como memoria de trabajo. Estas dos memorias vienen a ser el equivalente de la memoria ROM y la memoria RAM respectivamente.

El Sistema Operativo está normalmente residente en el Disco Magnético pero mediante una rutina de inicialización es traído desde el disco a la memoria de sólo lectura que es de donde el Procesador va a tomar todas las instrucciones que debe realizar durante la operación del sistema.

El Sistema Inforex trabaja con ocho terminales de entrada de datos a la vez, estos terminales también reciben el nombre de estaciones, y cada una consta de una pantalla de tubo de rayos catódicos y un teclado de Micro-switches a través del cual se introducen los datos y el operador puede ver en la pantalla los caracteres que está digitando.

Cada estación además posee una tarjeta de circuito impreso llamado Tarjeta de Estación, la cual sirve de interface entre la Unidad Central y la Estación; esta tarjeta contiene unos registros en las cuales se almacena el dato de 8 bits que proviene del teclado. Todas las estaciones son rastreadas 60 veces por segundo de acuerdo a la constitución del Sistema Operativo.

La Unidad Central posee para esto una tarjeta llamada Interface de Estaciones, la cual controla a través del

Procesador la toma de datos de todos los teclados y su almacenamiento en posiciones definidas de memoria, controla además la generación del video que va hacia todas las pantallas de los terminales. Es conveniente además detallar que las 8 estaciones con las cuales trabaja el sistema están conectadas en una configuración de cadena, es decir, cada estación recibe todas las señales de control necesarias desde la estación que le precede y a su vez envía estas mismas señales a la estación que le sigue en orden.

1.4 Descripción Básica de la Constitución del Sistema Diseñado

La constitución básica en cuanto al Hardware del presente sistema materia de este trabajo puede verse en el diagrama N° 1.1. Todo el sistema se puede dividir en 5 partes fundamentales, cada una de las cuales estudiaremos con mayor detalla en el capítulo siguiente.

1) El procesador o corazón de la Unidad Central está formado por el Microprocesador Z-80, el cual ejecuta el Sistema Operativo que se encuentra en la memoria EPROM 2732 que tiene una capacidad de 4 K x 8 bits. El procesador también posee una memoria de trabajo de 2K x 8 bits. El clock con que trabaja el Procesador es derivado de un cristal de 7.98336 Mega Hertz, el cual es dividido entre 2 con lo cual se obtiene aproximadamente 4 MHz, los cuales alimentan directamente al procesador de tipo Z80-A

Dentro de esta Unidad Central también se considera a la circuitería que proporciona el video; la generación de éste está básicamente controlado por el VTAC-5027 el que es un circuito integrado específicamente diseñado con estos fines, se cuenta además con una memoria de 1K x 8 llamada memoria de Video, que direcciona al generador de caracteres seleccionando así los caracteres que deben aparecer en pantalla, la salida del generador de caracteres es serializada y combinada con los pulsos de sincronismo vertical y horizontal es enviada a todas las estaciones. En el siguiente capítulo se describirá en detalle esta Unidad Central.

2) Interface con la Unidad de Cinta; está prácticamente centralizada en el circuito Integrado 8255 PPI (Interface de Periférico Paralelo). Como sabemos, el 8255 PPI posee tres ports de 8 bits cada uno, los cuales pueden ser programados como entradas o salidas independientemente con lo cual poseemos gran cantidad de señales de control ya sea de entrada o salida. La Unidad de Cinta con la que se trabaja (Unidad de Cinta del Sistema Info-rex) es un periférico Paralelo por lo cual el 8255 se presta convenientemente para esta aplicación. Es importante adelantar que siendo la Unidad de Cinta un sistema de acceso lento la mayoría de las operaciones con ella son totalmente controladas por el Procesador a través del Sistema Operativo. Adicionalmente, hay una lógica combi-nacional que sirve para sincronizar la lectura con el

inicio de cada bloque de información (con cada registro). También la Interface con la Unidad de Cinta comprende una cadena de contadores, los cuales a partir del clock del Procesador generan una señal de 10 KHz, la cual establece la velocidad de grabación y lectura en la cinta, es decir, determina la densidad de grabación. En el capítulo correspondiente detallaremos sobre la constitución de esta interface e igualmente describiremos cómo el sistema operativo hace uso de todo este Hardware para interactuar con la Cinta.

3) Interface con la Unidad de Disco; debido a la velocidad de transferencia de información con la Unidad de Disco, la mayoría de las operaciones ya no son controladas por Programa tal como en el caso de la Interface de Cinta sino mas bien por Hardware, por lo cual tal como en el caso de la Interface de Cinta sino mas bien por Hardware, por lo cual éste se ha complicado notablemente. Básicamente esta Interface consta de una lógica de Acceso Directo a Memoria (DMA), para lo cual se dispone de una memoria RAM con una capacidad de 1 K x 8, la cual sirve de almacenamiento transitorio, esta memoria puede ser accesaria tanto por el Procesador como por la lógica de DMA en sí, teniendo ambos la capacidad de leer o escribir en ella. Siendo el Disco un Periférico Serial la lógica de DMA incluye un conversor serie-paralelo para la etapa de lectura y un conversor paralelo-serie para la etapa de escritura.

La Interface con la Unidad de Disco trabaja con un reloj distinto al reloj de la Unidad Central debido a que la velocidad de transferencia de información con el Disco viene exactamente especificada por el fabricante igual a 2.5 MHz. y esta frecuencia no puede ser derivada del reloj del Procesador. Usando entonces un cristal resonante en 10.0000 MHz por divisiones sucesivas derivamos la frecuencia requerida de 2.5 MHz.

Adicionalmente a las señales de escritura y lectura de datos las cuales son seriales e independientes - una de otra hay una serie de otras señales de control necesarias para poder acceder al Disco, debido a esto se hace uso nuevamente del 8255 PPI (Interface Periférica - Programable) para controlar estas señales que pueden ser manejadas a la velocidad de trabajo del Procesador. Como se puede ver en el Diagrama N° 1.1 el bus de datos de la memoria que sirve de Buffer en la lógica de DMA se comunica con el bus de datos del Procesador a través de Driver de 3 estados bidireccionales, lo cual permite que en el momento que ocurre el acceso directo a memoria el Procesador se independiza de esta memoria. En un capítulo posterior describiremos en detalle la constitución de la lógica de DMA así como el Sistema Operativo controla el 8255 PPI durante la transferencia con el Disco.

4) Organos de entrada de datos; la entrada de datos se efectúa a través de las Estaciones Terminales. El sistema puede trabajar hasta con ocho de estas. Cada

Estación Terminal consta de un teclado con una distribución de caracteres similar a la de una máquina de escribir convencional, un monitor o pantalla con su tarjeta incorporada y la tarjeta de Estación. Esta tarjeta de Estación se encarga de almacenar en un par de registros three-state el dato digitado en el teclado, el cual se encuentra codificado en 8 bits. El Procesador durante la rutina de toma de dato habilita estos registros para leer el carácter. Este rastreo lo efectúa, según el Sistema Operativo, 60 veces por segundo en concordancia con el pulso de Sincronismo Vertical.

La Tarjeta de Estación posee además una lógica combinatorial mediante la cual selecciona las filas de caracteres que deben displayarse en el monitor de tal estación. Como se explicará más adelante, la Unidad Central envía al cable coaxial de video información para las ocho estaciones a la vez, corresponde a la Tarjeta de Estación seleccionar filas de caracteres predeterminadas según una distribución de la memoria de video que se explicará en un capítulo posterior.

5) Opción de Comunicaciones; la comunicación serial que efectúa el sistema está controlada básicamente por el Circuito Integrado 8251, Interface Programable de Comunicaciones, la forma de trabajo del 8251 en cuanto al tipo y formato de la transmisión es programada por el procesador, asimismo el Procesador envía el dato a transmi-

tir mediante el bus de datos, el 8251 serializa este byte a la vez que habilita una serie de señales de control las cuales están diseñadas para interactuar con un Terminal de Comunicaciones, tal como un Modem (Modulador-Demodulador). La opción de comunicaciones incluye un conector RS-232 con el que podemos conectar el sistema directamente a un Modem y poder así transmitir por línea telefónica.

Incluido dentro de nuestro sistema tenemos una circuitería que simula un Modem de baja velocidad; básicamente consta de un generador F.S.K. el cual recibe los datos en forma serial del 8251 y genera tonos de frecuencias correspondientes para el uno lógico y para el cero lógico; estos tonos son amplificados antes de ser acoplados a la línea telefónica a través de un transformador adaptador de impedancias.

Durante recepción se efectúa el proceso inverso, una vez amplificados y convertidos en pulsos digitales - los tonos de pequeña amplitud que vienen por la línea telefónica, son convertidos en unos y ceros lógicos por el Modem y posteriormente entregados al 8251.

El Protocolo que se usa durante la Comunicación es el B.S.C. (Comunicación Binaria Síncrona).

CAPITULO II

LA UNIDAD CENTRAL DEL SISTEMA

2.1 Fundamentos de la Unidad Central

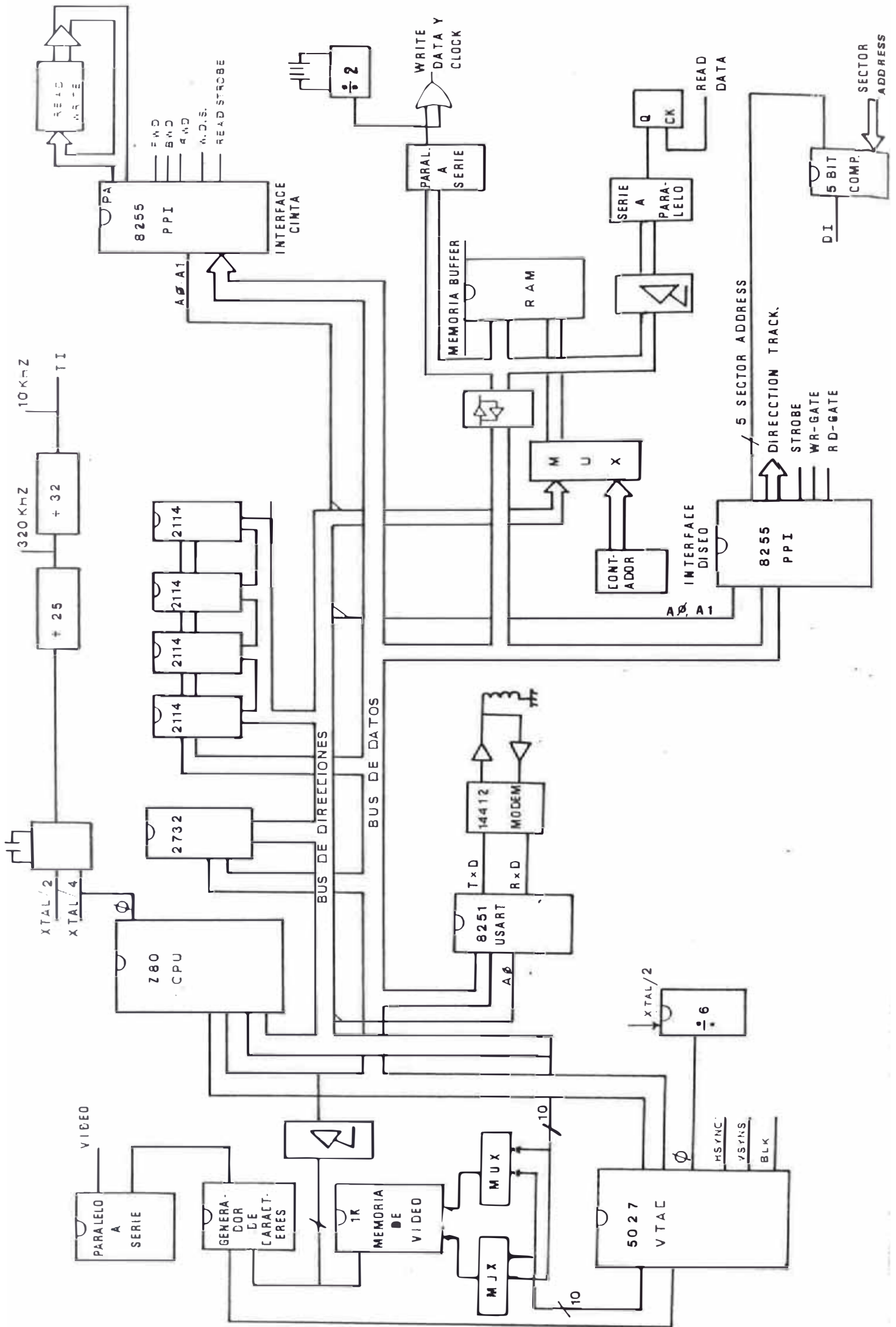
La Unidad Central está conformada por el Z-80 CPU - el cual comanda todas las funciones del sistema a través de un sistema operativo residente en memoria EPROM-2732, la cual tiene una capacidad de 4K bytes. Asimismo, el CPU trabaja con una memoria RAM 2114 agrupada en un banco de 2 K bytes, en esta memoria de trabajo se almacena temporalmente el registro que está siendo digitado en cada estación; en ella se encuentra también los programas de digitación correspondiente a cada estación, asimismo se usan determinadas posiciones como registros auxiliares durante la ejecución del sistema operativo. La descripción detallada de cada uno de estas localidades de memoria se da en el capítulo que trata del sistema operativo.

En la figura N° 2.1 se muestra la forma en que está dispuesta la RAM de trabajo y la lógica de decodificación que la selecciona.

La Unidad Central también incluye al Controlador de Video 5027, éste es un dispositivo totalmente programable por el CPU trabajando con instrucciones de entrada-salida, internamente está formado por nueve registros, -

DIAGRAMA DE BLOQUES DEL SISTEMA

3 1.1



VIDEO

PARALELO A SERIE

GENERADOR DE CARACTERES

MEMORIA DE VIDEO

MUX

5027 VTAC

HSYNC VSYNC BLK

Z80 CPU

2732

2114

2114

2114

2114

BUS DE DIRECCIONES

BUS DE DATOS

14412 MODEM

8251 USART

A0 A1

TxD RxD

CONTADOR

MUX

INTERFAZ DISCO

A0 A1

8255 PPI

5 SECTOR ADDRESS

DIRECCION TRACK, STROBE, WR-GATE, RD-GATE

5 BIT COMP.

SECTOR ADDRESS

X TAL / 2

÷ 6

PARALELO A SERIE

WRITE DATA Y CLOCK

MEMORIA BUFFER

RAM

SERIE A PARALELO

Q CK

READ DATA

8255 PPI

INTERFAZ CINTA

A0 A1

FWD BWD A.D.S. READ STROBE

READ WRITE

320 KHZ

+ 32

TI

X TAL / 2

X TAL / 4

+ 25

÷ 2

Q CK

DI

FIG 1.2

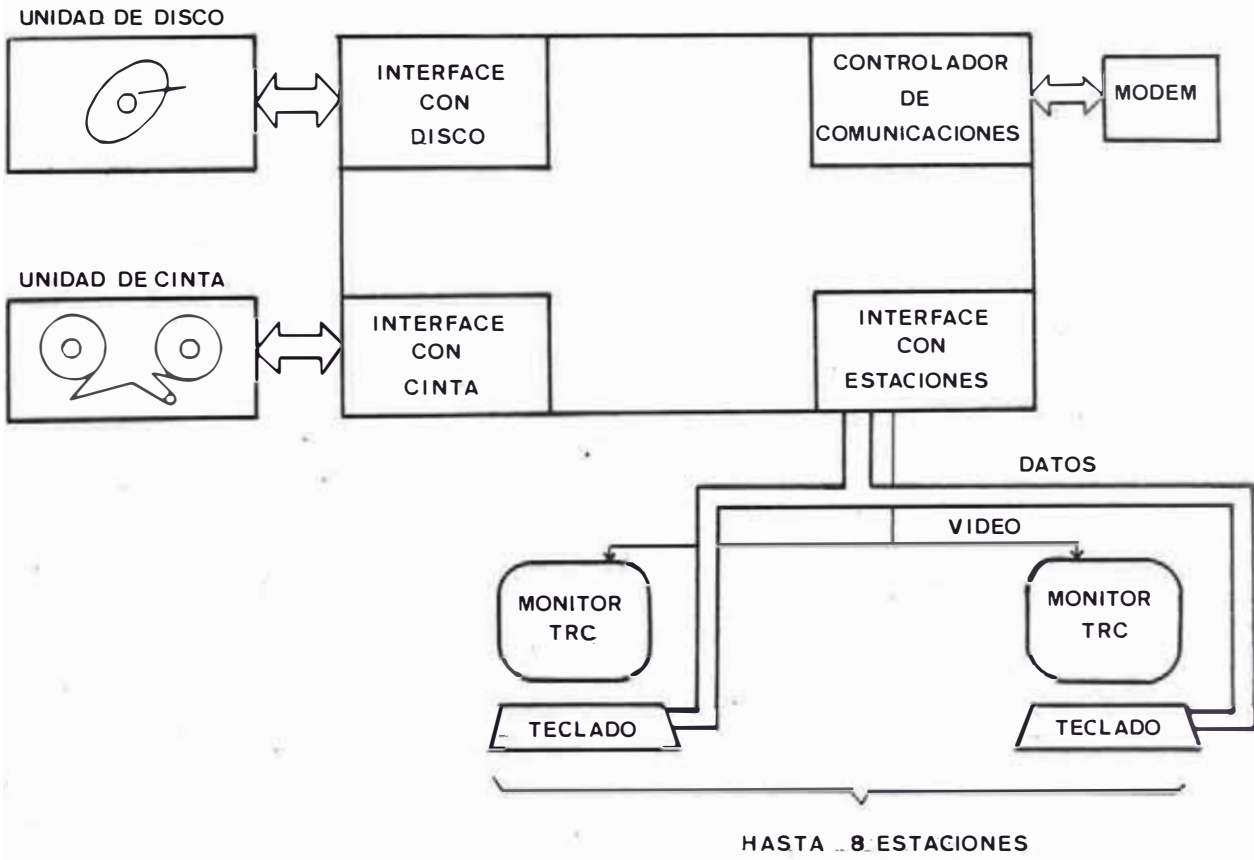
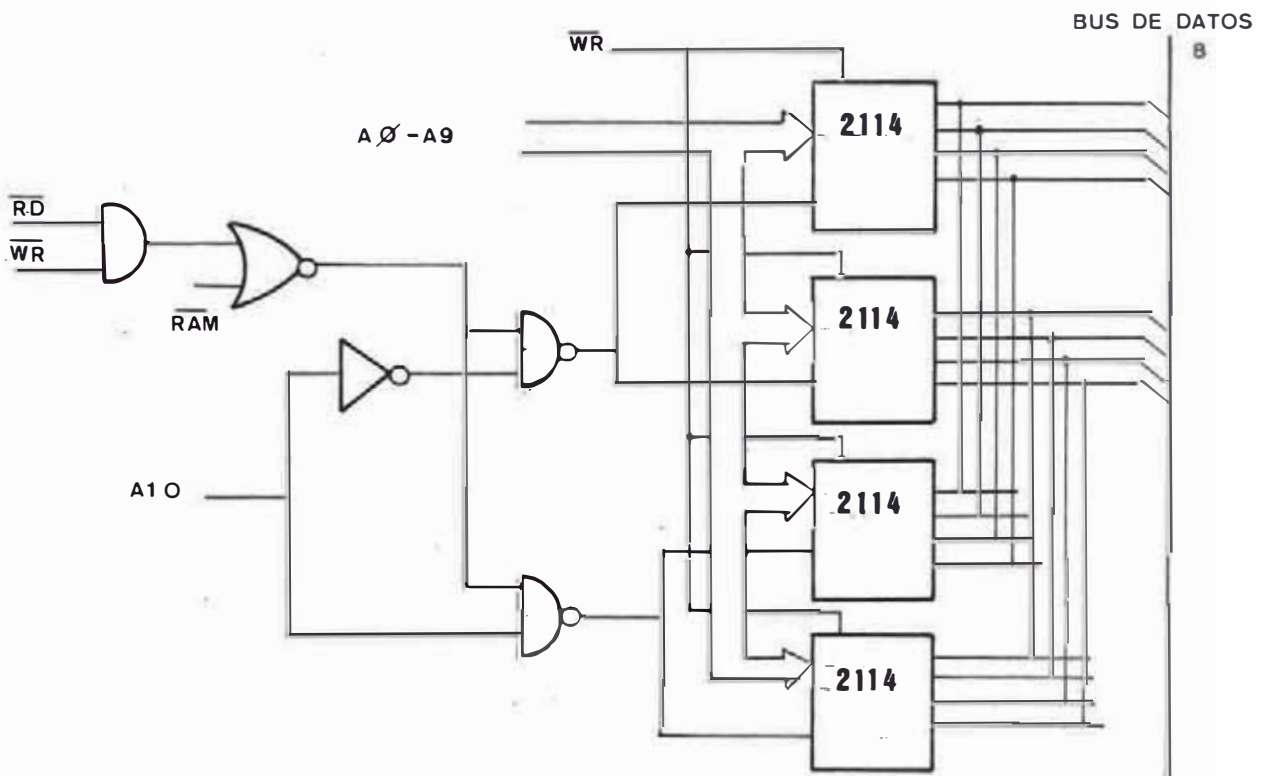


FIG. 2.1

SELECCION DE MEMORIA RAM



los cuales determinan todas las características de la trama a displayar en la pantalla.

Los pines contadores de caracteres y de fila de caracteres alimentan a la memoria de video proveyendo de este modo continuamente información al generador de caracteres; el CPU también puede acceder a la memoria de video para hacer un refresh, el sistema operativo efectúa este refresco inmediatamente después de recibir una interrupción por parte del pulso de sincronismo vertical proveniente del Controlar de Video, asimismo la toma del dato del teclado también se efectúa a esta misma razón, es decir a 60 veces por segundo, valor que corresponde al pulso de sincronismo vertical.

Las salidas del generador de caracteres son cargadas en un conversor paralelo-serie el cual alimenta a una circuitería a transistor, aquí son unidas la señal de video y las señales de sincronismo. Formado el video compuesto, éste es transmitido a través de cable coaxial hacia las estaciones terminales. Previamente la señal de video serializada proveniente del conversor paralelo serie es unida mediante una compuerta OR con la señal CURSOR, la cual es generada por el controlador de video.

2.2 Direccionamiento y Decodificación del Sistema

Para evitar complicar el Hardware la decodificación se centralizó en el 74155, decoder de 3 a 8 líneas, cuyas salidas agregándoles una lógica combinatorial simple

van a seleccionar a los ocho dispositivos con que consta el sistema, uno por vez. El Diagrama N° 2.2 nos muestra esta lógica de decodificación. Se observa que la señal IORQ mediante un Multiplexor selecciona los bits que direccionan al 74155, ésto quiere decir que cuatro dispositivos van a ser trabajados en forma normal con instrumentos de lectura y escritura, mientras que los otros cuatro van a ser trabajados o accedados con instrucciones de Entrada y Salida. En la Tabla siguiente se muestra cada dispositivo con su dirección, la cantidad de bytes que involucra y el tipo de instrucción con el cual es accedido.

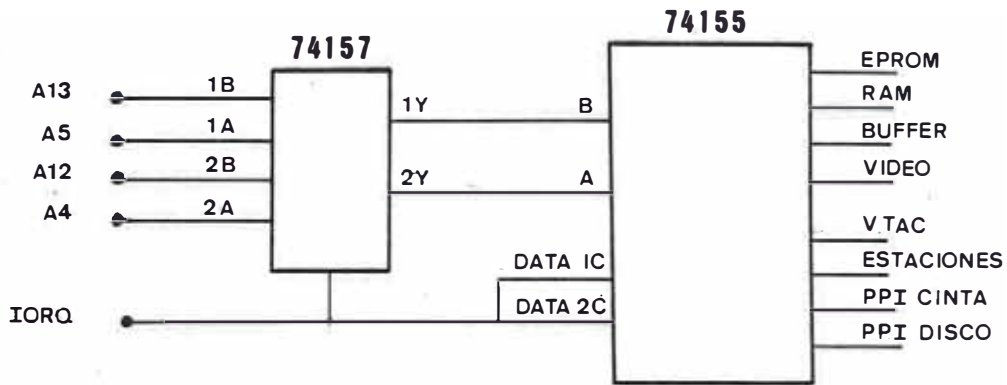
	N° BYTES	DIRECCION	TIPO INSTRUCCION
EPROM	4K	0000 - 0FFF	NORMAL
RAM	2K	1000 - 17FF	NORMAL
BUFFER	1K	2000 - 23FF	NORMAL
VIDEO	1K	3000 - 33FF	NORMAL
VTAC	16	XX00 - XX0F	ENTRADA - SALIDA
ESTACIONES	08	XX10 - XX17	ENTRADA - SALIDA
INTERFACE CINTA	04	XX20 - XX23	ENTRADA - SALIDA
INTERFACE DISCO	04	XX30 - XX30	ENTRADA - SALIDA

2.3 Lógica de Interrupciones

Hay varias señales que son usadas para interrumpir al Procesador. La mas usada es la señal TV, derivada del pulso de sincronismo vertical que genera el VTAC-5027, -

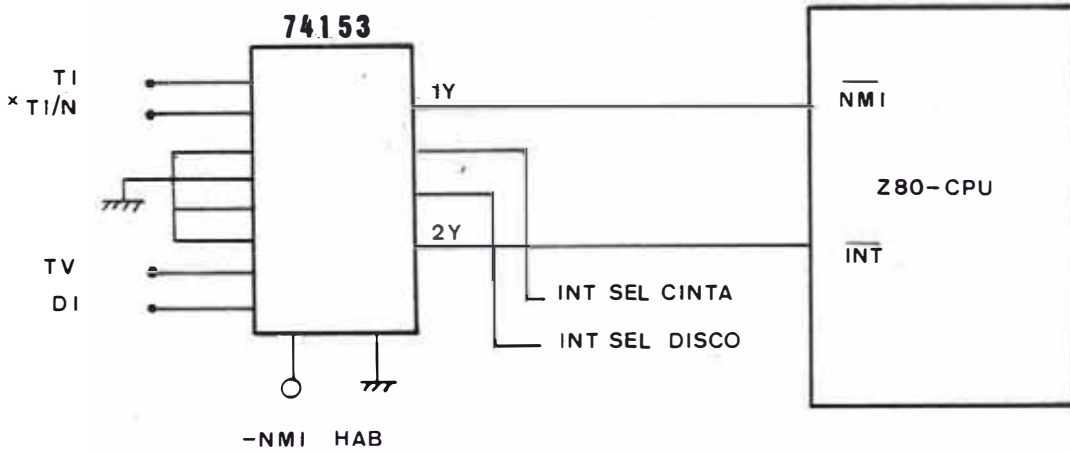
LOGICA DE DECODIFICACION

FIG 2.2



LOGICA DE INTERRUPCIONES

FIG 2.3



ASEL	BSEL	SEÑAL SELECCIONADA
1	1	TI
0	1	TI/N
1	1	TV
1	0	DI

que es la que sincroniza todas las operaciones durante - el trabajo normal, esta señal va conectada al pin de Interrupción Enmascarable (INT). Durante la ejecución de una operación de transferencia con el disco se debe tener la señal DI conectada al pin INT para que el procesador sepa cuando las cabezas de lectura/escritura se encuentra sobre el sector especificado.

Por otro lado, durante una transferencia con la cinta se requiere que la señal TI (10 KHz) se conecte a la entrada NMI del Procesador (Interrupción No-Enmascarable) para sincronizar la velocidad de lectura o escritura en la cinta.

Debido a esta complejidad en la selección de la señal de interrupción se decidió centralizar toda esta lógica en el doble multiplexor de cuatro canales 74153.

En la figura N° 2.3 se representa esta lógica de interrupciones, las señales INT. SELECT DISK e INT.SELECT TAPE se encargan de seleccionar uno de los cuatro canales de ambos multiplexores.

La salida de uno de los multiplexores está conectada a INT y la salida del otro está conectada a NMI. El 74153 posee además entradas de habilitación para cada multiplexor. El multiplexor que trabaja con las señales que accesan a INT posee su entrada de habilitación permanentemente activada ya que esta interrupción puede ser deshabilitada mediante una instrucción del CPU. En cam-

bio, las señales que originarán un NMI dependen de que - esté habilitada la señal NMI HAB, de esta forma se puede contralar la ocurrencia de una interrupción no-enmascara da.

La interrupción no-enmascarada se produce solamente al momento de hacer una transferencia con la cinta. La señal TI que produce esta interrupción proviene de una serie de contadores alimentados con el mismo reloj del CPU. Se pensó usar otra señal llamada TI/N, de un período mucho mayor que TI, para obtener la cuenta de estabilización de los motores de la Unidad de Cinta, pero posteriormente se descartó esta posibilidad.

Hay pues solamente una señal capaz de producir NMI y 2 señales capaces de producir INT como se muestra en la fig. N° 2.3 .

2.4 Sistema de Video

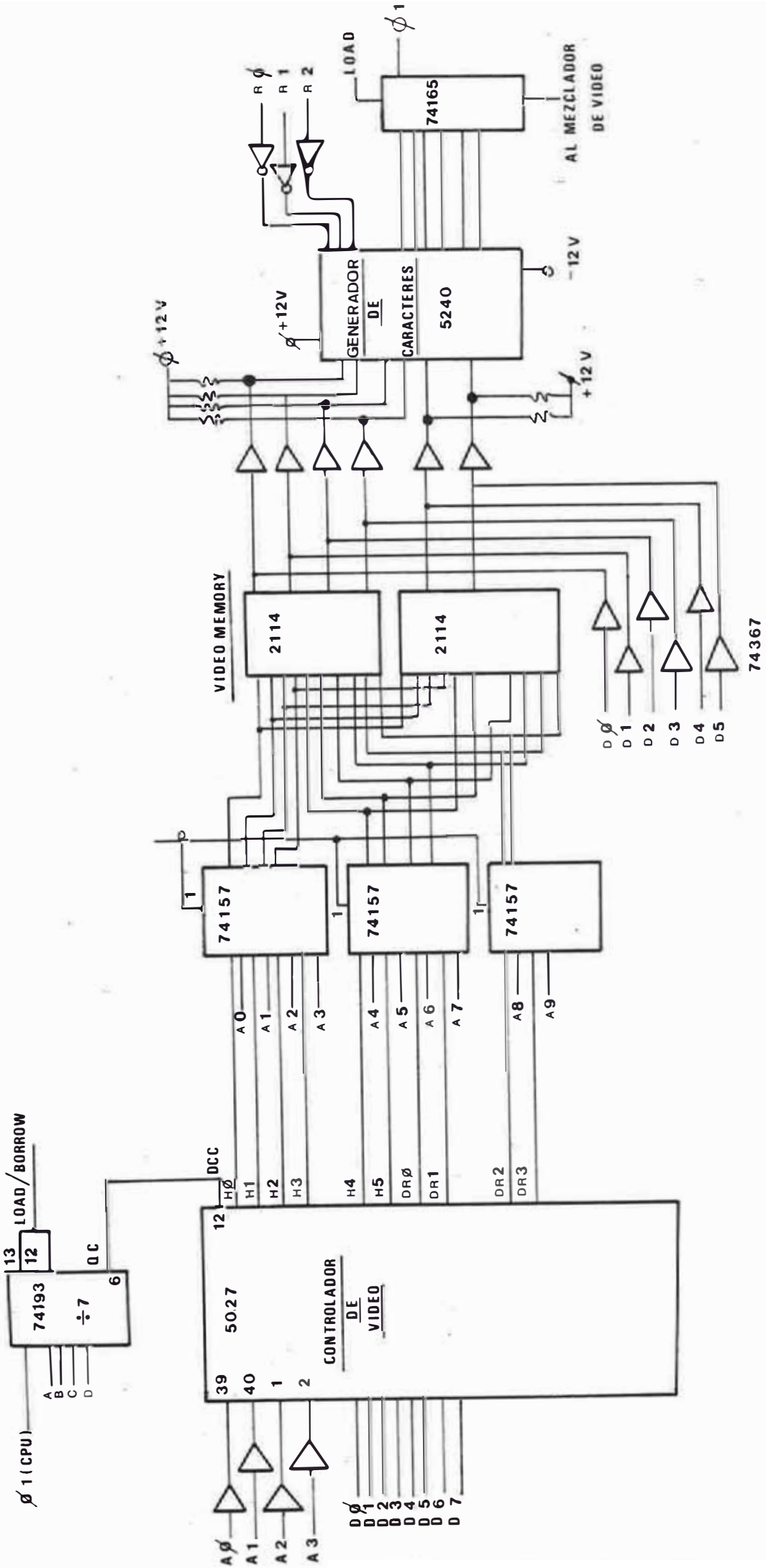
Como dijimos anteriormente, el sistema de video consta principalmente del Controlador de Video 5027, el cual es un circuito integrado programable, contiene 9 registros en los cuales está contenida toda la información necesaria para displayar en la pantalla el cuadro requerido, es decir, el número de filas de caracteres, el número de caracteres de cada fila, las características de los pulsos de sincronismo vertical y horizontal, además también se programa la posición exacta en la cual debe aparecer el cursor en el cuadro, es decir, en qué fila

de caracteres y en qué carácter. El 5027 requiere ser alimentado con un clock de una frecuencia igual al contador de caracteres, a partir de esta señal generará mediante una cadena de contadores una cuenta binaria que puede constar hasta de 7 bits, la cual nos indica el carácter que está siendo displayado en ese instante; además, igualmente nos provee de una cuenta la cual puede constar de hasta 5 bits que nos indica el número en binario de la fila de caracteres que está siendo rastreada en ese instante. Estas dos cuentas binarias son usadas para direccionar a la memoria de video, la cual contiene los códigos en formato ASCII de los caracteres que queremos displayar. Este direccionamiento está en verdad compartido (como podemos ver en el diagrama correspondiente) con los bits de Direcciones del CPU a través de multiplexores; es así como tanto el Z-80 CPU como el Controlador de Video 5027 pueden direccionar a la RAM de Video. Cuando el CPU quiere hacer un refresco de la memoria de video, es decir quiere modificar o actualizar los caracteres que deben aparecer en la pantalla, hace una instrucción de carga direccionando a la memoria de video, esto hace que se active la señal -VIDEO, la cual selecciona en el multiplexor las señales de direcciones del CPU, en este momento el CPU escribe en la memoria de video los 1K bytes de los cuales consta esta memoria. Pero, la mayor parte del tiempo la señal -VIDEO no se encuentra activa y es el Controlador de Video el que se encuentra le

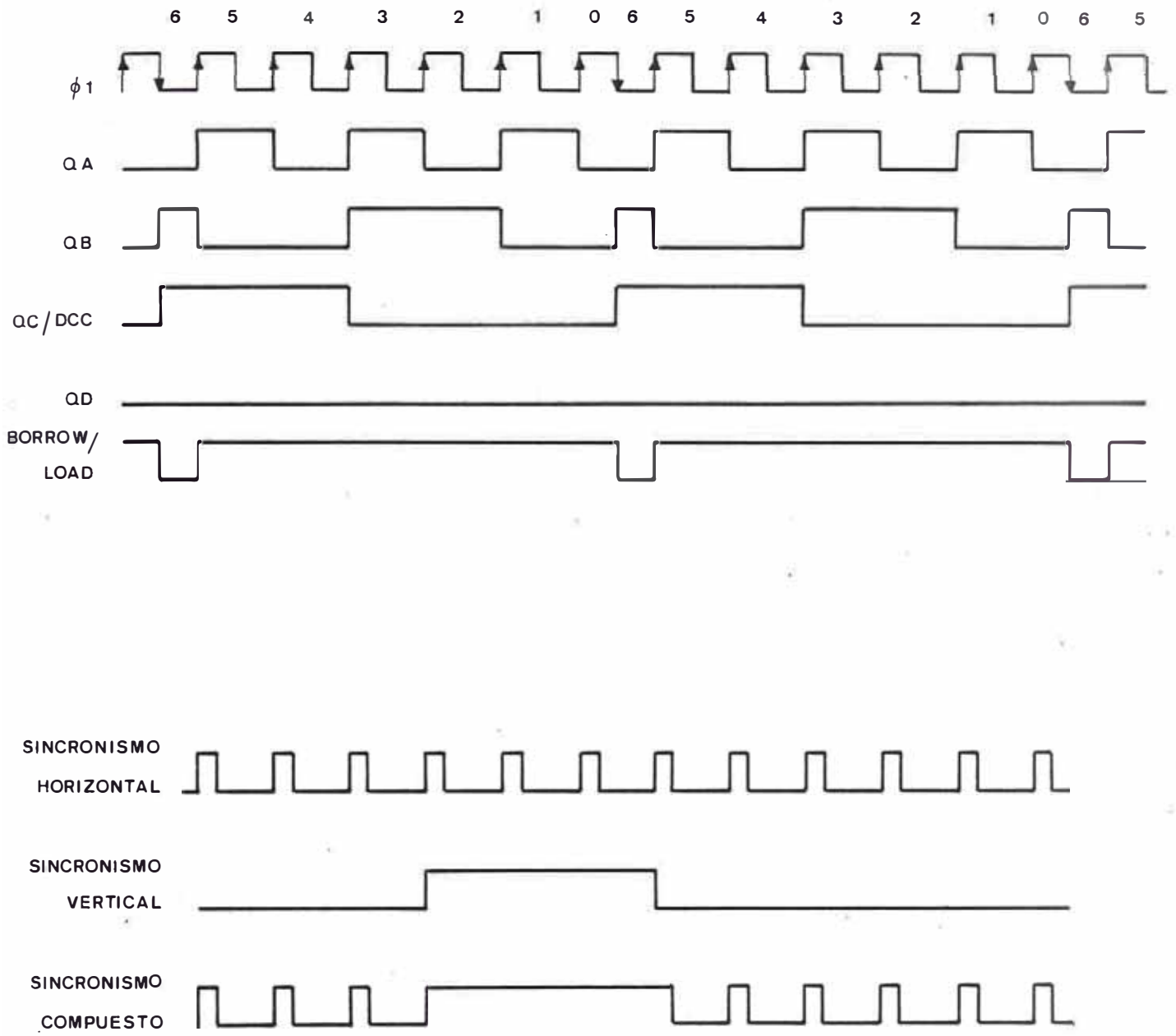
yendo la memoria, a su vez la memoria entrega este byte leído al Generador de Caracteres, el cual posee 6 líneas de entrada pudiendo formar $2^6 = 64$ combinaciones, una combinación para cada caracter a displayar. El Generador de caracteres produce para cada caracter un conjunto de 5 x 7 puntos. El Controlador de Video además de proveernos la cuenta de los caracteres y la cuenta de las filas de caracteres también produce mediante tres bits la cuenta de las filas de puntos (7 filas para nuestro caso por ser nuestro generador de caracteres del formato 5x7 puntos); estos tres bits se dirigen directamente al generador de caracteres para seleccionar la fila de puntos correspondiente al caracter que está siendo seleccionado en ese momento por los 6 bits provenientes de la memoria de video. Los 5 bits de salida del Generador de Caracteres son introducidos a un Conversor Paralelo-Serie el cual es alimentado con un clock igual a la frecuencia de puntos, es decir, una frecuencia igual a 6 veces la frecuencia del contador de caracteres.

La salida de este conversor se suma con la señal CRV (Cursor Video) y este resultado se mezcla con la señal de sincronismo compuesta.

CONTADOR DE CARACTER



SISTEMA DE VIDEO - DIAGRAMAS DE TIEMPO FIG 2.5



CAPITULO III

DESCRIPCION DE LA UNIDAD DE DISCO

3.1 La Unidad de Disco marca Diablo

El presente sistema hace uso de la unidad de disco modelo 44B marca Diablo, el cual provee hasta 100 mega - bits de almacenamiento y está diseñado específicamente - para pequeños computadores de propósitos generales.

Posee 2 discos en su interior, uno fijo y el otro removible. Posee una velocidad de transferencia de datos de 25 MHz.

A continuación se especifican las características de esta Unidad de Disco:

- Densidad de Tracks : 200 tracks por pulgada (TPI)

Medio de Almacenamiento (Disco):

Tipo 5540 disco fijo y removible

Diámetro del disco: 14 pulgadas

- Técnica de Grabación Doble frecuencia

Cantidad total de tracks:

1632. (400 mas 8 disponibles en cada superficie de cada disco)

- Capacidad en Bits: Total 100,000,000
 Por disco 50,000,000
 Por pulgada 2200
 Por cilindro 250,000
 Por track 62,500
- Tiempo de Acceso: De track a track 8 ms
 Promedio 38 Ms
- Velocidad de rotación: 2,400 RPM con una tolerancia de
 5%
- Velocidad de transferencia de cada bit: 2500 KHz.

Como sabemos toda información es grabada en el disco conjuntamente con la señal de sincronismo, esto permite una fácil recuperación de la data grabada. La figura N° 3.1 ilustra la forma de la señal que se aplica a las cabezas de escritura/lectura del disco, el bit de data va insertado entre dos pulsos de clock, en el caso de que el bit de dato sea un cero lógico no habrá pulso entre los dos pulsos de clock, si la información a grabar fuera un tren de unos lógicos la señal sería una onda de doble frecuencia que en el caso de que se grabara un tren de ceros lógicos, ésta es la razón de que a esta técnica de grabación se le denomine Técnica de Frecuencia Doble.

El tiempo de acceso se refiere al tiempo que interviene el mecanismo de movimiento de las cabezas de escritura y lectura en posicionar a éstas sobre un track determinado. La Unidad de Disco posee dos conectores de

interface, uno de ellos llamado el conector de entrada y recibe información de un controlador o de otra Unidad de Disco, el otro conector llamado conector de salida provee la conexión con una siguiente unidad de disco, es decir, varias unidades de disco pueden ser conectadas en cadena y controladas a la vez por un solo CPU. En caso de que solamente se use una Unidad de Disco, este conector de salida debe llevar el cable adaptador de impedancia correspondiente, caso contrario se pueden presentar problemas al momento de grabar o recuperar información.

En el diagrama N° 3.2 observamos el diagrama de bloques de la unidad de disco. El bloque denominado: UNIT ID Decoding es el encargado de seleccionar a la Unidad, esta solo responde a una de las cuatro líneas de selección (4 posibles unidades de disco que pueden ser conectadas en cadena). La dirección de la unidad se establece mediante un par de switches.

El bloque denominado: Head Positioning Logic posiciona la cabeza de lectura/escritura en la dirección especificada por el Controlador (en este caso por la Unidad de Control) enviando señales al bloque Head Positioning Servo System.

El bloque de lógica de lectura/escritura recibe señales del controlador como las que se muestran y efectúa la lectura y grabación en el disco. Durante lectura recibe los bits de datos mezclados con los bits de clock,

PRINCIPALES SEÑALES DE INTERFACE CON LA UNIDAD DEL DISCO

FIG 3.1

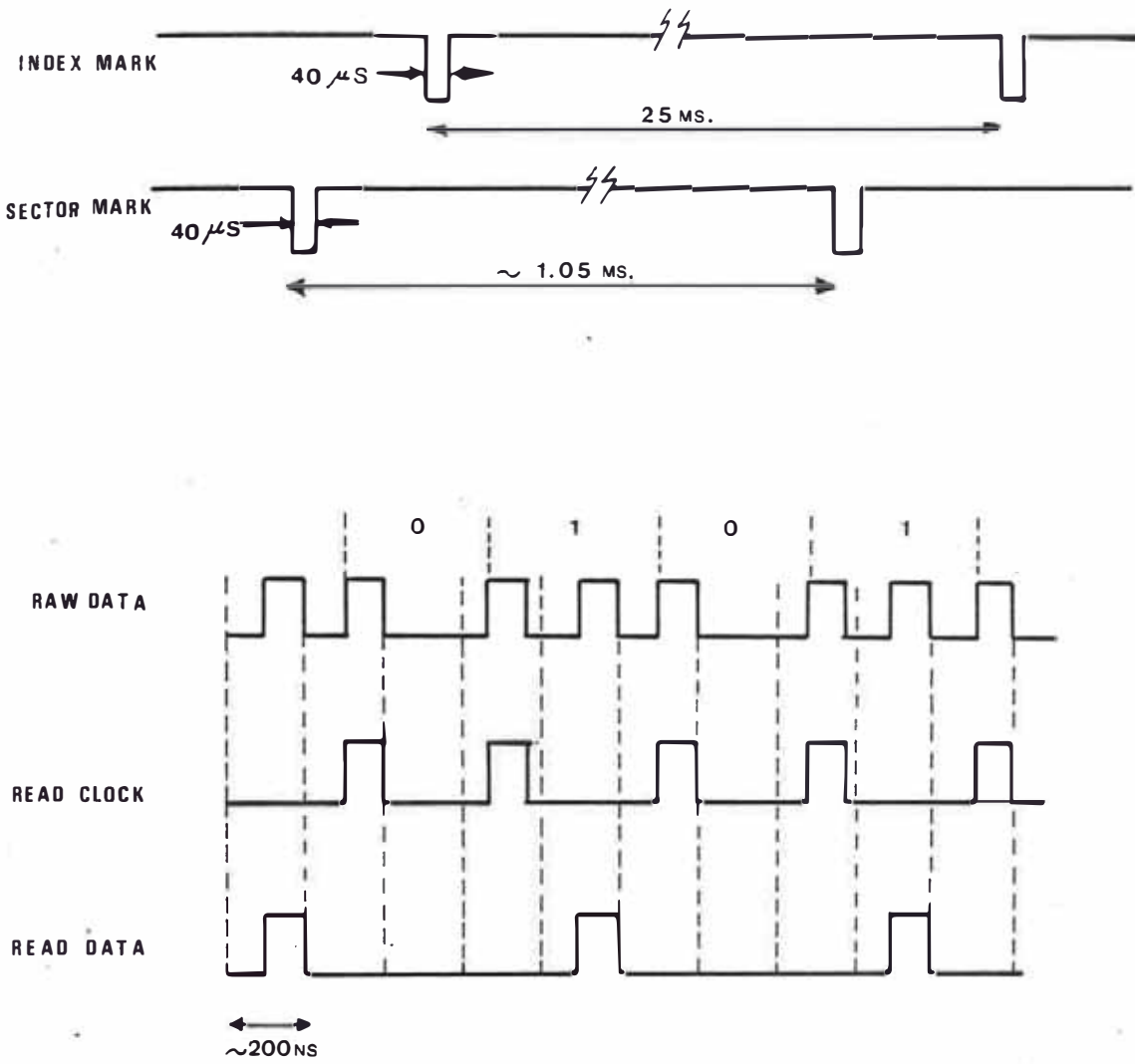
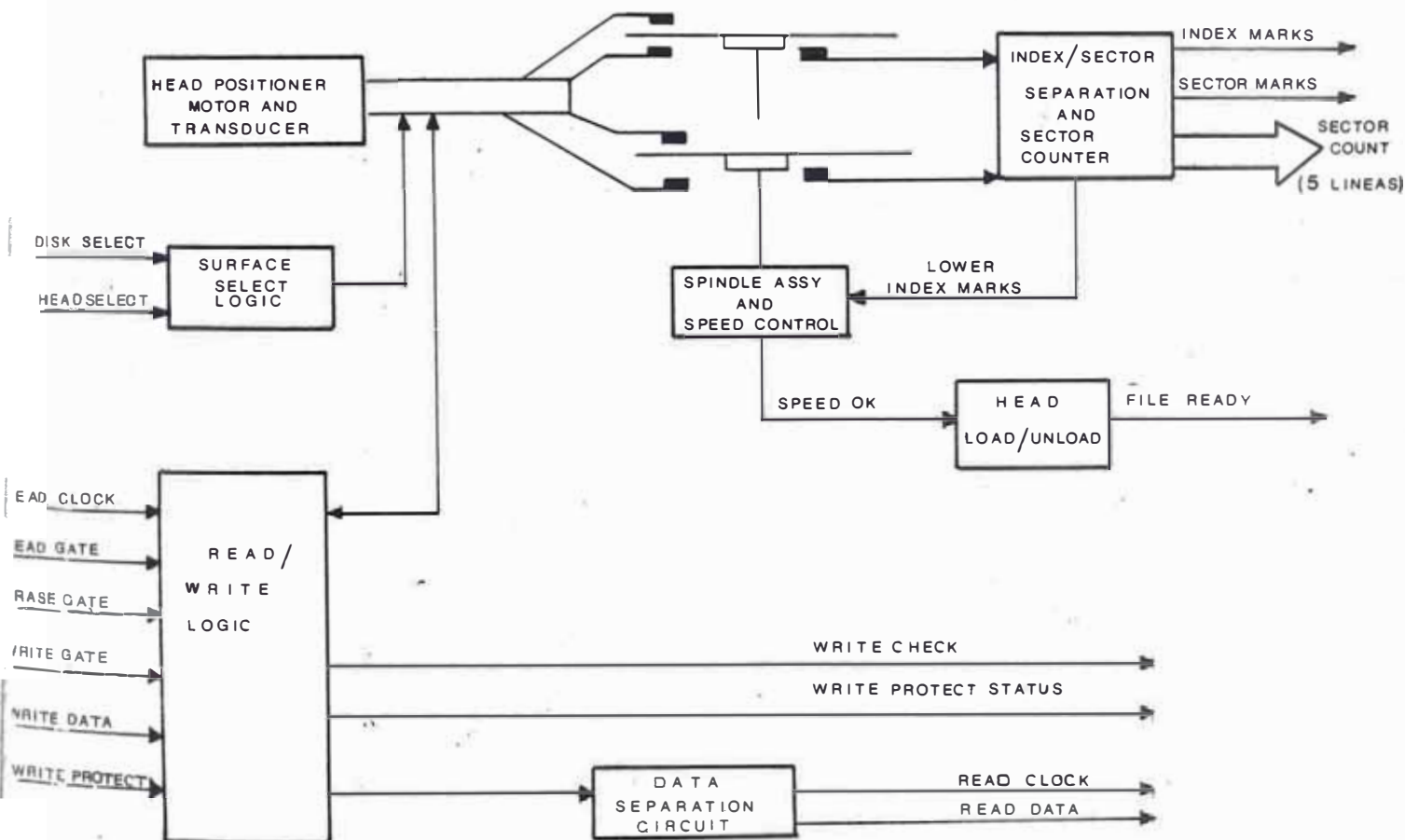
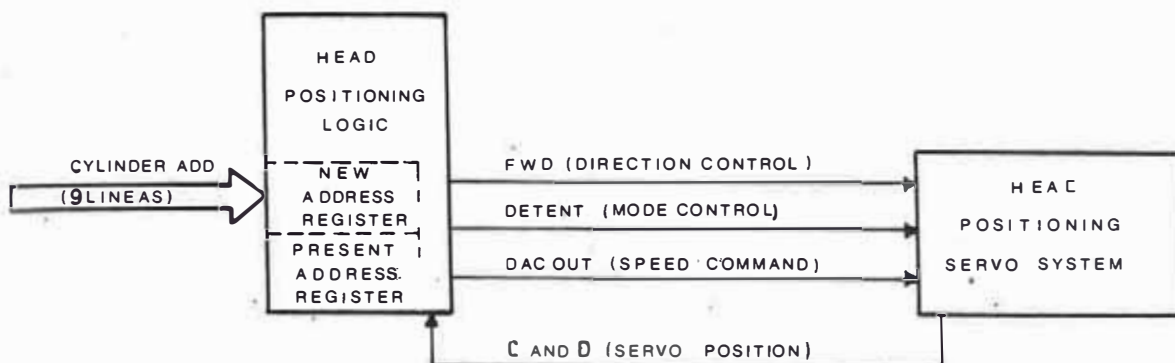
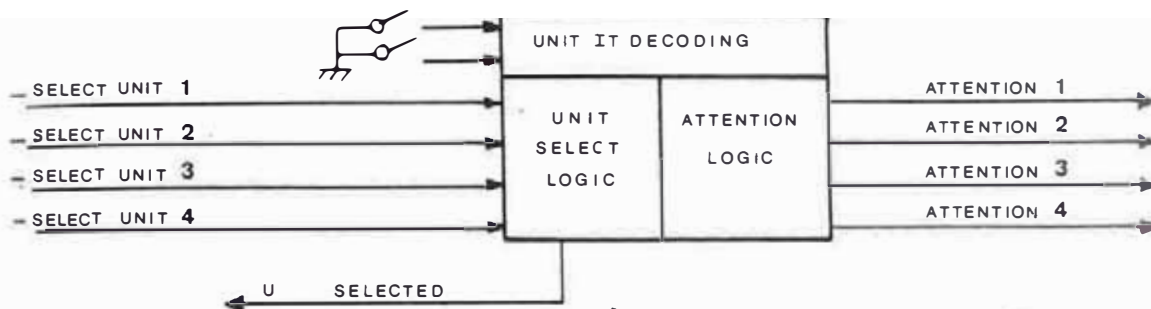


DIAGRAMA DE BLOQUES DE LA UNIDAD DE DISCO

FIG 3.2



por lo cual hay un bloque llamado Circuito Separador de Datos, el cual a su salida provee a través de dos líneas independientes los bits de datos y los bits de clock.

Como se sabe el Disco Magnético se encuentra formado por varios sectores (en este caso son 24 sectores) y un Index, el cual sirve como punto de referencia para la identificación de los sectores (ver información básica sobre los discos magnéticos en el Apéndice). Tanto los sectores como el Index se encuentran físicamente representados a través de ranuras en el disco giratorio sobre el cual está el disco magnético. Estas ranuras son detectadas a través de sensores ópticos proveyendo pulsos que van a alimentar a un contador de sectores (5 bits para los 24 sectores que se disponen). El pulso de Index no debe alimentar a este contador sino mas bien resetear lo, ya que el Index es una referencia de donde empieza el sector N°1. Para ésto, se dispone de una lógica que separa el pulso de Index de los restantes pulsos de sector.

El Bloque Spindle Assy. and Speed Control comprende el motor que hace girar el disco a una velocidad constante y la lógica que controla la velocidad de este motor.

Esta detección de velocidad se efectúa en base al pulso del Index. Cuando la velocidad no es la que debe ser las cabezas de escritura/lectura se encuentran descargadas, es decir, no se actúa el mecanismo que mantie-

la superficie de las cabezas muy cerca a la superficie - del disco.

3.2 Señales de Control de la Unidad de Disco Diablo

Todas las señales necesarias para controlar la Unidad de Disco se encuentran disponibles en el Conector de Interface, es importante conocer la función de cada una de estas señales para poder comprender el diseño de la Interface de Disco.

A continuación se describe brevemente la función de cada pin del conector de Interface:

Líneas de entrada

SELECT LINES; son cuatro líneas y sirven para seleccionar la unidad cuando se trabaja con varias unidades conectadas en una configuración de cadena. Cada unidad posee 2 switches, los cuales sirven para identificar a la unidad 1, 2, 3 ó 4. Cuando esta señal no está activa todas las demás señales de la interface permanecen deshabilitadas excepto la señal ATTENTION.

DISK SELECT; selecciona el disco, un cero lógico selecciona el disco removible y un uno lógico selecciona el disco fijo.

HEAD SELECT; esta línea selecciona a la cabeza superior o inferior. Un cero lógico selecciona la cabeza superior, un uno lógico selecciona la cabeza inferior.

CYLINDER ADDRESS: está formado por 9 bits e indica la dirección del cilindro en binario absoluto.

STROBE; es usado para habilitar la dirección del cilindro, debe estar activa hasta que la unidad de disco responde con la señal -ADDRESS ACKNOWLEDGE informando que ha reconocido la dirección de cilindro especificada.

RESTORE; esta línea sirve para posicionar las cabezas sobre el Track Cero a la vez que resetea el registro de dirección de Track.

WRITE GATE; estando en cero lógico esta señal provee corriente de escritura a la cabeza seleccionada. Esta señal debe estar activa durante la escritura de todo un sector.

ERASE GATE: estando en un nivel bajo provee corriente de borrado a la cabeza seleccionada.

WRITE DATA & CLOCK; esta línea envía a la unidad de disco la data multiplexada con el clock, cada pulso va a representar un cambio de flujo magnético a grabarse en la superficie del disco; el ancho de los pulsos debe estar en el rango de 100 á 150 ns.

READ GATE; estando en cero lógico habilita las señales de Read Clock y Read Data que provienen de la Unidad de Disco.

Señales de Salida:

FILE READY; permanece en nivel bajo siempre y cuando se cumplan las siguientes condiciones:

- Hay alimentación al sistema
- Disco removible cargado
- Switch en la posición RUN
- Ciclo de encendido completado
- Señal -WRITE CHECK en nivel alto
- Señal -UNIT SELECTED en nivel bajo

READY TO SEEK, READ OR WRITE (RSRW)

Esta señal permanece en un nivel bajo cuando el disco se encuentra en la condición de FILE READY y además no está efectuando ninguna operación de búsqueda. Cuando la unidad recibe un comando válido de búsqueda esta línea se va a un nivel alto inmediatamente después de recibir un STROBE y retorna al nivel bajo cuando las cabezas se encuentran posicionadas sobre la nueva dirección.

ADDRESS ACKNOWLEDGE (ADRS ACK)

Un nivel bajo en esta línea indica que ha sido aceptada una dirección en una instrucción de búsqueda. Si la búsqueda se especifica a los tracks mayores de 407 esta señal permanecerá inactiva ya que estas direcciones no son válidas.

LOGICAL ADDRESS INTERLOCK: (LAI) Estando en un nivel bajo indica que se ha recibido una dirección mayor de 407 y que la instrucción de búsqueda no puede ser efectuada. Esta señal se resetea con la siguiente señal de -ADRSACK o con un comando de Restore.

SEEK INCOMPLETE; un nivel bajo indica que algún desperfecto ha causado que no se complete la operación de búsqueda, este nivel se mantendrá hasta que se reciba un comando de RESTORE y un STROBE o hasta que el switch de la unidad es colocado en la posición de LOAD.

INDEX MARK; esta línea provee un pulso negativo de 40 micro segundos por cada revolución del disco, indicando el inicio del sector cero, para esto la parte inferior del plato giratorio que mueve el disco presenta unas ranuras, las cuales son detectadas por un sensor óptico.

READ CLOCK; en una unidad seleccionada, esta señal provee los pulsos de clock, los cuales han sido separados de la señal de data durante una operación de lectura. El ancho del pulso es nominalmente $100 + 50$ nsec.

WRITE PROTECT STATUS; un nivel bajo indica que no se puede escribir sobre el disco. El operador puede anular este estado presionando el switch PROTECT en el panel frontal, permitiendo así la escritura en el disco.

SECTOR MARK; esta línea provee un pulso negativo de 40 microsegundos por cada ranura en el plato giratorio, es decir, por cada sector.

SECTOR ADDRESS; esta palabra de 5 bits indican el sector sobre el cual se encuentran en ese momento las cabezas; esta señal es derivada de unos contadores cuyo clock es la señal SECTOR MARK y se resetean con el primer sector mark después del INDEX MARK.

Estas son las principales señales del disco Diablo 44B, existen algunas pocas más pero no serán usadas en el diseño de la interface.

En la figura N° 3.3 podemos observar el diagrama de tiempo del funcionamiento del disco, las operaciones de búsqueda, de escritura y lectura.

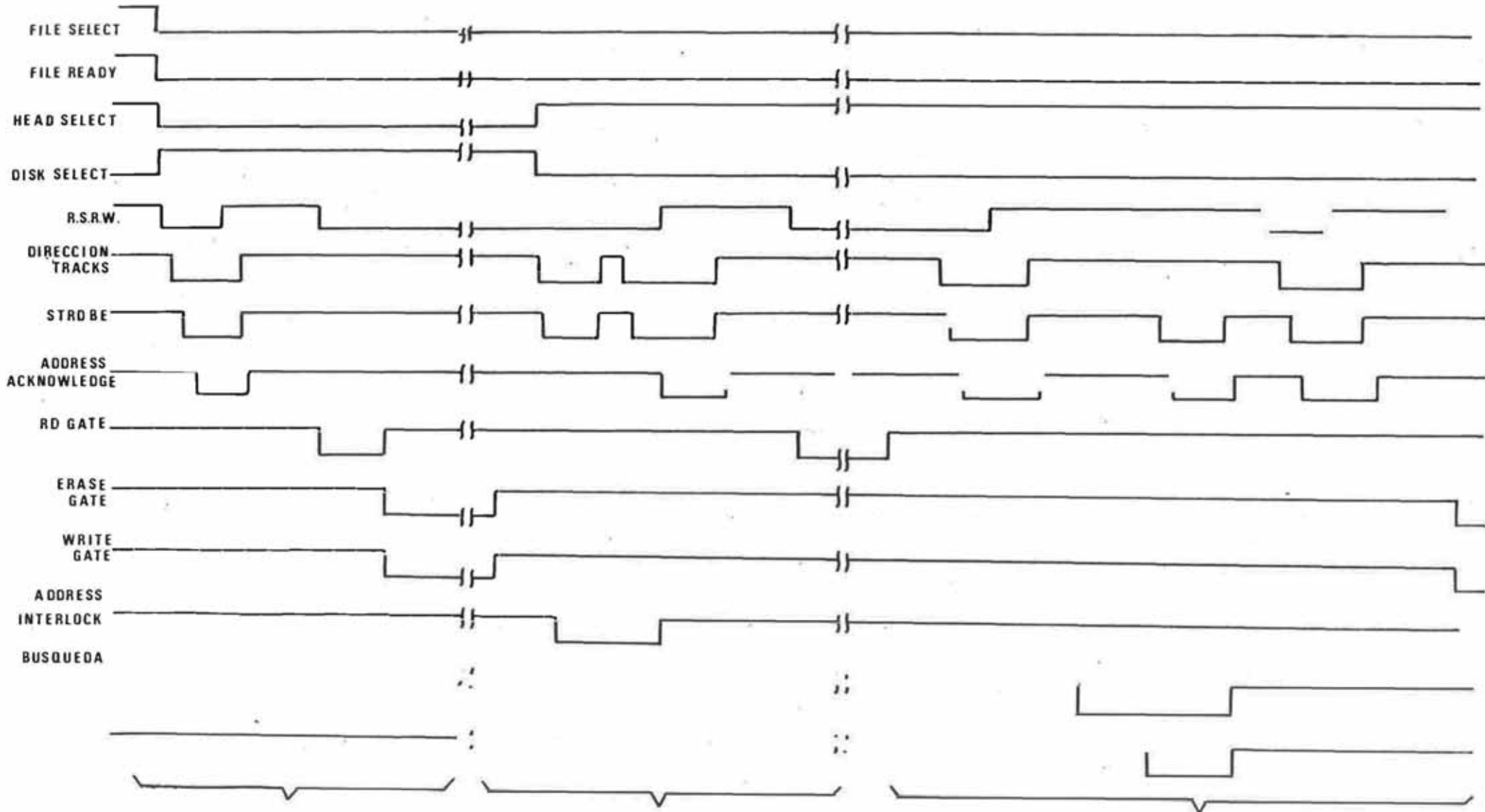
Para hacer efectiva la grabación y posterior lectura de los datos es necesario delimitar en el disco áreas definidas, las cuales contengan información pre-establecida y faciliten la interacción de la unidad central con el disco. Esto se logra con el proceso de formateo. Formatear es la acción de grabar en el disco la identificación de cada sector, así como delimitar las diferentes partes que conforman un sector. Todo disco antes de ser usado debe ser formateado. En el formateo también se graban zonas de Guarda, las cuales aseguran un número constante de bits de información en cada sector a pesar de variaciones en la velocidad del disco, variación del espaciado entre sectores, alineamiento del transductor del Index, etc.

El formato de cada sector se muestra en la figura N° 3.4.

PREAMBLE; es una zona de guarda que asegura contra las variaciones del transductor del Index, alineamiento del disco removible y tiempo de recuperación del amplificador de lectura. El Preamble es generalmente llenado de caracteres hexadecimales 00.

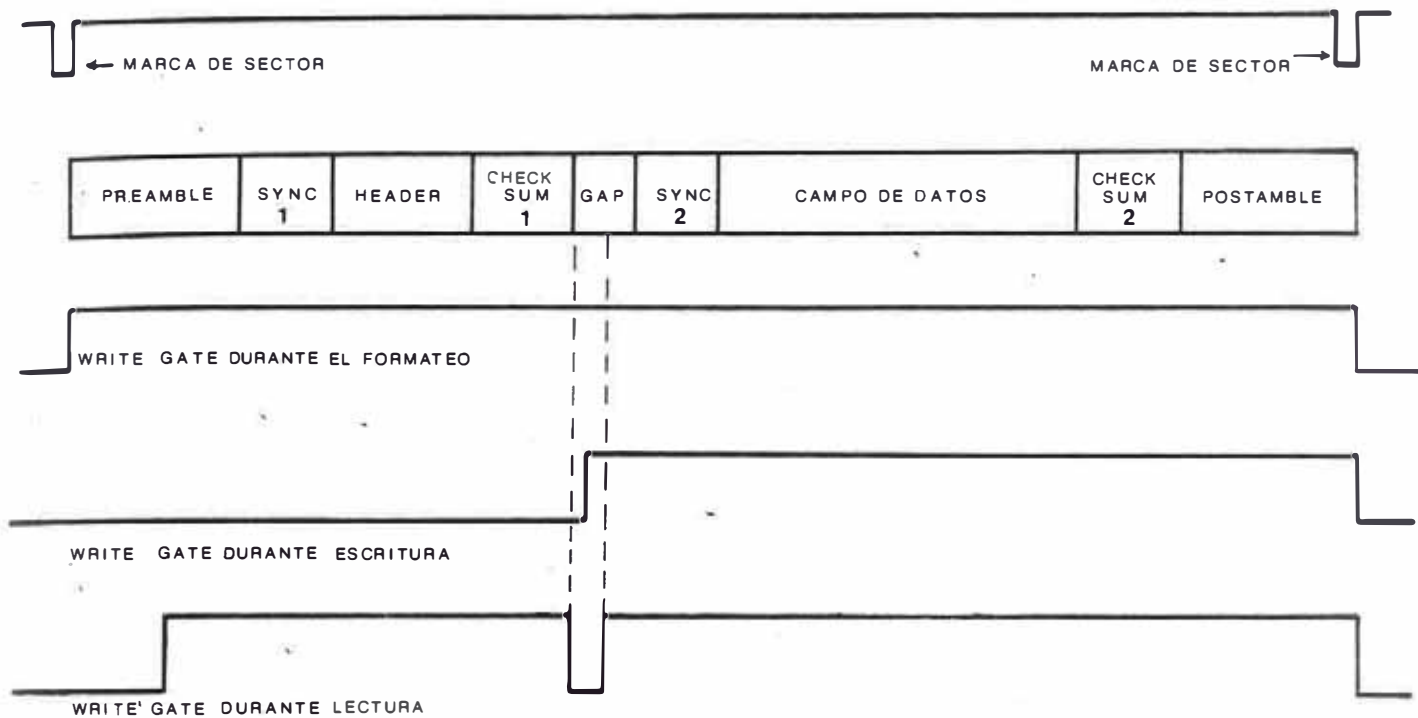
DIAGRAMA DE TIEMPO DE LA UNIDAD DE DISCO

FIG 3.3



FORMATO DE UN SECTOR DEL DISCO Y DIAGRAMAS DE TIEMPO

FIG 3.4



SINC 1; es un byte de sincronismo, generalmente está formado por 2 caracteres hexadecimales 03. Es necesario para indicar el final de la zona de Preamble y el inicio del Header.

HEADER; este campo generalmente es llenado con la dirección del cilindro, cabeza y sector sobre los cuales se encuentra la cabeza de R/W.

HEADER CHECK SUM (Check Sum I); es un caracter de chequeo originado por la unidad central durante el proceso de escritura. Este caracter es comparado con el caracter hallado al hacer la lectura para asegurar que el Header ha sido leído correctamente.

GAP; este es un campo opcional y es usado como un Preamble para el campo de data. Es usado en los sistemas en los cuales el Header no es vuelto a escribir durante la escritura de data. Es escrito durante el formateo.

SYNC 2; se usa para indicar el final del GAP y el inicio de la Data.

DATA FIELD; información a ser grabada o leída.

DATA CHECK SUM (Check Sum 2); se origina durante la escritura, este caracter es comparado con el caracter obtenido al hacer la lectura para asegurar que el campo de data fue leído correctamente.

POSTAMBLE; son todos los pulsos de clock grabados hasta la detección del siguiente sector. Esta zona contrarresta las variaciones en la rotación del disco, variaciones en el clock de escritura.

3.3 Operaciones típicas con la unidad de disco Diablo

A continuación se detalla los pasos a seguir durante las operaciones Formateo, Escritura de Data y Lectura.

Operación de Escritura de Formato (Formateo)

- 1.- Detectar Sector Zero
- 2.- Habilitar puerta de Escritura/Borrado
- 3.- Escribir Preamble (ceros)
- 4.- Escribir Sync 1, (03 hex)
- 5.- Escribir Header y Check Sum 1
- 6.- Escribir Gap (ceros)
- 7.- Escribir Sincronismo 2, Campo de Data y Check Sum 2.
Durante la operación de formateo generalmente se escribe en el campo de Data ceros o la misma información del Header/Check Sum 1. Sincronismo 2 generalmente es 03.
- 8.- Escribir Postamble (ceros) hasta que se detecte el inicio del siguiente sector.
- 9.- Durante el formateo la compuerta de Escritura/Lectura no debe ser deshabilitada hasta que se acabe de formatear el último sector del Track. Todos los sectores del track siguen el mismo procedimiento y lo único que varía es el Header y el Check Sum 1. Este mismo track debe ser leído en la siguiente revolución para verificar si ha sido correcto el formateo.

Operación de Escritura de Data

- 1.- Detectar el inicio del Sector a escribir
- 2.- Habilitar la compuerta de Lectura luego de un retardo igual a la mitad del Preamble.

- 3.- Leer los ceros de la zona de Preamble hasta detectar Sincronismo 1.
- 4.- Leer Sincronismo 1 y Header/Check Sum 1 para verificar que se está leyendo el sector correcto.
- 5.- Deshabilitar Compuerta de Lectura después del último bit de Check Sum 1.
- 6.- Habilitar la compuerta de escritura luego de un tiempo equivalente a un byte (8 bits).
- 7.- Escribir el Gap (ceros).
- 8.- Escribir Sincronismo 2.
- 9.- Escribir Campo de Data y Check Sum 2.
- 10.- Deshabilitar la compuerta de escritura al detectar el inicio del siguiente sector.

Operación de Lectura

- 1.- Detectar el inicio del Sector deseado.
- 2.- Habilitar la compuerta de lectura luego de un retardo equivalente a la mitad del Preamble.
- 3.- Leer los ceros de la zona de Preamble hasta detectar el caracter 03 Hex el cual es el caracter de sincronismo.
- 4.- Leer sincronismo 1 y Header para verificar que se ha encontrado el sector deseado.
- 5.- Deshabilitar la compuerta de Lectura.
- 6.- Habilitar la compuerta de lectura luego de un tiempo equivalente a la mitad del gap.
- 7.- Leer los ceros del gap hasta detectar sincronismo 2 el cual también es el caracter 03 Hex.
- 8.- Leer sincronismo 2, zona de data y dígitos de che-

queo del campo de data.

9.- Deshabilitar la compuerta de lectura.

Descripción de una Secuencia de Operaciones Típicas con la Unidad de Disco

Para terminar con esta explicación de la constitución de la Unidad de Disco Diablo Modelo 44-B a continuación se va a detallar cómo interactúan las diferentes señales de control para efectuar algunas operaciones típicas, se hará uso del diagrama N° 3.3 , el cual muestra a las diferentes señales en el tiempo de acuerdo a las operaciones a realizar; ésto va a servir para poder comprender tanto el diseño del Hardware de la Interface de Disco como las rutinas de escritura y lectura, las cuales se explicarán en el capítulo dedicado al Sistema Operativo.

A) Operaciones de Búsqueda, Lectura y Escritura

Primeramente la Unidad Central le envía una señal de selección a la Unidad de Disco llamada FILE SELECT, - ésta responde con la señal FILE READY diciendo que se encuentra dispuesta para efectuar cualquier operación. Seguidamente la Unidad Central mediante las señales HEAD SELECT y DISK SELECT selecciona una de las cuatro superficies que posee la Unidad de Disco. A continuación la Unidad Central debe enviarle a través de 9 bits la dirección del track en la cual quiere localizar las cabezas de lectura-escritura seguida por una señal de STROBE; la Unidad de Disco al recibir STROBE inicia la operación de búsqueda poniendo en nivel bajo a la señal R.S.R.W. (lis

to para buscar, leer o escribir), la cual volverá a su nivel alto cuando se haya completado satisfactoriamente, la búsqueda del track especificado. A continuación, para efectuar una operación de Lectura se activa la señal READ GATE y para efectuar una operación de escritura se activa WRITE GATE. Como sabemos estas operaciones de lectura y escritura implican una serie de pasos, los cuales se han enumerado en un subtítulo previo.

B) Detección de una dirección de Track equivocada

Seguidamente se explicará la forma en que la Unidad de Disco responde ante una dirección de track equivocada, tal como aquella que especifica una dirección que no existe físicamente (mayor de 407).

Al habilitar la Unidad Central una dirección de track equivocada la Unidad de Disco responde poniendo en nivel bajo la señal LOGICAL ADDRESS INTERLOCK, la Unidad Central cambia la dirección de track ahora por una dirección válida y nuevamente activa STROBE, esta vez el Disco responde con la señal ADDRESS ACKNOWLEDGE anunciando que la dirección es válida y que ha empezado la búsqueda poniendo en nivel bajo R.S.R.W., la cual se irá a alto cuando las cabezas se hayan posicionado sobre el track deseado. La señal LOGICAL ADDRESS INTERLOCK, la cual estaba en nivel bajo desde que se detectó la dirección equivocada vuelve a su nivel alto inactivo inmediatamente después de activar la señal ADDRESS ACKNOWLEDGE.

C) Búsqueda incompleta y Operación de Escritura

Se inicia una nueva operación de búsqueda activando STROBE, el Disco responde con ADDRESS ACKNOWLEDGE y setea R.S.R.W. pero debido a alguna falla de la Unidad de Disco no se completa la búsqueda, en tal caso se activa la señal SEEK INCOMPLETE. Para salir de este estado es necesario aplicarle un pulso negativo a la entrada RESTORE con lo cual SEEK INCOMPLETE se va a un nivel alto. Seguidamente se efectúa otra operación de búsqueda satisfactoria y se habilita la escritura activando WRITE GATE.

3.4 Interface con la Unidad de Disco

El Hardware de la Interface con la Unidad de Disco está representado en la figura N° 3.5 . Como se va a ver ésta viene a formar básicamente una lógica de Acceso Directo a Memoria (DMA). Debido a la elevada velocidad de transferencia de datos de la Unidad de Disco, el Procesador no puede por sí solo manipular este intercambio de información, se requiere por tanto una lógica independiente que haga posible la interacción con la memoria que sirve como buffer de disco tanto en lectura como en escritura.

Por otro lado, también se requiere controlar un buen número de señales involucradas en la transferencia con el Disco, por esta razón, al igual que en la Unidad de Cinta se hace uso de una Interface Periférica Programable 8255 (PPI). El 8255 es un circuito Integrado ideal para interactuar con periféricos que requieren una gran

cantidad de señales de control, sus tres ports de 8 bits cada uno pueden ser definidos independientemente como entradas o salidas totalmente bajo control del procesador.

A continuación se detalla la función de cada bit del 8255:

A) En el Port A; sus ocho bits contienen los ocho bits menos significativos de la dirección de TRACK. Todos sus bits son salidas.

B) En el Port B; sus ocho bits están configurados como salidas.

- Los 5 bits menos significativos del port B contienen la dirección del sector en el cual se quiere leer o escribir, con bits de salida..

- BIT MAS SIGNIFICATIVO DE LA DIRECCION DE TRACK; corresponde al bit 5 del Port B y viene a ser el noveno bit de las líneas de dirección de track.

- DISK SELECT; corresponde al bit 6 del port B y selecciona uno de los dos discos con que cuenta la Unidad de Disco.

- HEAD SELECT; corresponde al bit 7 del port B y selecciona ya sea la cabeza superior o inferior del disco que ha sido seleccionado mediante DISK SELECT.

C) En el Port C; en este Port se han configurado los cuatro bits menos significativos como entradas y los cuatro bits más significativos como salidas.

PORT A: DIRECCIONES DE TRACKS

PORT B:

7	6	5	4	3	2	1	0
Head Select	Disk Select	MSB Track Address	Sector 4	Sector 3	Sector 2	Sector 1	Sector 0

PORT C:

7	6	5	4	3	2	1	0
-STROBE	-PD GATE	-WR GATE	X	X	X	-L.A.I.	- RSRW
SALIDAS			ENTRADAS				

- LISTO PARA BUSCAR, LEER o ESCRIBIR (RSRW); corresponde al bit 0 del Port C es una entrada que viene directamente de la Unidad de Disco y que permanece en un nivel lógico alto cada vez que se está efectuando una operación de búsqueda.

- LATCH ADDRESS INTERLOCK (LAI); es una entrada correspondiente al bit 1 del Port C y que permanece en un nivel bajo cada vez que se detecta una dirección de track inválida (mayor de 407).

- FILE SELECT; es un bit de salida correspondiente con el bit 4 del port C. Sirve para seleccionar a la Unidad de Disco. Es la primera señal que se de activar para poder interactuar.

- WRITE GATE; es una salida correspondiente al bit 5 del port C y sirve para activar la cabeza de escritura que ha sido seleccionada previamente.

- READ GATE; es una salida correspondiente al bit 6 del Port C y estando activa habilita a las señales READ

CLOCK y READ DATA necesarias para efectuar la lectura.

- STROBE; es una salida correspondiente al bit 7 del Port C y sirve para habilitar a la Unidad de Disco, la dirección del Track. Su estado activo es en el nivel bajo.

Como se observa en la figura N° 3.5 los 5 bits de dirección del sector que provienen del PPI van hacia un comparador de 5 bits, el cual recibe además los 5 bits del contador de sectores proveniente de la Unidad de Disco, al ser iguales ambos bytes se genera un nivel positivo a la salida del comparador, esta transición setea el flip-flop N°1, el cual permanecerá en dicho estado hasta la aparición del siguiente sector. La salida de este flip-flop es usada para habilitar la transferencia con el sector especificado. La señal -DI (salida complementada del comparador) es la encargada de interrumpir al CPU para que este inicie la rutina ya sea de escritura o lectura.

La Interface con la Unidad de Disco hace uso de un Oscilador distinto al Oscilador del CPU. Para esto, con un cristal de 10.00 MHz se genera un reloj de 2.5 MHz, el cual establece la velocidad de transferencia requerida para interactuar con la Unidad de Disco, esta frecuencia alimenta a los contadores, genera los pulsos de clock que van insertados entre los pulsos de datos, etc.

En la figura N° 3.5 se observa toda la lógica asociada a la memoria que sirve de buffer de disco.

Como se observa, todo este conjunto forma una especie de DMA (Acceso Directo a Memoria); durante la transferencia de información con el disco, el CPU se independiza de esta lógica de DMA mediante la deshabilitación del driver bidireccional acoplado al bus de datos, y también durante este tiempo la señal -BUFFER se encuentra deshabilitada con lo cual la memoria buffer está siendo direccionada por los contadores de la lógica de DMA.

Tanto la parte de escritura como de lectura hacen uso de contadores entre 8 para formar el correspondiente byte, en escritura se requiere volver a cargar el convertor paralelo-serie cada 8 bits (inmediatamente después que han sido serializados los ocho bits anteriores), y durante lectura se requiere habilitar el byte paralelo a la memoria buffer una vez que los ocho bits han sido ensamblados por el conversor serie-paralelo, el tercer bit de estos contadores es usado para incrementar la cuenta de los contadores que direccionan a la memoria, el flanco activo de este bit (flanco negativo) ocurre con anterioridad al flanco activo de BORROW, el cual es usado para activar los conversores paralelo-serie y serie-paralelo tal como se explicó anteriormente, con lo cual se consigue dar un tiempo de estabilización a los contadores direccionadores de la memoria antes de que se escriba o lea el byte correspondiente.

El proceso de lectura es más complicado que el proceso de escritura, durante lectura necesitamos sincronizar nuestro contador entre 8 con el inicio de cada byte,

para esto durante escritura se escriben caracteres de sincronismo tanto para lectura del header como para la lectura de la zona de data. En nuestro caso este byte de sincronismo al caracter 03 Hex. Mediante el uso de un par de flip-flops conectados convenientemente detectamos al inicio de cada sector la aparición de dos niveles lógicos uno consecutivos (03) con lo cual reseteamos el contador entre 8 quedando así sincronizada la lectura del Header, para sincronizarnos con la zona de data realizamos el mismo proceso anterior pero necesitamos resetear al par de flip-flops detectores del caracter de sincronismo, para ésto aprovechamos que durante el gap se vuelve a habilitar READ GATE con lo cual reseteamos a éstos y estamos listos para detectar el siguiente caracter de sincronismo.

La parte de escritura se caracteriza porque intercala entre los bits de data provenientes del conversor paralelo-serie bits de clock; como se observa en el Diagrama N°3.5 éstas dos señales son sumadas mediante una compuerta OR y el resultado es dirigido al pin WRITE CLOCK y DATA de la Unidad de Disco.

CAPITULO IV

DESCRIPCION DE LA UNIDAD DE CINTA

4.1 Características de la Unidad de Cinta marca Inforex

Como se dijo anteriormente nuestro sistema interactuará con la Unidad de Cinta Inforex cuyas características son:

- Densidad de grabación	800 bits por pulgada
- Velocidad de desplazamiento	12.5 pulg. por segundo
- Forma de grabación	Sin retorno a Cero (NRZI)
Número de Tracks	Nueve (ocho de data más uno de paridad)

La Unidad de Cinta de Inforex está compuesta por 3 tarjetas: Tarjeta de Control de Cinta, Tarjeta de Servoy Tarjeta Amplificadora de Escritura y Lectura. A continuación describiremos brevemente la función y constitución de cada una de estas tarjetas, lo cual nos servirá para explicar el diseño de nuestra interface.

a) Tarjeta de Control de Cinta: es la que se encarga de recibir las señales de control que envía el CPU a través de la interface, señales tales como Forward, Backward, Rewind, Write Protect, etc., son recibidas por esta tarjeta y son enviadas a la Tarjeta de Servo y a la tarjeta de Escritura y Lectura. La tarjeta de Servo es completamente gobernada por la Tarjeta de Control de Cin

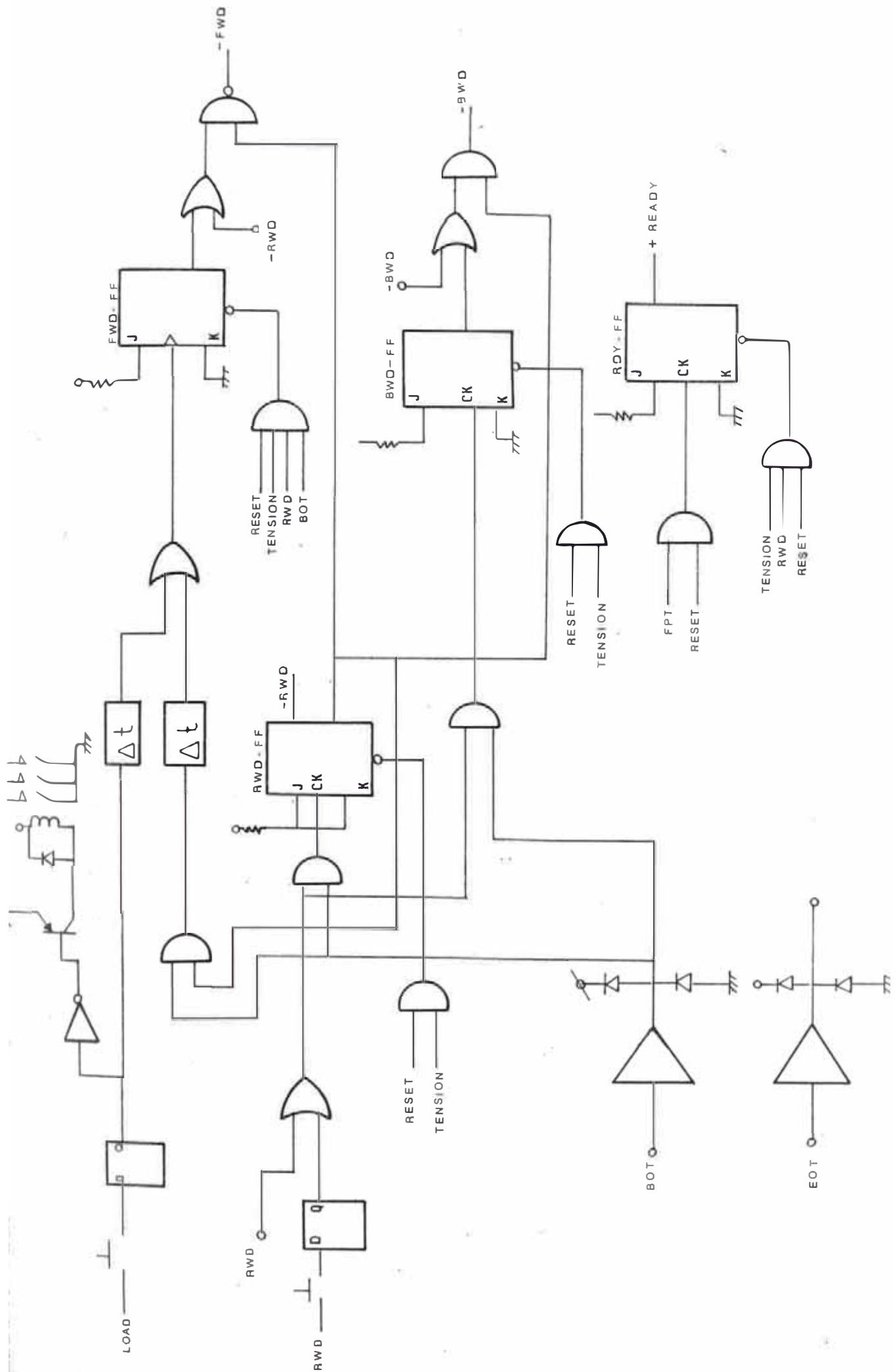
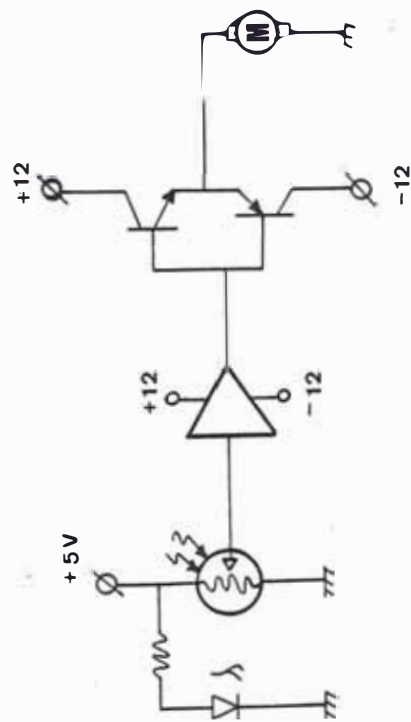
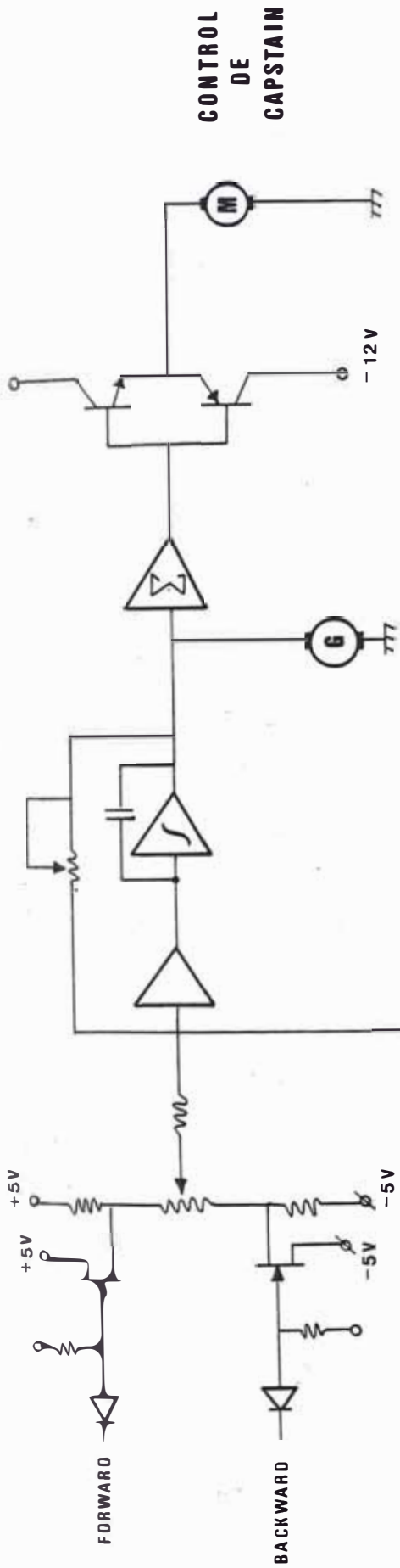
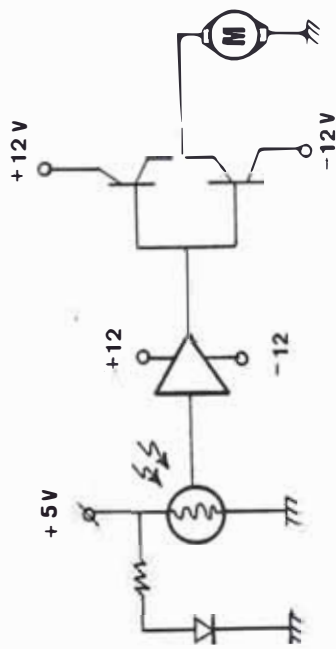


DIAGRAMA DE BLOQUES DE LA TARJETA SERVO

FIG. 4.2



CONTROL DEL SUPPLY REEL MOTOR



CONTROL DEL TAKE-UP REEL MOTOR

ta. Posee además la lógica que detecta los puntos reflectivos en la cinta, los cuales indican el inicio de una cinta (BOT) o el final de la cinta (BOT). También recibe las señales de control provenientes de los switches en el panel frontal de la unidad de cinta y que son usados por el operador para posicionar o remover la cinta.

b) Tarjeta de Servo: es la encargada de comandar el movimiento de los motores, su circuitería se compone básicamente de Amplificadores Operacionales y Transistores de Potencia. Hay tres motores, 2 de ellos son los carretes de la cinta, el motor donde va colocada la cinta se denomina Supply Reel Motor y el motor donde va el carrete vacío se denomina Take Up Reel Motor; el tercer motor es el llamado Capstan Motor y es el que gobierna el sentido y velocidad de movimiento de la cinta; es este motor el que recibe del Tape control las señales Forward, Backward y Rewind, la velocidad de este motor determina la velocidad de desplazamiento de la cinta, por lo cual siempre que está en operación la unidad de cinta se debe observar cualquier variación en la velocidad de este motor, ésto se logra colocando un estroboscopio directamente sobre el rotor (el estroboscopio es un círculo con una determinada cantidad de líneas radiales separadas una de terminada cantidad) y observando que sus líneas radiales se encuentren estacionarias. Además se dispone de un potenciómetro en el lazo de realimentación del Operacional que alimenta al Capstan con el cual se hace el ajuste de la velocidad. Cualquier variación en la velocidad origi

nará una lectura defectuosa y el sistema lo detectará como error de paridad.

c) Tarjeta Amplificadora de Escritura y Lectura: esta tarjeta es la encargada de efectuar la escritura y lectura en la cinta, para lo cual recibe a través de la Interface de Cinta el Bus de Datos de Escritura y el Bus de Datos de Lectura, también recibe las señales de WRITE STROBE y WRITE AMPLIFIER RESET. En la escritura el formato NRZI es fácilmente generado mediante el uso de flip-flops JK conectados en la configuración basculante. Los circuitos correspondientes a cada track, tanto para lectura como para escritura son idénticos, en el diagrama N° 4.4 se representa la configuración a nivel esquemático de la circuitería correspondiente a un track.

En la figura N° 4.3 podemos observar el diagrama de bloques de esta tarjeta en la parte correspondiente a la lectura, la pequeña señal proveniente de las bobinas que conforman la cabeza de escritura-lectura es aplicada directamente a un amplificador lineal, esta señal resultante es aplicada a un derivador para intensificar sus variaciones de polaridad, lo cual nos indicará una transición de nivel lógico, lo cual nos determina un nivel digital activos; como ambas crestas de la onda cuasi-sinusoidal obtenida con el derivador nos indican una transición es necesario detectarlas las dos y para esto mediante un rectificador activo obtenemos una señal con solamente nivel positivo, seguidamente con un detector de umbral o comparador obtenemos una señal digital que

DIAGRAMA DE BLOQUES DE LA TARJETA AMPLIFICADORA

FIG. 4.3

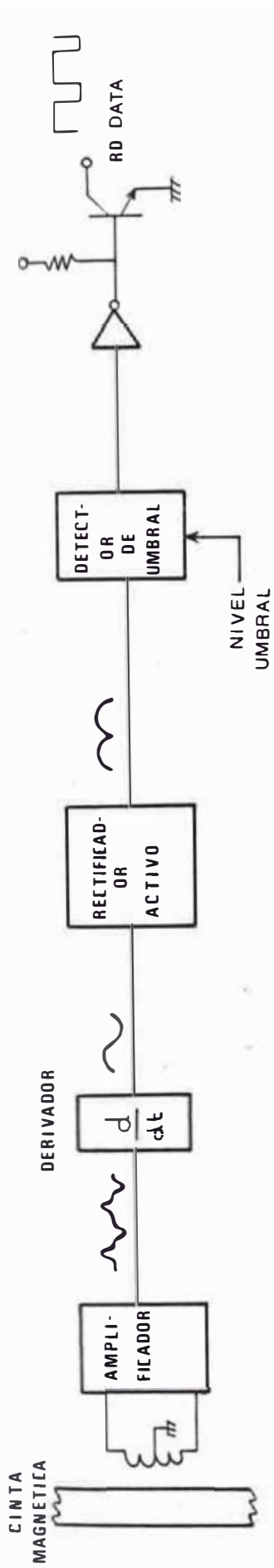
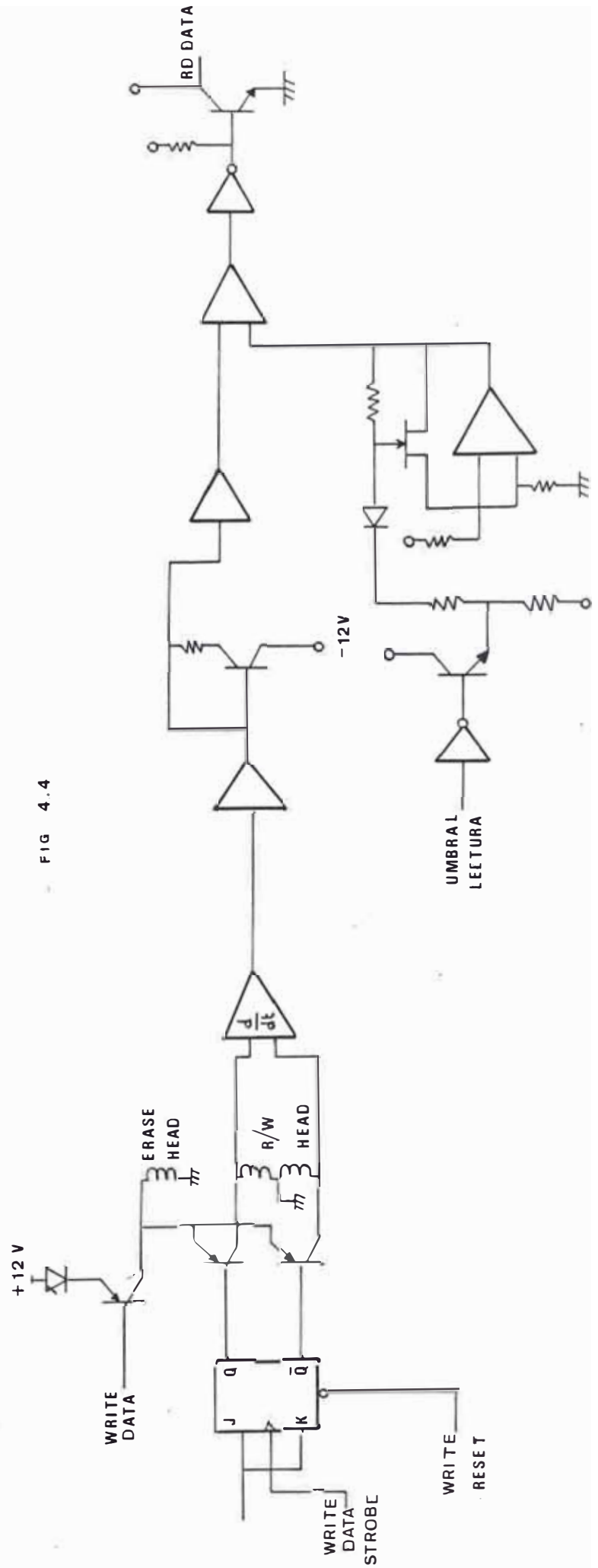


FIG 4.4



estará en un nivel lógico alto cada vez que haya habido un cambio de flujo en la cinta magnética, es decir, cada vez que se haya escrito un uno lógico.

En cuanto a la parte de escritura podemos ver en el diagrama que básicamente consta de un flip-flop JK con sus dos entradas unidas a una línea de datos de escritura. La señal WRITE DATA STROBE viene a alimentar a todas las entradas de clock de los flip-flops y asimismo, la señal WRITE AMPLIFIER RESET se conecta con todas las entradas de Reset. Las salidas de estos flip-flops de escritura van a alimentar a las bobinas de la cabeza de escritura y lectura a través de transistores, los cuales proveen la ganancia de corriente necesaria para magnetizar la cinta magnética mediante las bobinas. Estos transistores se encuentran controlados por la señal WRITE ENABLE, la cual cuando está activa polariza los transistores y además provee de corriente a la bobina de borrado, la cual siempre debe estar activa durante todo proceso de escritura.

Como ya se ha explicado en un capítulo anterior tanto la grabación como la lectura están sincronizados con un reloj de 10 KHz, el cual es derivado del oscilador que alimenta al CPU, esta frecuencia conjuntamente con la velocidad de desplazamiento de 12.5 pulgadas por segundo da por resultado una densidad de grabación de 800 bits por pulgada según el siguiente cálculo:

FRECUENCIA DE GRABACION DE BYTES - 10 KHz

$$\therefore \text{Tiempo de grabación} \left(\frac{\text{seg}}{\text{byte}} \right) = \frac{1}{10 \times 10^3}$$

por cada byte

VELOCIDAD DE DESPLAZAMIENTO DE LA CINTA = 12.5 pulgadas

por seg (inch/seg)

$$\therefore \text{Tiempo de desplazamiento} \left(\frac{\text{seg}}{\text{inch}} \right) = \frac{1}{12.5}$$

por pulgada

$$\text{Densidad Grabación} \left(\frac{\text{bytes}}{\text{inch}} \right) = \frac{1}{12.5} \frac{\text{seg}}{\text{inch}} = 800 \frac{\text{bytes}}{\text{inch}}$$

$\frac{1}{10^3} \text{ byte}$

4.2 Interface con la Unidad de Cinta

A continuación describiremos la constitución en cuanto al Hardware de la Interface con la Unidad de Cinta y asimismo se explicará en forma no detallada la forma en que el sistema operativo hace uso de esta circuitería para interaccionar con la cinta ya sea en lectura o en escritura.

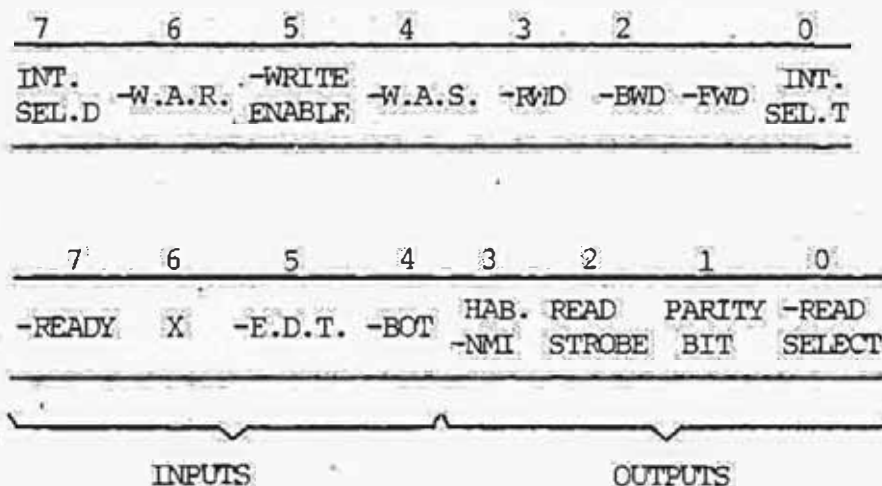
El Hardware de la Interface de Cinta básicamente está constituido por la Interface Periférica Programable 8255 (PPI) a través del cual se envían y reciben todas las señales necesarias para interaccionar con la Unidad de Cinta. Como sabemos el 8255 posee tres ports cada uno de 8 bits llamados port A, B y C respectivamente; estos ports pueden ser definidos ya sean como entradas o salidas, esto es muy útil cuando se quiere dar más de un uso a un Port, con unas pocas instrucciones podemos cambiarle su configuración y hacer que trabaje en forma dis

tinta; usando este criterio podemos usar el mismo port para recibir el bus de datos de lectura como el bus de datos de escritura. En el siguiente esquema se muestra la distribución de todas las señales que controla el 8255:

A) Durante Escritura

- Port A: Byte de datos de escritura (los 8 bits son salidas)
- Port B: (los 8 bits son salidas)

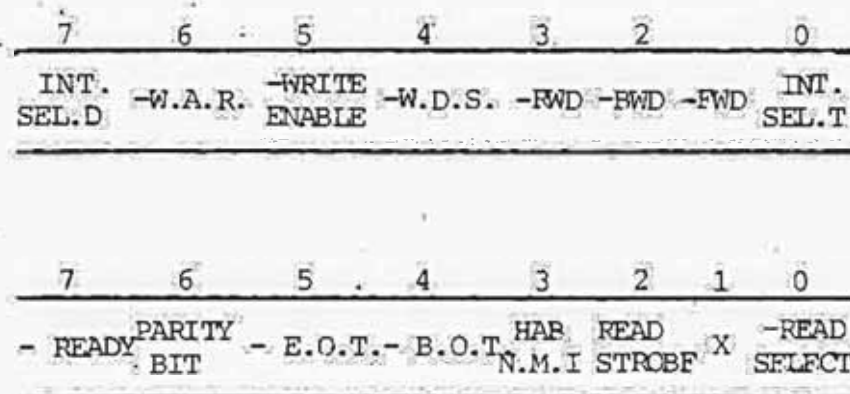
- Port C:



B) Durante Lectura

- Port A: Byte de datos de lectura (los 8 bits son entradas)
- Port B: (los 8 bits son salidas)

- Port C:



Como ya explicamos anteriormente la Unidad de Cinta nos proporciona el bus de datos de lectura y escritura - (9 bits cada uno) en forma independiente, éstos dos buses son unidos al mismo port A del 8255 separándolos convenientemente mediante compuertas de tres estados para que uno de ellos no interfiera mientras está trabajando el otro, esto se explicará con mayor detalle en páginas posteriores.

El Port B permanentemente trabaja como salida y controla las siguientes señales:

a) SELECCION DE INTERRUPCION, CINTA (INT SEL T): corresponde al bit 0 del Port B. Esta señal es una de las dos que sirven para seleccionar mediante un multiplexor las diferentes señales que pueden interrumpir al procesador, ya sea interrupciones enmascarables o no enmascarables son seleccionadas por estas dos señales, las cuales son controladas a través del sistema operativo.

b) FORWARD (FWD): corresponde al bit 1 del Port B. Esta señal va directamente a la tarjeta de Control de Cinta (ubicada dentro de la Unidad de Cinta) y cuando está activa hace avanzar la cinta hacia adelante.

c) BACKWARD (BWD): corresponde al bit 2 del Port B. Esta señal va directamente a la tarjeta de Control de Cinta y cuando está activa la cinta se mueve hacia atrás siempre a la velocidad en que avanza hacia adelante durante Forward. La señal de Backward es usada generalmente para volver a posicionarse sobre el inicio de un blo

que o registro de datos grabados anteriormente con el fin de hacer una lectura de verificación.

d) REWIND (RWD): corresponde al bit 3 de Port B. Esta señal va directamente a la Tarjeta de Control de Cinta y cuando está activa la cinta comienza a girar hacia atrás a una velocidad mayor que la Backward. A diferencia de las 2 señales anteriores, Forward y Backward, las cuales estarán activas solamente en el tiempo durante el cual estén en nivel negativo los bits 1 y 2 respectivamente del Port B, la señal Rewind solamente le bastará la transición negativa del bit 3 del Port B para permanecer activa (rebobinando la cinta) hasta encontrar el punto de Inicio de Cinta (BOT) punto en el cual se detiene.

e) WRITE DATA STROBE (W.D.S.): corresponde al bit 4 del Port B. Esta señal es el clock de los nueve flip-flops JK de escritura, es activado por el sistema operativo una vez que se ha proveído a través del Port A, los 8 bits de datos y el bit de paridad.

f) WRITE ENABLE: corresponde al bit 5 del Port B. Esta señal al estar activa polariza a los transistores que excitan a las bobinas de la cabeza de lectura-escritura y asimismo provee corriente a la bobina de borrado, la cual siempre debe permanecer activa durante el proceso de escritura en la cinta.

g) WRITE AMPLIFIER RESFT (W.A.R.): corresponde al bit 6 del Port B. Esta señal es el Reset de los nueve flip flops de escritura. Esta señal controlada por el

Sistema Operativo permite crear bytes iguales a 00 Hex en una cantidad arbitraria, éstos gaps son introducidos por el Sistema Operativo con fines de separar los registros y bytes de chequeo.

h) SELECCION DE INTERRUPCION, DISCO: corresponde al bit 7 del Port B. Esta es una de las señales que sirven para seleccionar mediante un multiplexor las diferentes señales que pueden interrumpir al procesador. Como se aprecia en el diagrama anterior la configuración del Port C varía ligeramente durante escritura y lectura, si bien siempre los 4 bits inferiores son salidas y los cuatro - bits superiores entradas el bit de paridad tiene una diferente ubicación en lectura y en escritura.

El Port C controla las siguientes señales:

a) RFAD SELECT: es una salida correspondiente al bit 0 del Port C. Estando inactiva las salidas de los flip-flops tipo D, los cuales almacenan temporalmente el byte de lectura están en alta impedancia y el port A puede estar trabajando como salida enviando datos hacia la Unidad de Cinta para ser escritos. Estando activa, se habilita la salida de los flip-flops y en este caso el Port A debe estar trabajando como entrada.

b) PARITY BIT: es una salida correspondiente al bit 1 del Port C. Este bit de paridad es usada durante escritura.

c) READ STROBE: es una salida correspondiente al bit 2 del Port C. Viene a ser el clock de los nueve

flip-flops tipo D de lectura. El sistema Operativo genera un pulso a través de este bit para efectuar la carga de los flip-flops.

d) HABILITAR INTERRUPCION NO-FNMASCARABLE (HAB.NMI): corresponde al bit 3 del Port C, es una salida; al estar activa permite que el multiplexor de interrupciones habilite su salida correspondiente a la Interrupción No-Fnmascarable, las operaciones con cinta hacen uso de este tipo de interrupción para ser atendidas con el CPU, en cambio las operaciones con Disco hacen uso de la Interrupción Enmascarable.

e) FIN DE CINTA (E.O.T.): es una entrada correspondiente al bit 5 del Port C. Cuando el Procesador encuentra a este bit en estado lógico cero deduce que ha llegado al final de la cinta o al final de un archivo de registros y toma determinada acción según el Sistema Operativo.

f) PARITY BIT: es una entrada correspondiente al bit 6 del Port C. Este bit de paridad es usado durante lectura. El hecho de usar 2 bits distintos para el bit de paridad es debido a que de esta manera no es necesario modificar la configuración del Port C como en el caso del Port A en el cual hay que conmutar de entrada a salida cuando se requiera una operación de lectura o escritura respectivamente.

g) READY: es una entrada correspondiente al bit 7 del Port C. Esta señal proviene directamente de la tar-

jeta de Control de Cinta e indica que la Unidad de Cinta se encuentra lista para efectuar una operación cualquiera.

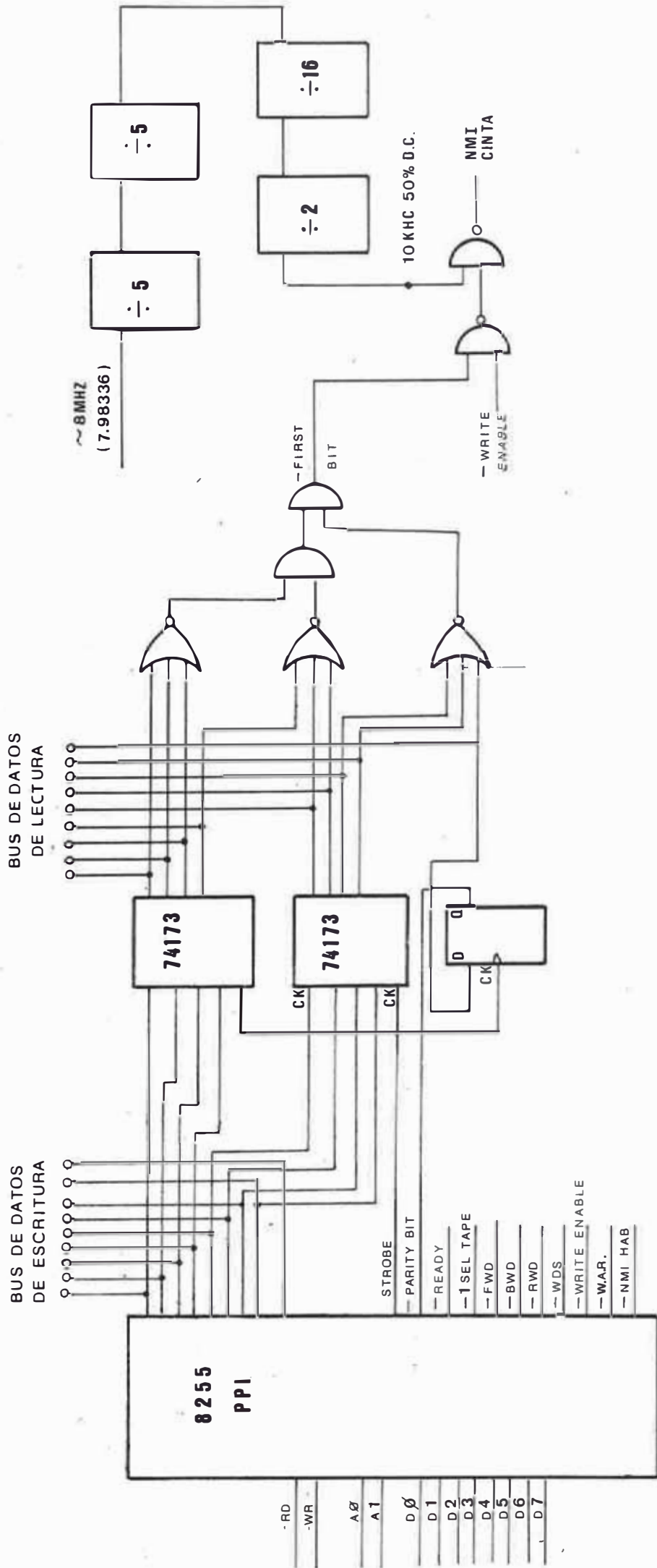
h) INICIO DE CINTA (B.O.T.): es una entrada correspondiente al bit 4 del Port C, indica el inicio de un archivo o conjunto de registros.

En la figura N° 4.5 podemos apreciar la circuitería asociada a la interface de cinta. El Port A de la interface paralela es usado tanto para escritura como para lectura de los bits de data; el noveno bit es decir el bit de paridad se efectúa con pines distintos para leer y escribir para no cambiar la configuración de los Ports B y C.

El bus de datos de lectura ingresa a un conjunto de registros con salida three-state para no afectar la operación del Port A durante la escritura, la carga de estos registros y la habilitación de la salida al Port A se hace mediante las señales -PEAD STROBE y -READ SELECT respectivamente ambas provenientes del Port C y controladas totalmente por programa a través del CPU. Anteriormente se dijo que cada registro en la cinta estaba separado del registro consecutivo mediante los Inter Record Gap; es necesario, por tanto, durante la lectura detectar la presencia de este para que el sistema sepa con certeza donde empieza exactamente el primer byte de la información del registro; el inter record gap consta del carácter 00Hex y 0 en el bit de paridad, esto evita que el CPU pueda confundir el IRG con un registro que posea un

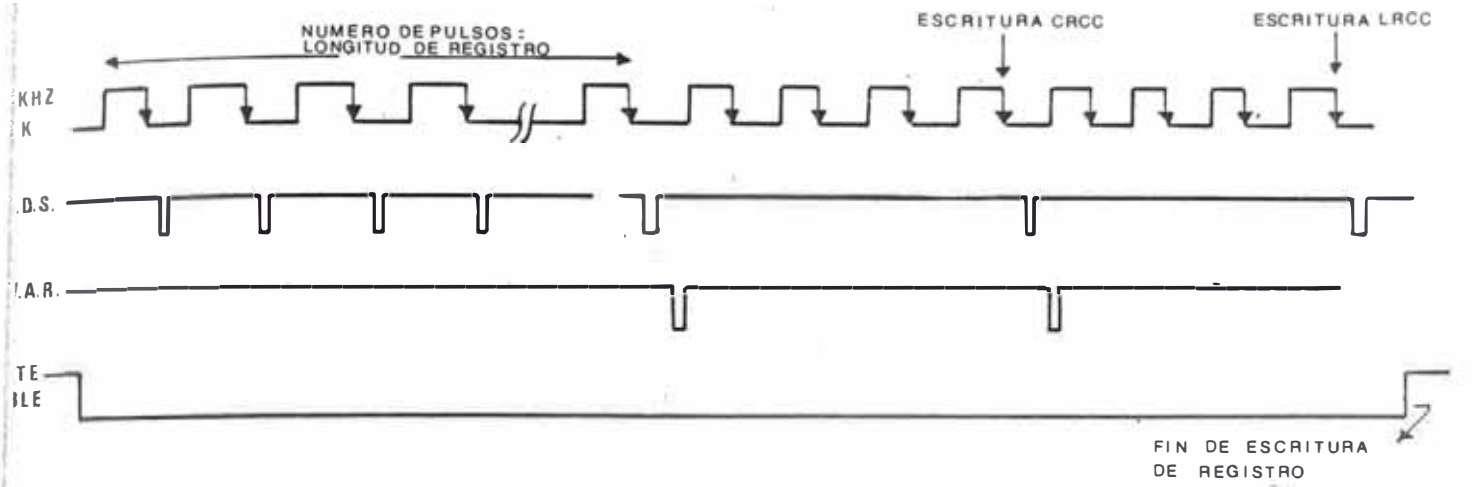
INTERFACE CON UNIDAD DE CINTA

FIG. 4-5

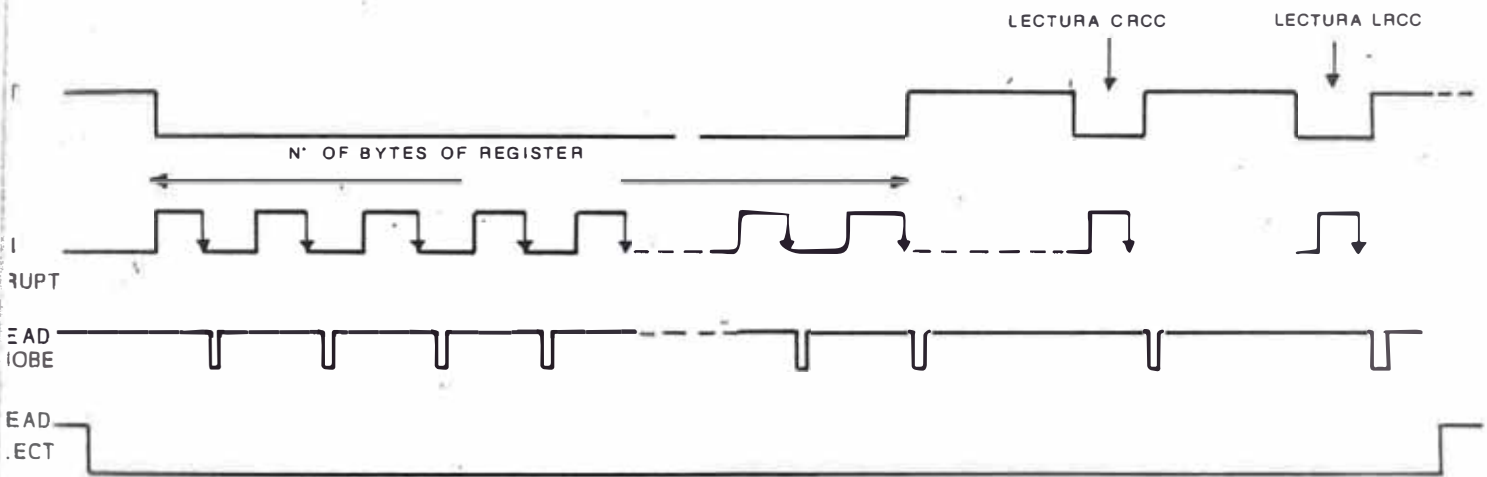


PRINCIPALES SEÑALES DE LA INTERFACE CON LA UNIDAD DE CINTA

FIG 4.6



PROCESO DE ESCRITURA



PROCESO DE LECTURA

byte 00 a su inicio (bit de paridad igual a uno). La detección de este primer byte se efectúa por Hardware y consta únicamente de una circuitería combinacional, la salida de esta lógica denominada -FIRST BIT condicionada con la señal -WRITE ENABLE (la cual proviene del pin 5 del port B) habilitan la Interrupción no Fnmascarada durante lectura haciendo llegar al CPU los TI, los cuales dan la velocidad de grabación en la cinta.

La señal TI es generada totalmente por Hardware y es derivada del clock del CPU; consta únicamente de una cadena de divisores que en total producen una división entre 800 con un Duty Cycle del 50%, esta señal y la velocidad mecánica de desplazamiento de la cinta determinan la densidad de grabación, la cual es de 800 Bits por pulgada (BPI).

Los bytes de chequeo usados son el CRCC (Chequeo de Caracter por Redundancia Cíclica) y el LRCC (Chequeo de Caracter por Redundancia Longitudinal). La generación de estos dos bytes de chequeo es efectuada por programa.

4.3 Bytes de Chequeo

Como ya se dijo son dos, el CRCC y el LRCC; aparte de detectar cualquier falla en la transferencia de información sirven para compatibilizar la información que ha sido grabada en cinta de manera que dicha cinta pueda ser leída por cualquier computador. Seguidamente se hace una breve descripción de estos dos bytes de chequeo:

A) CRCC: este byte es generado a partir de un cierto número de bytes de datos, los cuales conforman un bloque de datos, en este caso son 128 bytes los que conforman el registro standard de información llamado registro. El CRCC consiste básicamente en una división de polinomios, se divide cada nuevo byte de dato entre un valor almacenado previamente en el registro del CRCC (también de 9 bits), el residuo de esta división es ahora almacenado en el registro CRCC, al llegar el siguiente byte es dividido entre el residuo anterior, se obtiene el nuevo residuo que dividirá al siguiente byte y así sucesivamente hasta haber dividido los 128 bytes que conforman en este caso el registro o bloque de datos, el último residuo obtenido es el byte de chequeo CRCC, el cual es grabado en la cinta posteriormente a la grabación del último byte del bloque de datos.

El grado de seguridad en la detección de errores del CRCC es muy grande, del orden de 2^{-n} donde n es igual al número de bits del registro CRCC (8 bits en este caso). Esto quiere decir que 1 bit errado de 2^n bits no será detectado. A manera de ejemplo se hará una división entre dos bytes de datos para obtener el residuo, el cual es el que interesa. Supongamos que queremos dividir el byte 1001001010 entre 000000101, tendríamos:

Byte binario	Polinomio Equivalente
1001001010	$X^9 + X^6 + X^3 + X$
000000101	$X^2 + 1$

Dividiendo:

$$\begin{array}{r}
 x^9 + x^6 + x^3 + x \quad / \quad x^2 + 1 \\
 \underline{-} \\
 x^7 - x^5 + x^4 + x^3 - x^2 + 1 \\
 \underline{-} \\
 x - 1 \\
 \underline{-} \\
 x - 1
 \end{array}$$

Obtendríamos por tanto un residuo igual a X-1 el cual equivale al byte 000000011.

La forma práctica en que se implementa un circuito generador de CRCC se muestra en la figura, tal circuito algo complicado se puede realizar por programa, tal como se verá en un subtítulo posterior.

B) LRCC: este segundo byte de chequeo es sencillamente un generador de paridad longitudinal a lo largo de cada track, es decir, se va sumando uno a uno todos los bits que pertenecen al mismo track durante la transferencia del registro y el byte resultante será aquel que sumado con el último byte almacenado en el registro del LRCC de por resultado un byte con todos sus bits iguales a uno FF Hex (paridad impar).

A pesar que existen circuitos integrados que generaran el LRCC en el presente trabajo ha sido implementado por programa.

4.4 Generación del Polinomio de CRCC (Cyclic Redundancy Character Check)

Como dijimos anteriormente cuando describimos el Hardware de la unidad de Cinta, el byte de CRCC es grabado en la cinta conjuntamente con el byte de LRCC (Longitudinal Redundancy Character Check) al escribir un registro. Ya sabíamos que el LRCC se generaba sumando todos los bits a lo largo de un track y a ese resultado adecuarlo de manera que al sumarle este mismo byte de LRCC el resultado fuera "1" en todos los tracks (paridad impar).

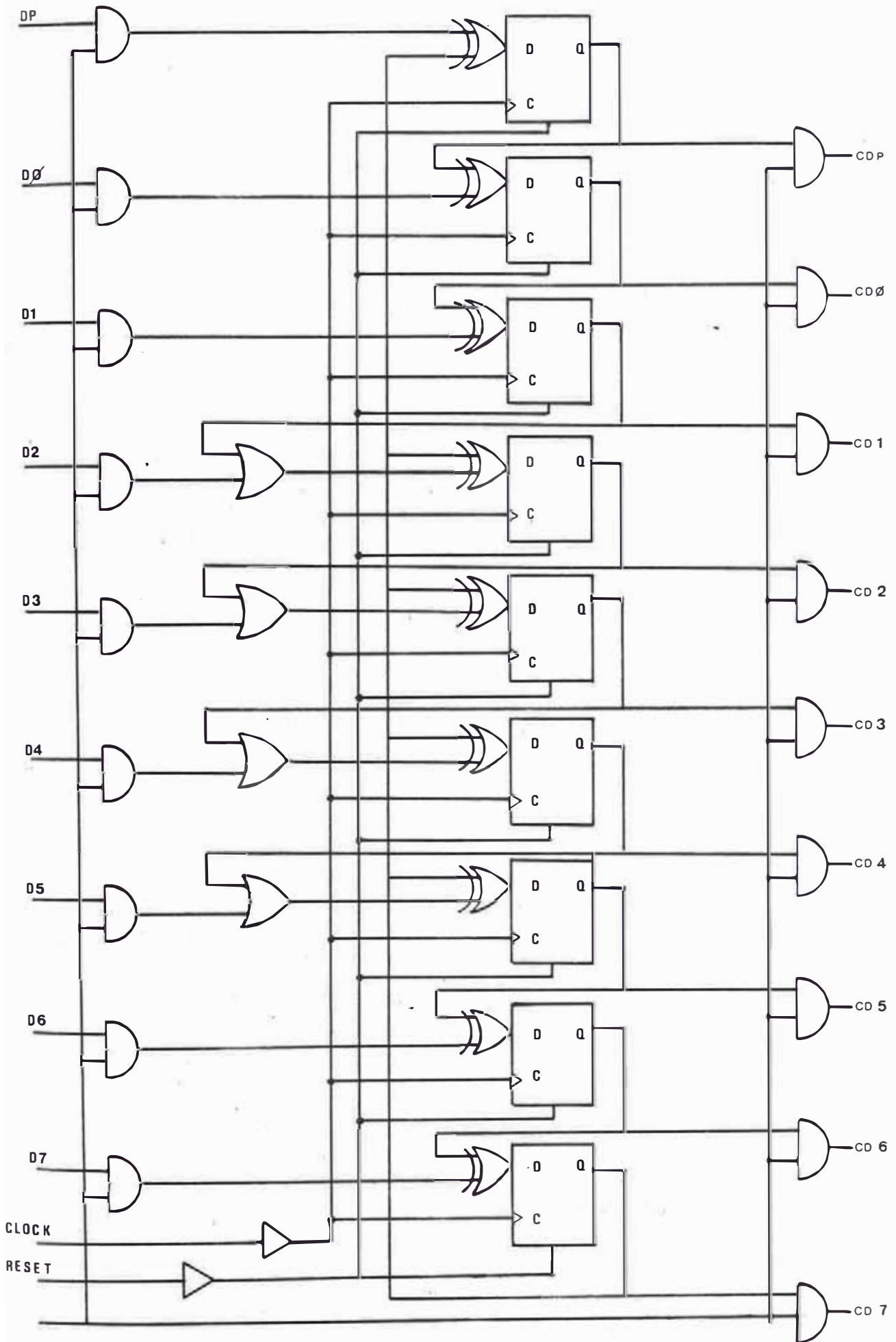
El CRCC es caracter de chequeo que se basa en la división de polinomios y tiene la característica que puede detectar errores de cualquier número de bits, es decir, es muy improbable que haya algún error no detectable.

Este byte de CRC es muy usado actualmente y su uso se ha hecho standard, unidades de cinta de diversas marcas lo emplean por lo tanto al utilizarlo en el presente trabajo aseguramos la compatibilidad de una cinta grabada con nuestro sistema a un computador comúnmente utilizado tal como el IBM.

La figura N° 4.7 nos muestra un circuito generador de CRCC en paralelo. Hay que aclarar que también existen los circuitos generadores de CRC seriales, los cuales son usados por los controladores de comunicación cuando trabajan en modo Síncrono, y su fundamento es el mismo.

FIG 4.7

CIRCUITO GENERADOR DE CRCC



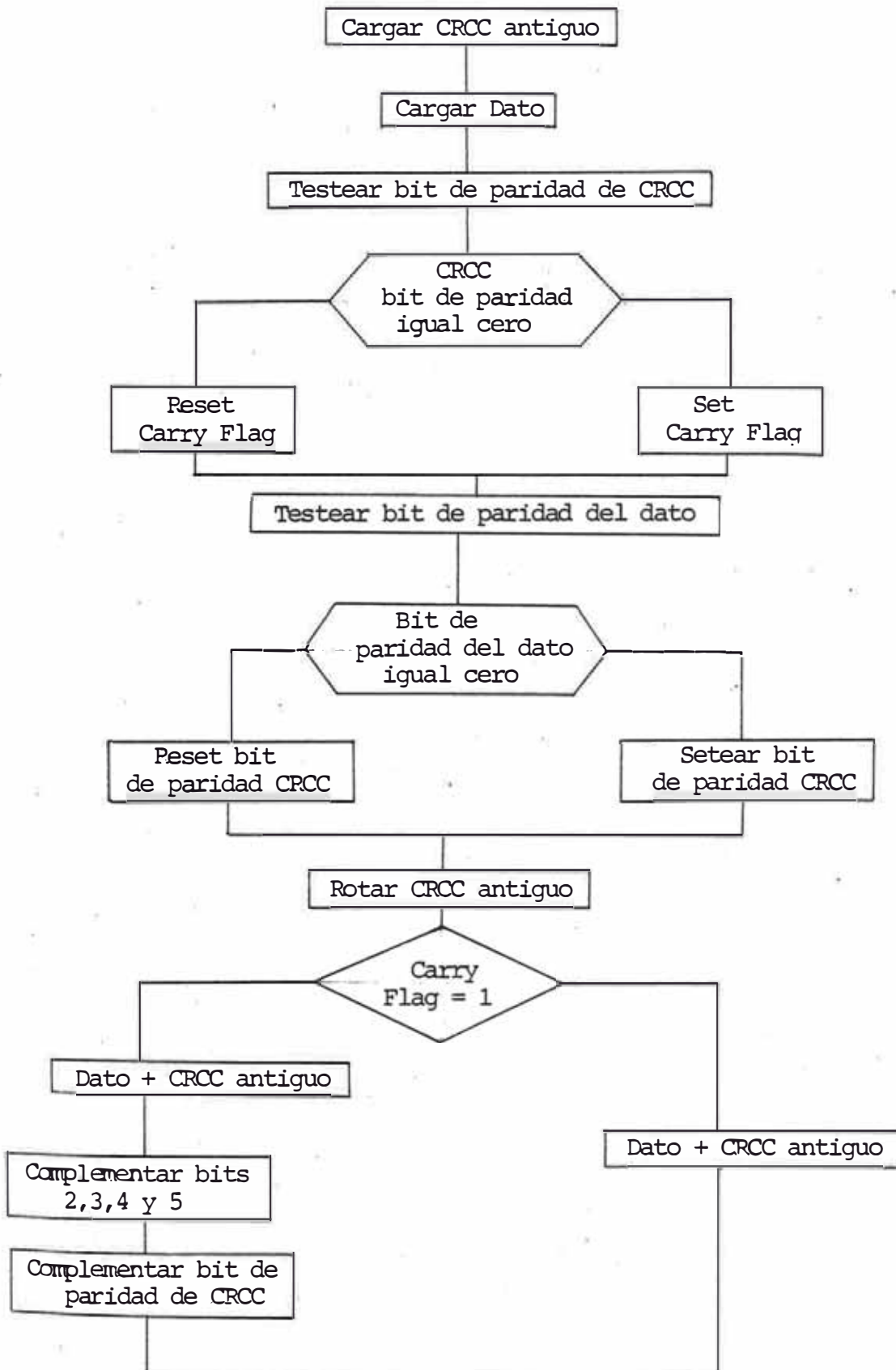
Como vemos en el diagrama básicamente se efectúa una suma (or-exclusivos) entre el byte entrante y el byte que ha sido acumulado anteriormente en los latches pero desplazado una posición. Los 9 bits que conforman el byte (8 bits de datos y 1 bit de paridad) han sido desplazados cada vez que se efectúa la suma, si el bit más significativo de la suma es "1" el bit de paridad y los bits 2, 3, 4 y 5 serán complementados en el resultado de la siguiente suma. Cada nuevo carácter que aparece a la entrada del generador viene seguido por un pulso de clock el cual habilitará la suma.

Todas estas operaciones simples pueden ser implementadas convenientemente por programa, lo cual simplificará el Hardware y costo del sistema.

A continuación se muestra el diagrama del flujo del programa que genera el CRCC. El byte CRCC antiguo está permanentemente almacenado en una posición determinada de RAM, el registro HL apunta al byte de data a procesar (en el buffer de cinta), el bit 2 del registro E contiene el bit de paridad del byte CRCC; haciendo un test de este bit seteamos o seteamos el carry flag para que al momento de hacer la rotación con carry PLA el bit de paridad pasa a la posición del bit 0 y el bit más significativo queda almacenado en el carry flag, según este carry sea cero ó uno se efectúa una suma normal o se efectúa la suma y se complementan los bits mencionados anteriormente respectivamente; el proceso es

repetido para todos los caracteres que conforman el registro (generalmente 128). El byte de CRCC es escrito luego que se ha grabado el último caracter del registro y dejando un espacio equivalente a tres caracteres, el byte LRCC es actualizado con el byte de CRCC (sumado con éste) y grabado a continuación dejando también un espacio equivalente a tres caracteres.

DIAGRAMA DE FLUJO DEL PROGRAMA GENERADOR DEL POLINOMIO
C.R.C.C.



METODO DE GRABACION NRZI

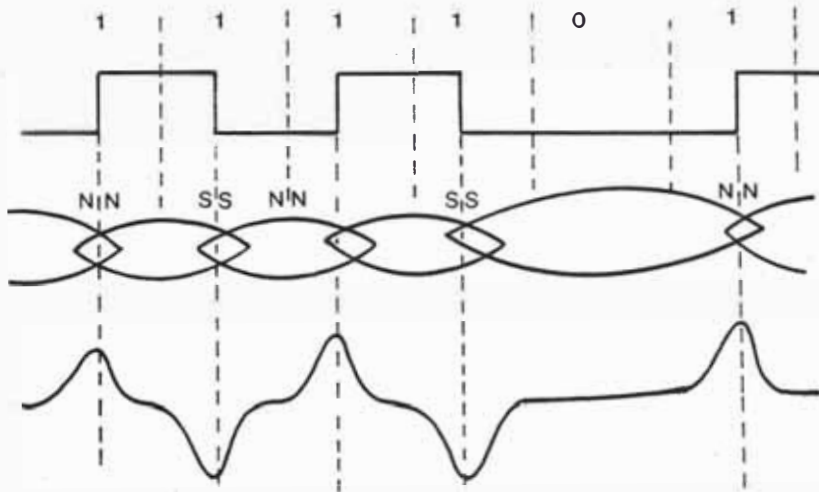
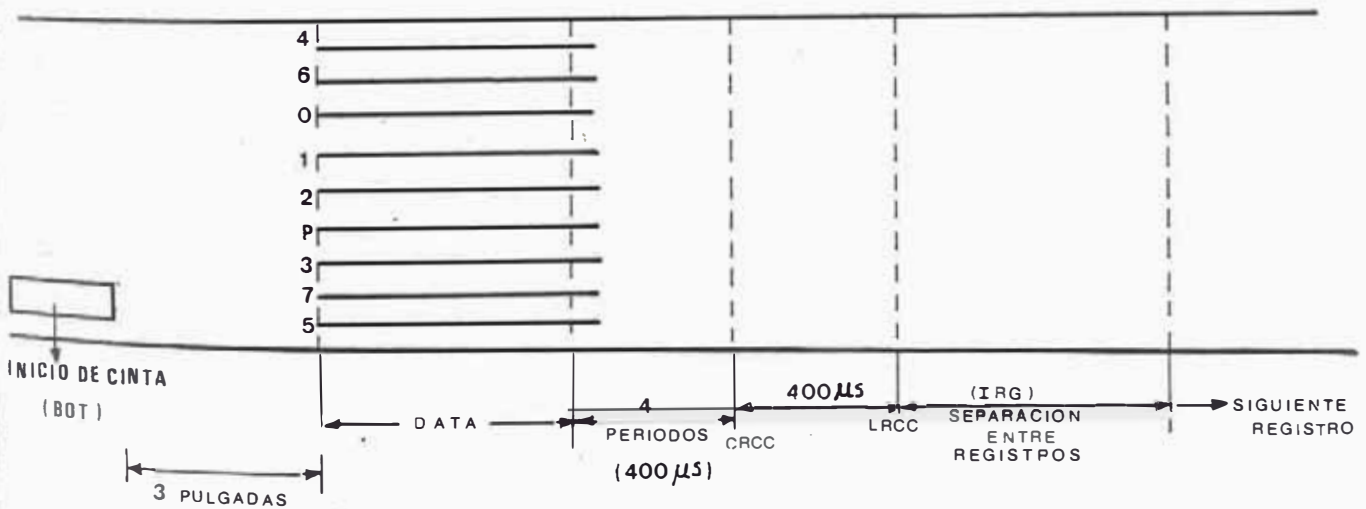


FIG. 4.8

FORMATO DE GRABACION (9 TRACKS)

FIG 4.9



CAPITULO V

DESCRIPCION DE LOS ORGANOS TERMINALES DE ENTRADA DE DATOS

5.1 Fundamentos del Diseño de los Terminales de Entrada de Datos

Como se dijo anteriormente, cada terminal consta de una pantalla y un teclado; en el presente trabajo se usa la pantalla y teclado Inforex pero el sistema está diseñado para trabajar con cualquier pantalla y teclado convencionales.

Cada terminal posee su propia fuente de alimentación, la cual provee las siguientes tensiones con su respectiva utilización:

+ 5 volts: para alimentar al teclado de Microswitches.

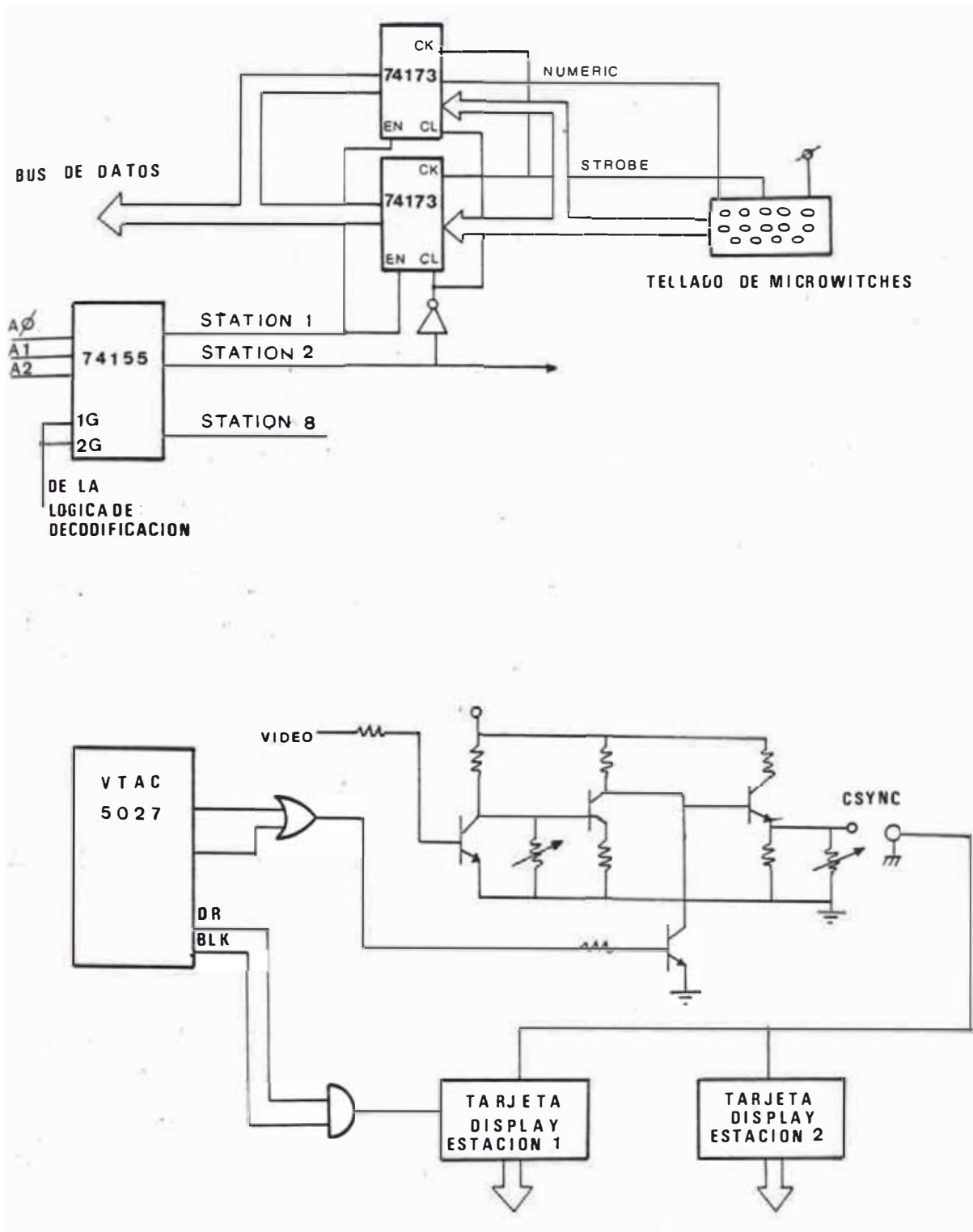
+12 volts: tarjeta de Display del TRC.

Cada terminal posee una tarjeta de Interface con el CPU, en el diagrama N° 5.1 podemos observar el diagrama de bloques de esta tarjeta, la cual contiene la lógica necesaria para captar el golpe de tecla y la lógica que controla el video además del direccionamiento.

Los pines de salida del teclado son introducidos a un Latch Three State cuyas salidas van conectadas al bus de datos del CPU a través de Buffers, los cuales se en-

TARJETA DE LA ESTACION TERMINAL

FIG 5.1



cuentran en la tarjeta CPU. El CPU selecciona secuencialmente cada estación a través de un circuito de codificador de 3 a 8 (74LS155) toma el dato y lo almacena en RAM para su posterior procesamiento.

El teclado usado posee 54 teclas de datos y 3 teclas de control con lo cual se puede dar hasta tres funciones a cada tecla, estas teclas de control son Numeric, la cual habilita la función que aparece en la parte superior de la tecla; Alfabético, la cual habilita la parte inferior y Doble, la cual permite mediante dos golpes de tecla generar un único carácter.

En cuanto al video, el controlador de video (VTAC) genera el sincronismo vertical, el sincronismo horizontal y el sincronismo compuesto, esta señal de sincronismo compuesta es combinada con la data serial que proviene del Character Generator para formar la señal de video compuesto; esta señal de video compuesta es transmitida por cable coaxial a todas las estaciones al mismo tiempo; el cuadro enviado por el VTAC consta de 8 filas de 32 caracteres cada una pero cada línea corresponde a una estación, usando el pin DRO del VTAC accionamos un contador por ocho cuyas tres líneas de salida se van a enviar juntamente con el cable coaxial a las estaciones. Esto quiere decir que de cada cuadro cada estación displaya una sola fila, digamos la fila 1, en el siguiente cuadro esta estación toma la fila 2 y así sucesivamente hasta completar las cuatro filas por 32 caracteres que

displaya cada estación y que componen el registro básico.

La memoria de video está formada por dos memorias 2114, lo cual nos da una capacidad de 1K x 8 bits.

Los bits de Address de esta memoria resultan de multiplexar la dirección que envía el CPU durante el refresco de la memoria (actualizar información) y las líneas que provienen del VTAC; estos bits son las líneas contadores de caracteres HO-H4 y las líneas contadores de filas de caracteres.

El refresco de la memoria de video se hace durante el retraso vertical a una frecuencia dada por la señal de sincronismo vertical, para ésto, esta señal va conectada al pin INT del CPU, la transferencia de información se realiza haciendo instrucciones de transferencia de bloque desde la zona de estación de la memoria 2114 a la memoria de video. En las Zonas de Estación o Zonas de Ensamblado la información se encuentra en código ASCII, así pues al hacer el traslado a la memoria de video ésta puede direccionar directamente al Generador de Caracteres 4052. Los 5 pines de salida del Generador de Caracteres van conectados a la entrada paralela de un conversor serie-paralelo; adicionándose 1 bit al final de estos bytes para cumplir con el requisito de un formato de 5x7 puntos por caracter.

La salida serial del conversor es mezclada mediante un circuito a transistores, con la señal de sincro -

nismo compuesta, esta señal va hacia las estaciones terminales a través de cable coaxial.

La toma del byte de data proveniente del teclado es fácilmente tomado por el CPU mediante el registro tri state que posee cada estación; cada estación es explorada secuencialmente y mediante el programa, estos bytes son convertidos a 1 código ASCII para ser almacenados en la zona de cada estación.

La frecuencia del oscilador horizontal de la tarjeta de Display de la pantalla es de 15,840 Hz. La frecuencia del oscilador vertical (frecuencia natural) es variable entre 120 y 60 Hz. Nosotros usaremos 60 Hz, ya que en un solo cuadro deberá ir información para las ocho estaciones.

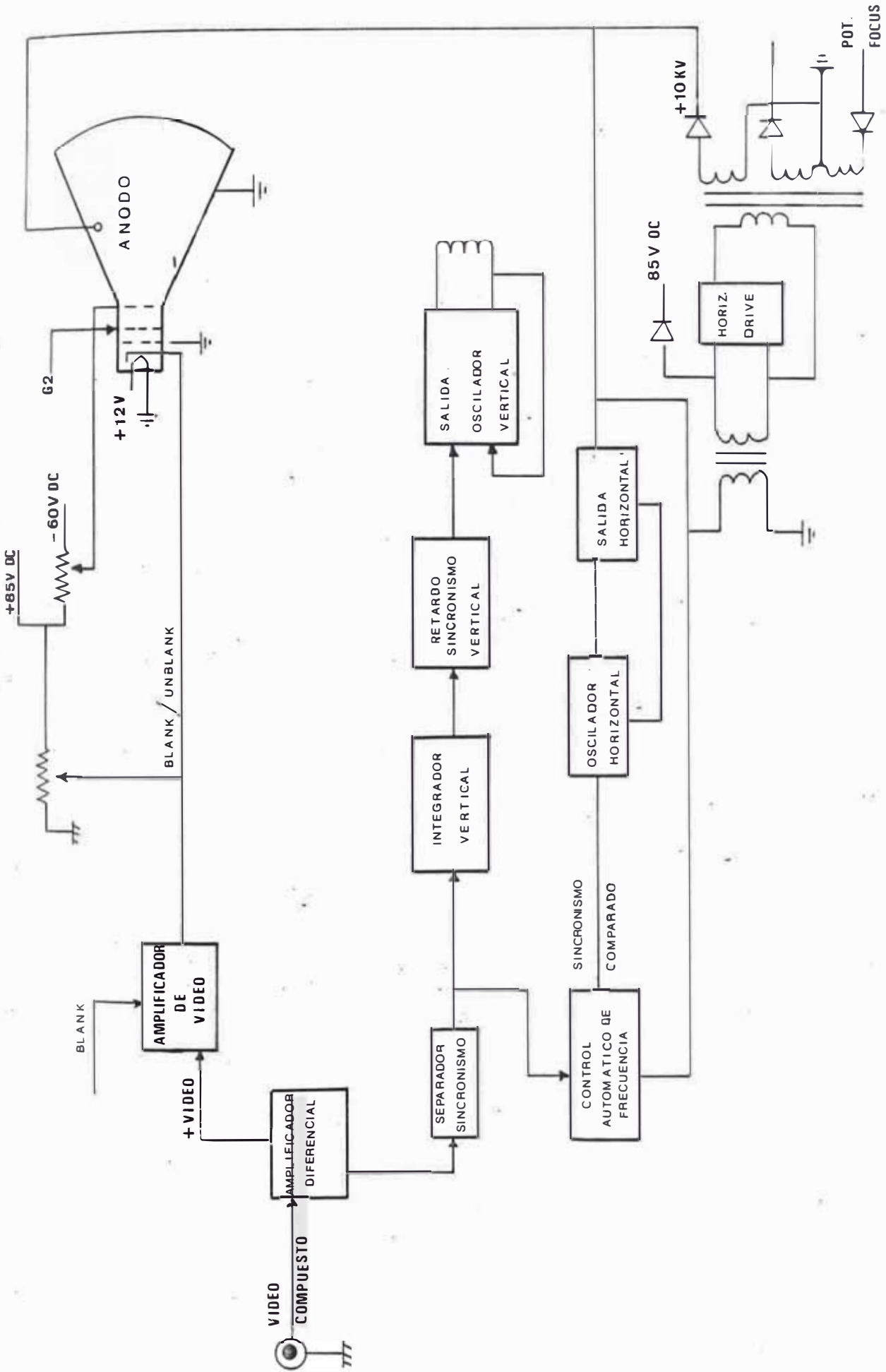
En el diagrama N° 5.2 se muestra el diagrama de bloques de la tarjeta Display del Monitor Inforex. Esta tarjeta recibe la señal de video compuesta que viene a través del cable coaxial, separa el video del sincronismo, discrimina entre sincronismo horizontal y vertical, para alimentar a los respectivos osciladores y además genera la señal que va a alimentar el Fly Back.

Esta tarjeta también recibe la señal de Blanking, la que deshabilita el amplificador de video (puntos a display).

En resumen, esta tarjeta de display es similar a la tarjeta de un receptor de TV pero sin la parte de R.F.

DIAGRAMA DE BLOQUES DEL MONITOR INFOREX

FIG. 5.2



Esta tarjeta es totalmente alimentada por una fuente de +12 voltios.

5.2 Programación del Controlador de Video VTAC - 5027

Nuestros requerimientos en cuanto al video son los siguientes: cada estación deberá displayar en su pantalla 4 filas de caracteres, cada fila de caracteres deberá poseer 32 caracteres, lo cual nos da un total de 128 caracteres displayados, lo cual coincide con la longitud del registro standard de información. Además se debe disponer de un cursor en todas las pantallas, el cual puede ser fijo o intermitente.

Como ya hemos dicho el cable que contiene el video compuesto es común a todas las estaciones, por Hardware ellas seleccionan las filas a displayar, entonces el cuadro (frame) a generar deberá poseer en total $8 \times 4 = 32$ filas de caracteres, considerando que vamos a usar el formato por caracter de 5×7 , y un formato de bloque de 6×8 ; el total de líneas por frame sería de $32 \times 8 = 256$, considerando que la frecuencia del oscilador horizontal de la tarjeta Display de la pantalla es de 15,840 Hz y con un barrido vertical de 60 Hz obtenemos que el número total de líneas displayables o no displayables es $15,840/60 = 264$ líneas.

El VTAC 5027 posee 9 registros, los cuales son programados por el CPU, estos registros son los siguientes:

- Registro 0: define la longitud de cada línea horizontal expresada en número de caracteres.

Registro 1: define tres parámetros, si se está o no trabajando con el Modo Entrelazado, el ancho del pulso de sincronismo horizontal y el retardo del sincronismo (tiempo que demora en aparecer el pulso de sincronismo luego del último carácter displayable).

- Registro 2: define la cantidad de líneas que conforman una fila de caracteres y la cantidad de caracteres que posee cada fila de caracteres. La cantidad de caracteres por fila está definida en tres bits, lo cual nos da opción de elegir hasta 8 cantidades, éstas son las siguientes:

BIT 2	BIT 1	BIT 0		
0	0	0	= 20	
0	0	1	= 32	caracteres
0	1	0	= 40	displayables
0	1	1	= 64	por fila
1	0	0	= 72	
1	0	1	= 80	
1	1	0	= 96	
1	1	1	= 132	

- Registro 3: define la cantidad de filas displayables en todo el cuadro, así como el retardo a generar entre el direccionador de caracteres y las señales de Blank-ing y sincronismo, este valor es usado para compensar

pequeñas diferencias en cuanto a sincronismo y la información a displayar, y es programado mediante 2 bits llamados Bits de Skew.

Registro 4: define la cantidad total de líneas que conforma un cuadro (displayables o no displayables), y es obtenida por división de la frecuencia del oscilador horizontal entre la frecuencia del oscilador vertical.

Registro 5: define el número de líneas que deben transcurrir luego del flanco positivo del pulso de sincronismo vertical para que empiece la zona displayable.

Registro 6: con este byte se define la última fila displayable, esto permite variar la dirección de la memoria de video, pudiendo displayar otros caracteres que se encuentran en otras localidades de la memoria de video (SCROLL). En nuestro sistema no usaremos esta opción ya que nuestra memoria de video consta de 1K byte, lo cual es totalmente usado en un cuadro.

Registro 7: define el caracter en el cual se encuentra el cursor.

Registro 8: define la fila de caracteres en la cual se encuentra el cursor. En nuestro sistema debido a que tenemos que proporcionar video a más de una estación y poseemos solamente 1 pin de salida del video del cursor nos vemos obligados a hacer un multiplexado de éste cada nuevo pulso de sincronismo vertical; así, el cursor en cada estación se verá con un parpadeo notorio.

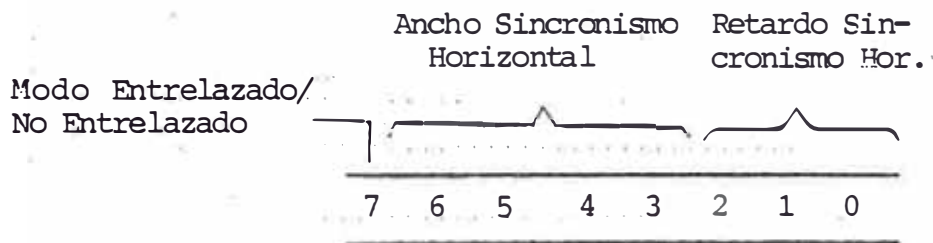
Deducción de los Valores correspondientes a cada Registro

1.- Registro 0: como necesitamos displayar 32 caracteres (20 en Hexadecimal) y dando 9 caracteres más para considerar el ancho del pulso de sincronismo vertical, así como su retardo correspondiente tendríamos:

$$20\text{Hex} + 9\text{Hex} = 29 \text{ Hex.}$$

Valor a programar: 29

2.- Registro 1: los parámetros que define este registro ya los hemos mencionado, mas bien indicamos en forma esquemática la constitución del byte que conforma este registro:



Como no empleamos el Modo Entrelazado tendremos que el bit 7 = 0. Asignando un ancho del pulso de sincronismo Horizontal equivalente al ancho de 3 caracteres tendremos

0 0 1 1

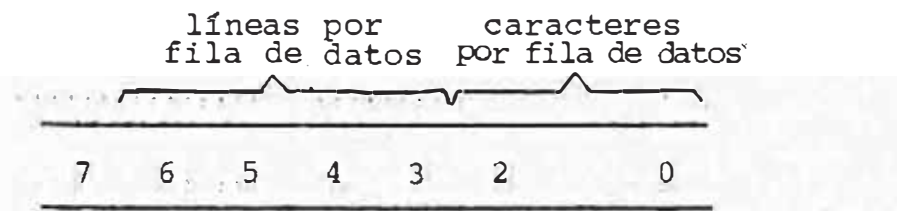
Asignando un retardo de aparición del pulso de sincronismo horizontal equivalente a tres caracteres

0 1 1

El byte correspondiente sería entonces :0 0 0 1 1 0 1 1 =1B Hex.

Valor a programar : 1B Hex.

3.- Registro 2: la forma en que está constituido el Byte de este registro se indica a continuación:



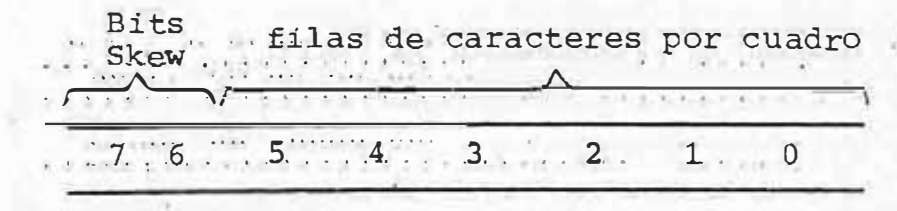
Como nuestro Generador de Caracteres corresponde a un formato de 5x7 y como debemos agregar una fila adicional en blanco para proveer la separación necesaria entre filas de caracteres necesitamos en total 8 filas de puntos por cada caracter.

De acuerdo a la tabla que hemos visto anteriormente cuando estudiamos la constitución de este registro vemos que para obtener un total de 32 caracteres - displayables en pantalla necesitamos programar 0 0 1 en los bits menos significativos.

El byte resultante sería: 0 0 1 1 1 0 0 1 = 39 Hex

Valor a programar : 39

4.- Registro 3: la forma en que está constituido este registro se indica a continuación:



Se requiere displayar 32 filas de caracteres, por lo cual se programará el valor 31 en Hexadecimal, equivalente a 1F.

Programando 0 0 en los Skew Bits no consideramos ningún retardo. El byte resultante sería:

0 0 0 1 1 1 1 1 = 1F Hex

Valor a programar: 1F

- 5.- Registro 4: como sabemos este registro nos proporciona en sus 8 bits información sobre el número total de líneas horizontales que conforman el cuadro de video y es definido de acuerdo a la ecuación:

$$\text{Número total de líneas} = 2X + 256$$

En nuestro caso el número total de líneas sería:

Frecuencia de Barrido de Oscilador Hor. 15,840 Hz

Frecuencia de Barrido de Oscilador Vert. 60 Hz

$$= 264 \text{ líneas por cuadro}$$

Reemplazando en la ecuación anterior:

$$2X + 256 = 264, \text{ entonces } X = 4$$

Valor a Programar = 04

- 6.- Registro 5: el ancho del pulso de sincronismo vertical es de un valor pre-establecido igual a 3 líneas de puntos; por otro lado, de las 264 líneas del cuadro las líneas activas, es decir, aquellas donde va a ir información son en total 32 filas de caracteres x 8 filas de puntos por cada fila de caracteres igual 256 filas, tenemos entonces solamente 264-256 igual 8 filas para el pulso de sincronismo vertical y el retardo. Elegimos, por tanto, el valor de 5 para este registro.

Valor a programar: 05

- 7.- Registro 6: este registro define el número de filas de caracteres a displayar permitiendo modificar el área de memoria que se quiere displayar, en nuestro caso siempre estaremos displayando la totalidad del área de la memoria de video, por lo cual, el valor programado en este registro coincide con el valor correspondiente en el registro 3.

Valor a programar: 1F

Los dos registros restantes del 5027, los cuales definen la posición del Cursor, son continuamente modificados durante la toma de datos del teclado. En la Rutina de Inicialización el Cursor es programado para que se ubique en la primera fila de caracteres y sobre el caracter 5 inmediatamente después de la palabra LISTO, la cual el Sistema Operativo la genera como un indicativo de que se está en espera de tomar datos del Teclado.

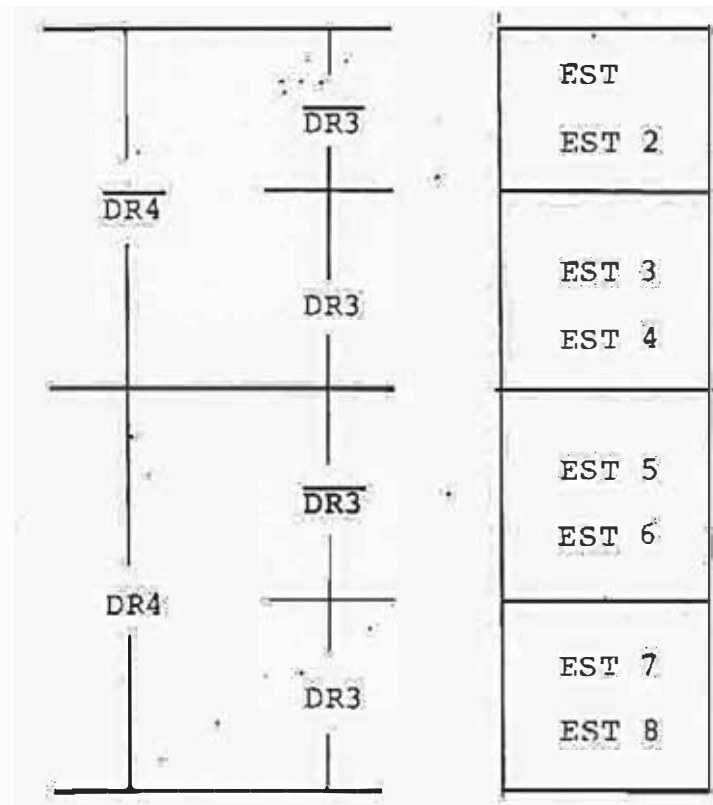
5.3 Decodificación de la Señal Blanking

Como ya se ha explicado, todo el cuadro generado por el Controlador de Video, consistente de 32 filas de caracteres con 32 caracteres por fila, es enviado a través del cable coaxial a todas las estaciones terminales a la vez y son estas estaciones que usando una lógica combinacional que se encuentra en su tarjeta de estación seleccionan solamente cuatro filas de caracteres para dis-

playar en su monitor. Esto lo hacen usando la señal de Blanking que va hacia la tarjeta del monitor. Es decir, la señal Blanking estará inactiva solamente en el transcurso de 4 filas y estará activa el resto del tiempo.

La asignación de filas de caracteres para cada estación se realiza como se indica en el siguiente cuadro. La primera columna de este cuadro es el número de fila de caracteres según lo genera el 5027, la segunda columna indica el número de fila correspondiente para determinada estación y la tercera columna muestra las direcciones en la memoria de video en donde comienza tal fila.

Para que todas las estaciones puedan generar su señal de Blanking particular hay que proveerles adicionalmente a la señal blanking del 5027 de las señales contadoras de filas de caracteres DR0, DR3 y DR4 (todas provenientes también del 5027).



ORDENAMIENTO EN RAM DE VIDEO (1K BYTES)

Fila 1	Estación 1	3000
Fila 1	Estación 2	3020
Fila 2	Estación 1	3040
Fila 2	Estación 2	3060
Fila 3	Estación 1	3080
Fila 3	Estación 2	30A0
Fila 4	Estación 1	30C0
Fila 4	Estación 2	30E0
Fila 1	Estación 3	3100
Fila 1	Estación 4	3120
Fila 2	Estación 3	3140
Fila 2	Estación 4	3160
Fila 3	Estación 3	3180
Fila 3	Estación 4	31A0
Fila 4	Estación 3	31C0
Fila 4	Estación 4	31E0
Fila 1	Estación 5	3200
Fila 1	Estación 6	3220
Fila 2	Estación 5	3240
Fila 2	Estación 6	3260
Fila 3	Estación 5	3280
Fila 3	Estación 6	32A0
Fila 4	Estación 5	32C0
Fila 4	Estación 6	32E0
Fila 1	Estación 7	3300
Fila 1	Estación 8	3320
Fila 2	Estación 7	3340
Fila 2	Estación 8	3360
Fila 3	Estación 7	3380
Fila 3	Estación 8	33A0
Fila 4	Estación 7	33C0
Fila 4	Estación 8	33E0

CAPITULO VI

OPCION DE COMUNICACIONES

6.1 Introducción

El presente sistema tal como se ha descrito hasta el momento, Unidad Central, Unidad de Disco, Unidad de Cinta y Terminales de Entrada de Datos forman un conjunto independiente capaz de realizar una entrada masiva de datos para su almacenamiento en cinta magnética. Posteriormente cuando se requiere procesar los datos almacenados esta cinta magnética es trasladada hasta un Computador, el cual tomará los datos de la cinta y efectuará todas las tareas requeridas.

El presente sistema ha sido acondicionado con una opción de comunicaciones mediante la cual es capaz de comunicarse directamente con un computador a fin de hacerle entrega de toda la información que ha sido grabada en la cinta eliminando así el inconveniente del traslado de las cintas hasta la ubicación donde se encuentra el computador.

Para ésto, dentro de la Unidad Central se dispone de un USART (Receptor-Transmisor Universal Síncrono-Asíncrono) 8251, el cual es una interface serial programable.

Analizando el Sistema Inforex el cual posee también una Opción de Comunicaciones, vemos que se realiza una comunicación Cinta-Cinta entre dos Unidades de Control Similares, es decir, se realiza una comunicación entre dos Sistemas de Entrada de Datos y no una comunicación - entre un Sistema de Entrada de Datos y un Computador.

En el desarrollo del presente trabajo se pensó en hacer la comunicación del sistema diseñado con un Sistema Inforex, pero esto no se pudo realizar debido que en nuestro medio el Sistema Inforex nunca llegó a hacer uso de la Opción de Comunicaciones y por lo tanto no se dispone de todas las partes necesarias para establecer la comunicación. Se optó por tanto hacer el diseño en Hardware de un Sistema de Comunicación General, el cual con ligeros cambios sobre todo en Software pueda establecer una comunicación con un computador cualquiera. A continuación se describirá la circuitería asociada con la Opción de Comunicaciones dando algunas pautas de como el Sistema Operativo establece la comunicación.

6.2 La Interface Serial USART 8251

Este circuito integrado es el corazón de la opción de comunicaciones del presente sistema. En el modo de transmisión convierte un byte paralelo proveniente del procesador a forma serial y en Recepción convierte un byte serial entrante en un byte paralelo. Puede ser programado para trabajar en diversas formas de comunicación, las más principales son la forma Asíncrona y la Síncrona.

El 8251 está acoplado al bus de datos del Procesador, asimismo recibe las señales RD, WR y CLK del Procesador, con lo cual este puede leer o escribir en el 8251. Posee además entradas independientes para el clock de transmisión como para el clock de escritura; estas señales determinan la razón a la cual se transmite o recibe.

El 8251 posee además un grupo de señales que sirven para interactuar con casi cualquier tipo de Modem, estas señales son:

a) DATA SET READY (DSR): es un bit de entrada de propósitos generales, el cual puede ser continuamente testeado por el Procesador haciendo una lectura del byte de Status del 8251. Generalmente, está conectado a la salida DATA SET READY del modem.

b) DATA TERMINAL READY (DTR): es un bit de salida de propósitos generales, el cual puede ser reseteado por el procesador, generalmente se conecta a la entrada DATA TERMINAL READY del Modem.

c) REQUEST TO SEND (RTS): es un bit de salida de propósitos generales, el cual puede ser reseteado por el procesador, generalmente va conectado a la entrada REQUEST TO SEND del Modem notificando que quiere efectuar una transmisión.

d) CLEAR TO SEND (CTS): es un bit de entrada, el cual al ponerse en estado lógico bajo habilita la transmisión de datos si es que el procesador ha habilitado la

transmisión previamente por programa.

6.3 Programación del 8251

Para que el USART -8251 inicie cualquier operación es necesario que el Procesador escriba en él dos bytes de control, los cuales definirán la forma de operación, estos dos bytes son:

- Modem Instruction
- Command Instruction

a) Mode Instruction: este byte define si la comunicación es síncrona o asíncrona, así como también las características y formato de los mensajes. Para el caso de comunicación Asíncrona establece el número de bits de Stop, si la paridad debe ser par o impar, la longitud del caracter y la velocidad de la transferencia. A continuación se muestra un típico byte correspondiente a esta instrucción para el caso de comunicación asíncrona:

D7 D6 D5 D4 D3 D2 D1 D0 PEN (PARITY ENABLE): 1 (ENABLE),
S₂ S₁ EP PEN L₂ L₁ B₂ B₁ 0 (DISABLE)

EP (EVEN PARITY): 1 (EVEN), 0 (ODD)

(FACTOR DE VELOCIDAD)	(LONGITUD DE CARACTER)		(NUMERO BITS DE STOP)			
	B ₂	B ₁	L ₂	L ₁	S ₂	S ₁
SYNC.	0	0	5 bits	0	0	INVALID
1x	0	1	6	0	1	1 bit
16x	1	0	7	1	0	11/2 bit
64 x	1	1	8			2 bit

Para el caso de comunicación Síncrona este byte de-

fine si se va a usar uno o dos caracteres de sincronismo, si se detectara el sincronismo interna o externamente, - paridad impar o par, si se va a usar bit de paridad o no y la longitud del caracter. A continuación se muestra la asignación de bits para este comando:

D7 D6 D5 D4 D3 D2 D1 D0
SCS ESD EP PEN L2 L1 0 0

SCC: Single Character Sync

1: Single, 0: double

ESD: External Sync Detect

Int

EP : Even parity

1: Even, 0: ODD

PEN: PARITY ENABLE

1: Enable, 0: Disable

(Longitud de caracter)

	L ₂	L ₁
5 bits	0	0
6 bits	0	1
7 bits		0
8 bits	1	

b) Command Instruction: una vez que se ha programado mediante el Mode Instruction las características de la comunicación el 8251 se encuentra listo para operar. Mediante el Command Instruction se controla la operación de la comunicación en lo que concierne al protocolo. Mediante esta Instrucción efectuamos operaciones tales como habilitar la transmisión o la recepción, resetear alguna condición de error que haya podido ocurrir y se actúa sobre las señales que controlan al Modem. Durante la operación normal del 8251 es este registro del Command Instruction el que será comúnmente direccionado para efectuar la comunicación según el protocolo establecido.

A continuación se muestra la asignación de funciones para cada bit del byte Command Instruction.

D0	<u>TxEN</u>	Transmit Enable : 1 Enable, 0 Disable
D1	<u>DTR</u>	Data Terminal Ready: 1 Activa <u>DTR</u> (Nivel bajo)
D2	<u>RxE</u>	Receive Enable : 1 Enable, 0 Disable
D3	<u>SBRR</u>	Send Break Character: 1 Fuerza TxT a un nivel lóg. bajo
D4	<u>ER</u>	Error Reset : 1 Reset flags to error (PE, OE, FE)
D5	<u>RTS</u>	Request to Send : 1 Activa Pin <u>RTS</u> (Nivel Bajo)
D6	<u>IR</u>	Internal Reset : 1 Reset para volver a inicializar
D7	<u>EH</u>	Enter Hunt Mode : 1 Habilita la búsqueda de sincronismo.

Las dos instrucciones vistas hasta ahora, Mode y Command, son instrucciones de escritura, es decir, el procesador escribe en dos registros determinados del 8251 los bytes correspondientes a estas instrucciones. La única instrucción de lectura en el 8251 es la lectura de Status. El Status es un registro interno del 8251, el cual almacena determinadas condiciones durante la operación, valores que deben ser considerados en cuenta por el procesador; condiciones tales como errores en la comunicación y estado de algunos pines importantes es lo que almacena el byte de Status.

D0	<u>TxRDY</u>	Tx Listo
D1	<u>RxRDY</u>	Rx Listo
D2	<u>TxEMPTY</u>	Registro de Transmisión desocupado
D3	<u>PE</u>	Error de paridad
D4	<u>OE</u>	Error de Overrun
D5	<u>FE</u>	Framing Error
D6	<u>SYNDET</u>	Detección de Sincronismo
D7	<u>DST</u>	Data Set Ready

6.4 El Modem MC-14412

Alrededor de este Circuito Integrado de 16 pines es posible construir un Modem de baja velocidad, el cual puede ser acoplado a la línea telefónica. El MC-14412 contiene un Modulador y un Demodulador F.S.K. compatibles con las frecuencias de comunicación normadas por la CCITT y USA.

En la figura N° 6.2 podemos apreciar un Diagrama de Bloques de todas las partes que constituyen un Modem construido alrededor del MC-14412.

Los datos a transmitir (Tx Data), los cuales provienen del 8251-A son aplicados al modulador del MC-14412, el cual si se encuentra habilitado para transmitir, generará una señal sinusoidal sintetizada digitalmente y de una amplitud aproximada de 0.3 Vrms, la cual es aplicada a un amplificador (Buffer) antes de ser acoplada a la línea telefónica mediante un transformador de línea (600 Ω); para impedir que la señal de transmisión se realimente al Demodulador es necesario usar un Duplexer,

el cual en este caso está formado por un conjunto de bobinas convenientemente acopladas. Para una señal de recepción que viene a través de la línea telefónica tenemos que luego de pasar por el Duplexer va hacia un filtro Pasabanda, el cual amplifica la señal y posteriormente a una compuerta TTL, la cual limitará en amplitud la señal al nivel TTL y generará una señal de la misma frecuencia que la entrante pero en forma digital. Este proceso de limitar en amplitud la señal de recepción es para cumplir los requerimientos que debe tener la señal aplicada a la entrada RX Car del MC-14412.

Con todo este conjunto descrito es posible realizar una Comunicación Full-Duplex ya que no hay posibilidad de que el Demodulador reciba señal del Modulador en ningún momento gracias al Duplexer y al Filtro Pasabanda pero en el caso presente solamente se requiere efectuar una comunicación Half-Duplex siguiendo las normas del Protocolo BSC (Binary Synchronous Communication), es decir, transmitido un bloque de datos el Sistema habilita la recepción en espera del carácter de reconocimiento que le debe enviar el Sistema con el cual se está comunicando. Gracias a esto el diagrama de nuestro simulador de Modem se simplificará bastante quedando finalmente tal como se muestra en la figura N° 6.1 .

En conclusión, hasta ahora hemos visto que el MC-14412 posee un Modulador y un Demodulador FSK independientes merced a la cual es capaz de realizar una Comunica -

ción Full-Duplex sobre 2 hilos y que solamente hay que agregarle unos pocos componentes adicionales para tener un Terminal de Comunicaciones. A continuación vamos a explicar las diferentes señales de datos y control que presenta este Circuito Integrado a través de sus 16 pines, lo cual servirá para entender el diseño del Hardware de la Opción de Comunicaciones.

La Asignación de pines del MC-14412 es como se muestra en la siguiente figura:

RxCAR	1	16	VDD
ST	2	15	TTL D
OSC OUT	3	14	TYPE
OSC IN	4	13	ECHO
RESET	5	12	Tx Enable
RxRate	6	11	Tx Data
RxData	7	10	Mode
VSS	8	9	Tx Car

Pin 1 Rx Car Portadora de Recepción, es la entrada FSK al Demodulador debe tener un nivel compatible con TTL y un Factor de Servicio de 50%.

Pin 2 ST Cuando esta entrada se encuentra en un nivel alto el Demodulador trabaja a la misma frecuencia del Modulador permitiendo comprobar si se está transmitiendo correctamente, leyendo los datos que aparecen en Rx Data.

Pin 3 y 4 : Son los dos extremos de un Cristal de 1.0 MHz cuando no se dispone de una frecuencia similar externa. En este caso derivamos esta frecuencia de 1.0 MHz del cristal de 10.00 MHz de la Interface de Disco.

Pin 5 Reset : Es usado para deshabilitar el Demodulador. Normalmente se encuentra inactivo.

Pin 6 Rx Rate : El Demodulador ha sido optimizado para soportar diferentes niveles de Señal / Ruido a 200, 300 y 600 bits por segundo. La portadora de recepción debe cambiar su frecuencia en más de la mitad de la velocidad seleccionada antes de que Rx Data detecte el cambio de estado. A continuación se muestra la forma como se selecciona cualquiera de las tres velocidades posibles:

Velocidad	Pin Rx Rate
0-200 bps	
0-300 bps	
0-600 bps	

Pin 14 Type :

- Pin 8 Vss : Corresponde a GND
- Pin 10 Mode : Con esta entrada se selecciona el par de frecuencias de transmisión y recepción usadas durante la modulación y demodulación.
- Pin 9 Tx Car : Es la señal sinusoidal digitalmente que se usa para transmitir. Su frecuencia depende de las señales Type y Mode, tal como se indica en la siguiente tabla:

Standard U.S. Type = 1 CCITT Standard Type = 0
Echo = 0 Echo = 0

Mode	Tx-Data	Tx-Car	Mode	Tx Data	Tx Car
Origen 1	Marca 1	1270Hz	Canal 1 1	Marca 1	980 Hz
Origen 1	Espac 0	1070Hz	Canal 1 1	Espac. 0	1180Hz
Respuest 0	Marca 1	2225Hz	Canal 2 0	Marca 1	1650Hz
Respuest 0	Espac 0	2025Hz	Canal 2 0	Espac. 0	1850Hz

Pin 12 Tx Enable: Estando en nivel alto se habilita la portadora de transmisión, estando en nivel bajo no hay tonos de transmisión.

Pin 11 Tx Data Es la entrada de los datos en forma serial que provienen del USART.

Pin 13 Echo Estando en nivel alto (Type=0, Mode=0, TxData=1), el Modulador transmitirá un tono de 2,100 Hz para deshabilitar los supresores de eco. Durante la transmisión normal de datos esta entrada debe

ría estar en 0.

Pin 7 Rx Data Provee los datos binarios provenientes del Demodulador. Esta salida del MC-14412 está conectada con la entrada RxD del USART 8251.

Pin 15 TTLD El MC-14412 está construido en tecnología CMOS, mediante esta entrada (poniéndola en nivel bajo) todas las entradas del MC-14412 se hacen compatibles con la lógica TTL.

Pin 16 Vdd Es la fuente de +5V.

6.5 Descripción del Hardware de la Opción de Comunicaciones

En el diagrama N° 6.1 se observa al 8251 con todos los elementos adicionales que conforman la Opción de Comunicaciones. El 8251 está acoplado al bus de datos, recibe la señal de address AO mediante la cual el Procesador selecciona básicamente dos tipos de bytes en el 8251, bytes correspondientes a instrucciones y bytes de datos, recibe además el mismo clock que alimenta al procesador además de las señales RD y WR.

Es necesario proveer el 8251 de dos frecuencias adicionales, las cuales determinan la velocidad de transmisión y recepción, en este caso se usa el mismo reloj para ambos casos, este reloj es derivado del cristal de 10.00MHz y nos proporciona mediante sucesivas divisiones velocidades de comunicación standard de 600, 1200 y 2,400.

El presente sistema está diseñado para ser fácilmente acoplado a un Modem externo, para esto en la tarjeta de conectores se dispone de un conector tipo Canon de 25 pines, con el cual seguimos la norma RS-232, la cual especifica la forma de conexión de un terminal de datos y un equipo de comunicaciones tal como un Modem.

Adicionalmente a esta capacidad de poder acoplarse a un Modem externo el presente sistema posee una circuitería adicional al 8251, la cual simula el funcionamiento de un Modem de baja velocidad. En la figura N° 6.1, el MC-14412 es un Modem Universal de baja velocidad en chip, su función primordial es convertir una señal digital en su entrada en una señal sinusoidal con una frecuencia determinada para el 1 lógico y para el 0 lógico, es decir una modulación FSK; siendo un Modem también efectiva la operación inversa, al recibir una señal sinusoidal de determinada frecuencia genera el nivel lógico correspondiente. Para su operación el 14412 requiere de un reloj de 1.000 MHz, el cual es derivado del cristal de 10 MHz. El 8251 habilita al 14412 mediante la señal Request to Send, la cual al estar en un nivel lógico alto permite al 14412 generar los tonos correspondientes; estos tonos (a través del pin Tx Car) son de pequeña amplitud por lo cual son amplificados mediante el LM-388 antes de ser acoplados a la línea telefónica. El acoplamiento a la línea telefónica es mediante un transformador acoplador de impedancias considerando que la impedancia característica de la línea telefónica es de 600

ohmios. Los diodos a la salida del amplificador LM-388 sirven de protección ante los pulsos de voltaje producidos por los cambios de estado en la línea telefónica.

En la parte correspondiente a recepción se tiene un amplificador, el cual amplificará las pequeñas señales que transmite el computador remoto y que llegan a través del transformador de acoplamiento. En este caso no hay el inconveniente de que la señal que se transmite se introduzca en la parte de recepción, ya que el modo de trabajo del USART 8251 es tal que en un momento determinado trabaja como transmisor deshabilitando la parte de recepción y viceversa.

La señal de salida de este amplificador de recepción debe ser acondicionada al nivel lógico TTL, la salida del amplificador es una señal sinusoidal, si esta señal la aplicamos a una compuerta standard TTL a la salida obtendremos una señal digital de la misma frecuencia limitada en amplitud a 5 volts.

Para habilitar la recepción la señal RTS del 8251 debe estar en nivel inactivo (nivel alto) con lo cual la señal Mode del 14412 selecciona las frecuencias de recepción; el 8251 está mientras tanto esperando recibir el primer byte del mensaje. Como se puede ver el 14412 solo puede estar operando en un modo a la vez, ya sea transmisión o ya sea recepción, con lo cual el tipo de comunicación que se establece mediante este sistema es de una Comunicación Asíncrona Half Duplex. La velocidad de la comunicación está determinada por el clock que re-

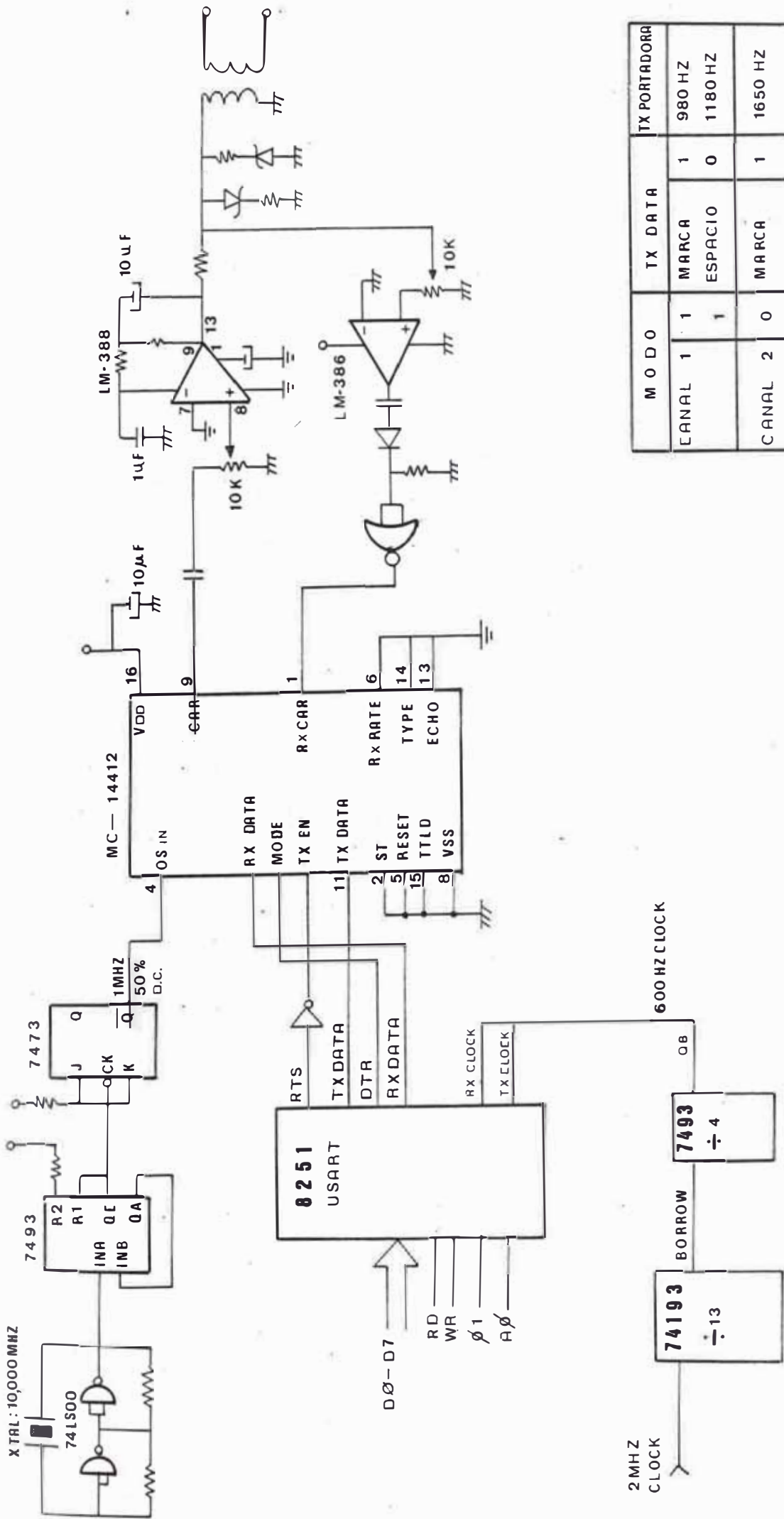
cibe el 8251 que en este caso es igual para recepción y transmisión. Para poder trabajar con 14412 es necesario no sobrepasar los 600 bits por segundo debido a las frecuencias con que se trabaja. En el siguiente cuadro están especificadas estas frecuencias, las cuales siguen la norma dictada por la C.C.I.T.T.

Modo	Tx Data	Tx Portadora
Canal 1 1	Marca 1	980 Hz
Canal 1 1	Espacio 0	1180 Hz
Canal 2 0	Marca 1	1650 Hz
Canal 2 0	Espacio 0	1850 Hz

En cuanto al Protocolo, es decir, a los convenios establecidos en cuanto al manejo del medio que sirve de comunicación, manejo de caracteres, la detección de errores y las acciones a tomar, en el presente sistema se establece el uso de la comunicación BSC (Binary Synchronous Communication). El Sistema Operativo incluye una rutina, la cual genera toda la secuencia necesaria para establecer este tipo de comunicación. Las características más importantes de este tipo de comunicación son que usa varios caracteres de sincronismo delante de un bloque de datos y cada mensaje enviado genera una respuesta de reconocimiento en el terminal remoto, esta respuesta de reconocimiento es interpretada antes de enviar el siguiente mensaje.

DIAGRAMA DE LA OPCIÓN DE COMUNICACIONES

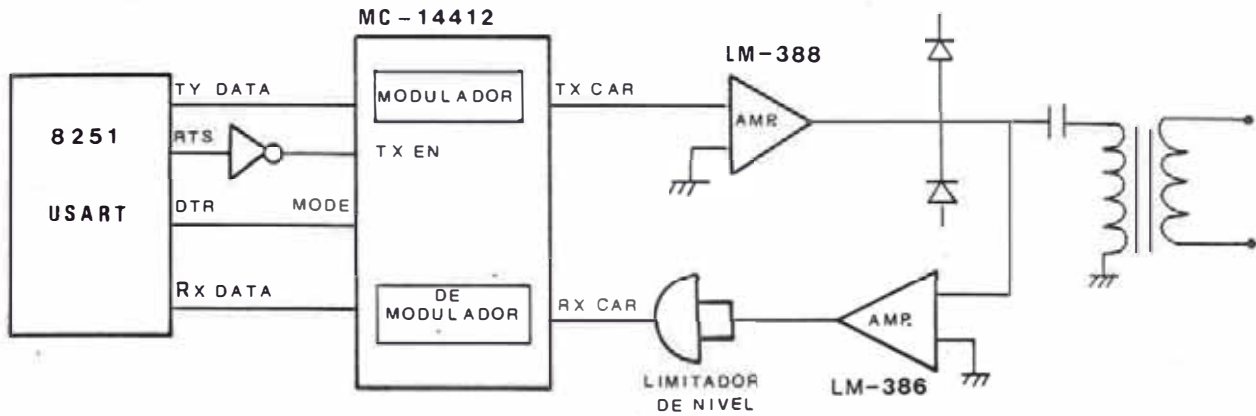
FIG 6.1



MODO		TX DATA		TX PORTADORA	
CANAL 1	1	MARCA	1	980 HZ	980 HZ
	1	ESPACIO	0	1180 HZ	
CANAL 2	0	MARCA	1	1650 HZ	1650 HZ
	0	ESPACIO	0	1850 HZ	

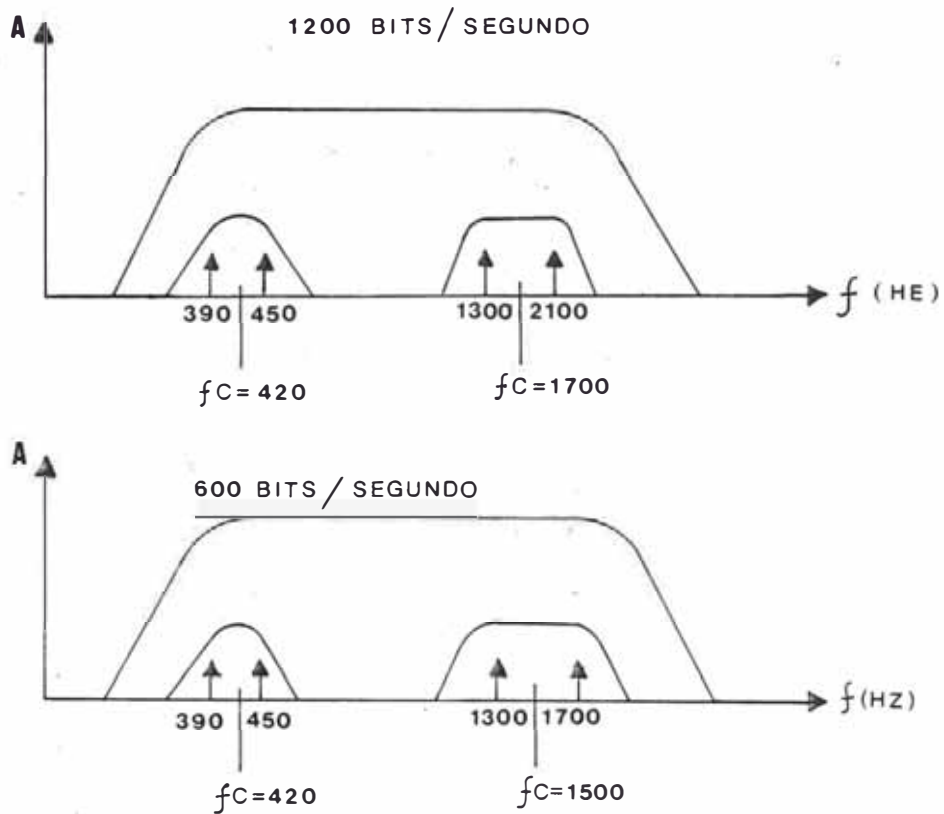
INTERACCION DEL USART CON EL MODEM DE BAJA VELOCIDAD

FIG 6.2



FRECUENCIAS DE TRABAJO DE LA NORMA V-23 DEL CCITT

FIG 6.3



6.6 Las Recomendaciones del CCITT, EIA

A fin de obtener compatibilidad con la mayoría de los equipos de comunicación de datos se pensó en adaptar la Opción de Comunicaciones del presente Sistema a alguna norma generalizada.

La norma más recomendable para este caso en la Recomendación V-23 del CCITT, la cual especifica las características del Modem, estas son:

- Velocidad de transmisión : 600 y 1200 bits por segundo .
- Tipo de transmisión : Síncrono o Asíncrono
- Líneas de transmisión : Red Conmutada o Línea Dedicada de 2 o 4 hilos, calidad normal.
- Tipo de Modulación : Frequency Shift Key (FSK)
- Canal de Retorno : Opcionalmente puede estar dotado de un canal auxiliar de baja velocidad.

Interface lógica con el terminal

: según recomendación V.24 y V 28

- Frecuencias típicas	: 600 b/s	1200 b/s	canal retorno
Frecuencia Portadora	1500 Hz	1700 Hz	420 Hz
Estado Reposo "1"	1300 Hz	1300 Hz	390 Hz
Estado Trabajo "0"	1700 Hz	2100 Hz	450 Hz

- Sensibilidad para señales de línea : -43 dBm
- Señal de sincronismo en transmisión: sólo por Modem

Como dijimos anteriormente se dispone de un conector tipo Canon de 25 pines, con el cual podemos ajustarnos a la norma RS-232 C, en lo que se refiere a la conexión física del Equipo Terminal de Datos (ETD) y el Equipo Terminal de Comunicación de Datos (ETCD) que vendría a ser el Modem.

La norma RS-232, dada por el E.I.A. (Electronic Industries Association) define las características funcionales, eléctricas y mecánicas de la interfaz entre un terminal y un equipo de comunicaciones. Las recomendaciones del RS-232 son compatibles con la recomendación V.24 del CCITT y está basado en 21 señales, de las cuales las más importantes se describen a continuación, haciendo notar la equivalencia con las señales de la norma V.24 del CCITT.

N° Circuito (V.24)	Equivalente RS-232 C	Contacto Con.Canon	Origen de señales		Denominación del Circuito
			ETD	ETCD	
102	AB	7			Tierra de señal o retorno
103	BA	2	X		Transmisión de Datos
104	BB	3		X	Recepción de Datos
105	CA	4	X		Petición de Emisión
106	CB	5		X	Preparado para Transmitir
107	CC	6		X	Modem preparado
108/1	--	20	X		Conéctese Modem a Línea
108/2	CD	20	X		Terminal de Datos prepa - rado.
109	CF	8		X	Detector portadora en lí - nea
110	CG	21		X	Detector calidad de seña - les de línea
111	CH	23	X		Selector velocidad bina - ria
113	DA	24	X		Sincronismo en transmi - sión por ETD.
114	DS	15		X	Sincronismo en transmi - sión por ETCD
115	DD	17		X	Sincronismo en recepción
125	CE	22		X	Detector de señal de lla - mada
126	CI	11		X	Selector velocidad Bina - ria

6.7 Protocolo de Comunicación B.S.C. (Comunicación Binaria Sincrona)

Cuando se requiere transferir datos de un sitio a otro en un sistema computarizado es necesario preestablecer convenios que rijan el desenvolvimiento de la comunicación, por ejemplo, es necesario conocer el destino de la información, detectar y corregir errores que pueden ocurrir durante la transferencia y arbitrar el uso del medio de comunicación cuando más de un usuario este requiriendo acceso a éste. Todo este conjunto de convenios es conocido como Protocolo. Un Protocolo es el conjunto de acuerdos sobre los procedimientos que definen la comunicación entre un terminal de datos y un computador central.

Un Protocolo básicamente define:

- Caracteres de Control de la Línea
- Forma de uso de los Caracteres de Control, constitución del mensaje
- Diálogo en la Línea
- Forma de detectar errores
- Proceso a seguir cuando se detecta un error

El Protocolo de Comunicación más usado actualmente es el B.S.C. (Comunicación Binaria Sincrona). Sus características más importantes son que usa 2 caracteres de sincronismo delante de todo bloque de datos y que todo mensaje debe ser reconocido por el receptor antes de proceder a transmitir el siguiente mensaje.

La cantidad de bytes de cada bloque de datos es arbitraria y depende de la constitución del terminal.

El Protocolo B.S.C. trabaja con Textos (o mensajes) y bloque de datos. Normalmente un texto posee varios bloques de datos. La constitución de cada bloque de datos es como se muestra en la figura N° 6.4. STX indica el inicio del bloque de datos, ETB indica el termino del bloque de Datos y BCC es un caracter de chequeo cuya forma de generación es arbitraria. Siempre delante de cada bloque de datos debe haber 2 caracteres de sincronismo - SYN1 y SYN2.

En cuanto al mensaje, el primer bloque de datos de éste es un bloque especial llamado Header, el cual contiene información tal como identificación del mensaje, - tipo de información que se va a transmitir, a donde va dirigido el mensaje u otra información particular. El último bloque de datos del mensaje lleva el caracter ETX en lugar de ETB para que pueda detectarse el fin del texto. Según todo esto se muestra en la figura N° 6.5 la constitución de un mensaje.

Opcionalmente un bloque de datos puede estar constituido por una serie de bloques llamados bloques intermedios. Estos bloques intermedios no tienen que ir precedidos por los caracteres de sincronismo. La constitución de estos bloques intermedios es como se muestra en la figura N° 6.7. Son similares a los bloques normales con

la diferencia que son terminados con el caracter ITB en vez de ETB.

Un Bloque de Datos puede contener una cantidad cualquiera de bloques intermedios. Como cada bloque intermedio posee su caracter de chequeo BCC el bloque de datos total posee un control de errores eficiente.

En la figura N° 6.8 se muestra un mensaje completo compuesto por bloques de datos multiregistro (con bloques intermedios). El último bloque intermedio del último bloque de datos acaba con el caracter ETX.

Como ya se dijo, a cada bloque de datos transmitido el receptor transmite bytes de reconocimiento. En el protocolo BSC se usan dos bytes de reconocimiento: ACB ϕ y ACK1, los cuales son usados alternativamente tal como se muestra en la figura N° 6.6. En el caso de que el bloque de datos haya sido recibido con error, el receptor generará el byte NAK (no reconocimiento) con el cual solicita una retransmisión del bloque anterior.

Cuando se quiere dar por terminada la comunicación, el transmisor envía el caracter EOT (fin de transmisión).

En la tabla siguiente se tiene la relación de todos los códigos de control usados por el Protocolo BSC. La mayoría de ellos ya han sido definidos, los restantes códigos no son tan usados pero a continuación se describirá su función.

Caracter Control	Código (HEX)
SYN	32
SDH	01
STX	02
ETB	26
ETX	03
EOT	37
ENQ	2D
ACKO	1070
ACK1	1061
NAK	3D
ITB	1F
WACK	106B
RVI	107C
DLE	10
TTD	022D

- SYN (32) es el byte normalmente usado delante del bloque de datos con la finalidad de que el receptor entre en sincronismo.
- SOH (01) precede a un bloque de datos para indicar que tal bloque contiene la identificación de todo el mensaje siguiente (Header)
- STX (02) indica el inicio de un bloque de datos.
- ETB (26) indica el fin de un bloque de datos.

- ETX (03) : va al final del último bloque de datos para indicar el fin del texto o mensaje
- EOT (37) : indica el final de la transmisión.
- ENQ (2D) : para solicitar una comunicación, el terminal de datos envía este caracter al computador.
- ACK0 (1070) : caracter de reconocimiento
- ACK1 (1061) : caracter de reconocimiento
- NAK (3D) : el receptor envía este caracter al transmisor para solicitar retransmisión del bloque de datos (reconocimiento negativo)
- ITB (1F) : indica el final de un bloque intermedio de datos.
- WACK (106B) : el receptor indica al transmisor que temporalmente no se encuentra listo para recibir el siguiente bloque de datos.
- RVI (107C) : el receptor le indica al transmisor que es necesario hacer un cambio en la dirección de la comunicación (el receptor se convierte en transmisor y viceversa).
- DLE (10) : el receptor envía este caracter al transmisor para indicarle que debe desconectarse de la línea de comunicación.
- TTD (022D) : el transmisor envía este caracter para indicar que temporalmente no se encuentra listo para transmitir un texto.

PROTOCOLO B.S.C.

FIG 6.4

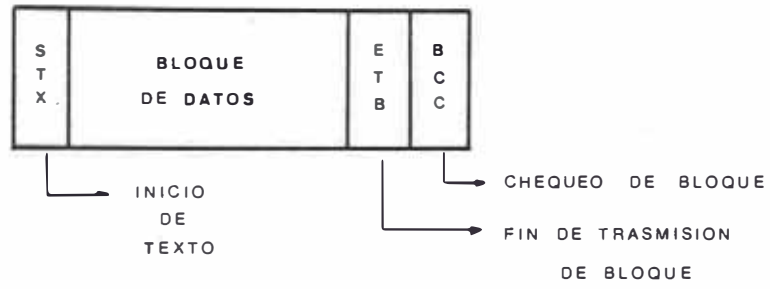
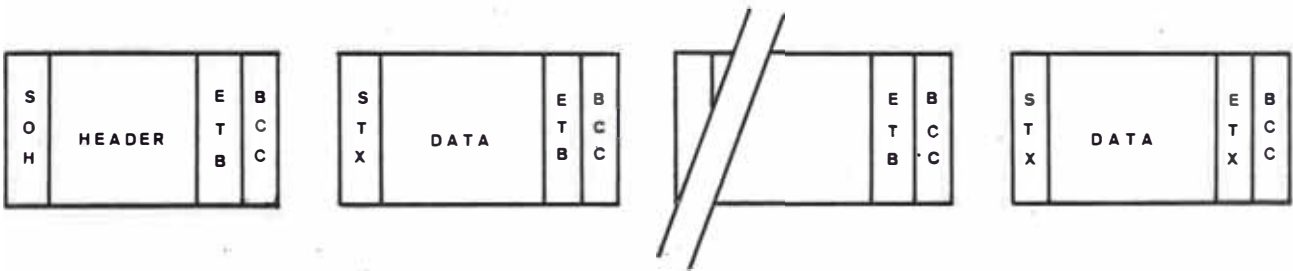
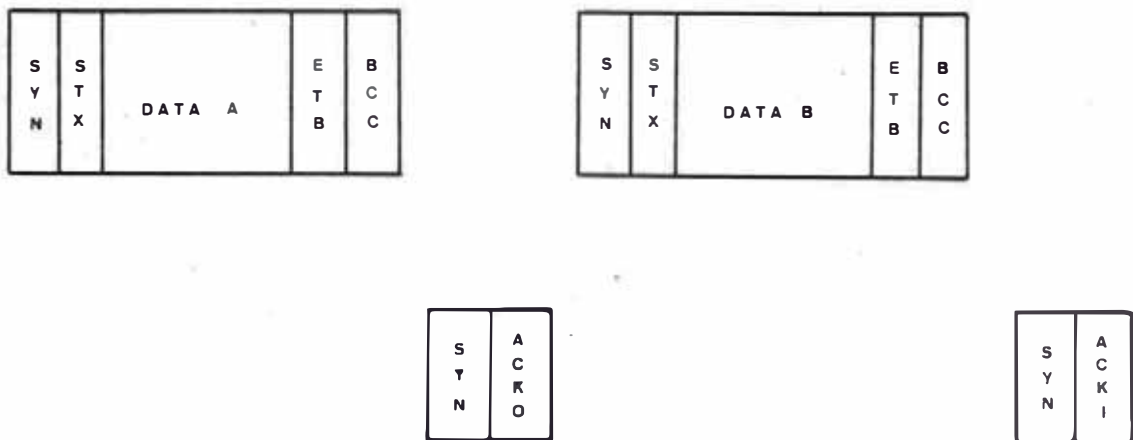


FIG 6.5



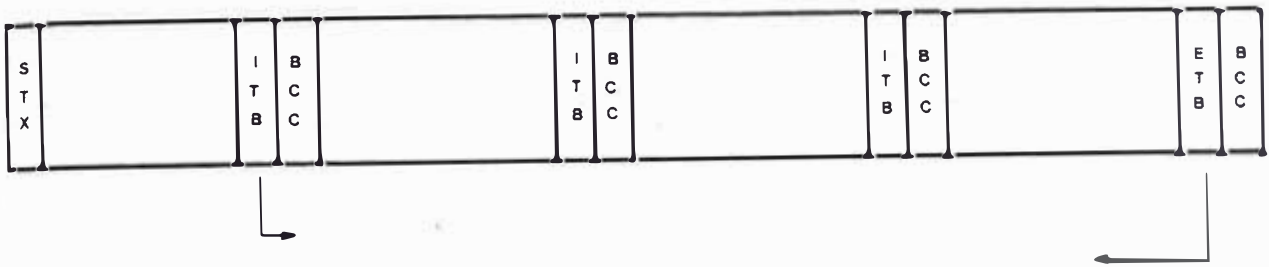
RECONOCIMIENTO DEL RECEPTOR

FIG 6.6



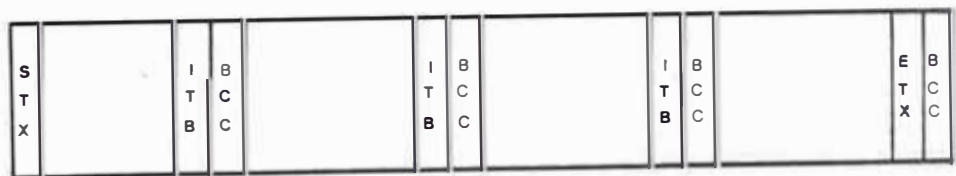
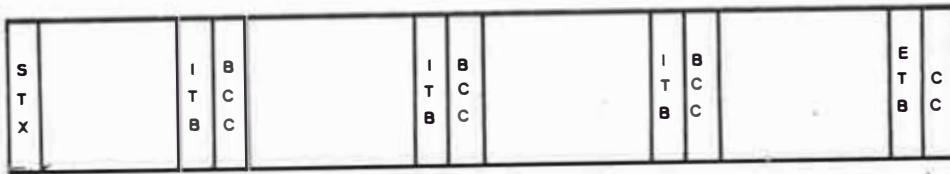
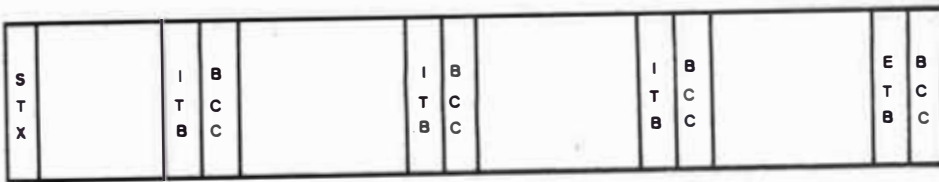
BLOQUE MULTIREGISTRO

FIG 6.7



MENSAJE DE BLOQUES MULTIREGISTRO

FIG 6.8



CAPITULO VII

PROGRAMACION DEL SISTEMA

7.1 Programa de Diagnóstico

El primer programa grabado en la EPROM 2732-A se hizo pensando en alguna forma de probar que el sistema estaba trabajando correctamente en sus partes fundamentales, tales como las memorias, interfaces paralelas y el USART. Con este objetivo en mente se escribió el programa cuyo listado se encuentra en el apéndice. Todos los programas escritos se pueden dividir en una determinada cantidad de bloques o grupo de instrucciones, bajo un subtítulo que describe la finalidad de tal grupo de instrucciones. En la explicación de éste y los subsiguientes programas se hará referencia a estos subtítulos.

La primera parte del Programa de Diagnóstico corresponde a la Inicialización del Controlador de Video VTAC 5027, como se sabe, el VTAC opera con instrucciones de entrada-salida empezando con la dirección XX00 Hex. Primero se programan los 7 registros generales del VTAC mediante un lazo que va tomando los datos a grabar en los registros de la tabla de datos, la cual se encuentra al final de esta parte del programa.

La parte N°2 corresponde a la inicialización del USART 8251, para ésto, hay que grabar los 2 bytes de con

trol que definen toda la forma de operación del 8251, el Mode Word y el Command Word; también el 8251 trabaja como dispositivo de entrada salida y empezando con la dirección XX50 Hex.

La parte N°3 es una prueba de la memoria RAM de trabajo del Procesador, en todas las localidades de esta memoria (2K bytes) se graban alternativamente unos y ceros al mismo tiempo que se hace una lectura del byte escrito, en caso que no correspondan los bytes de escritura con los de lectura, el programa se detiene indicando una posible falla en la memoria.

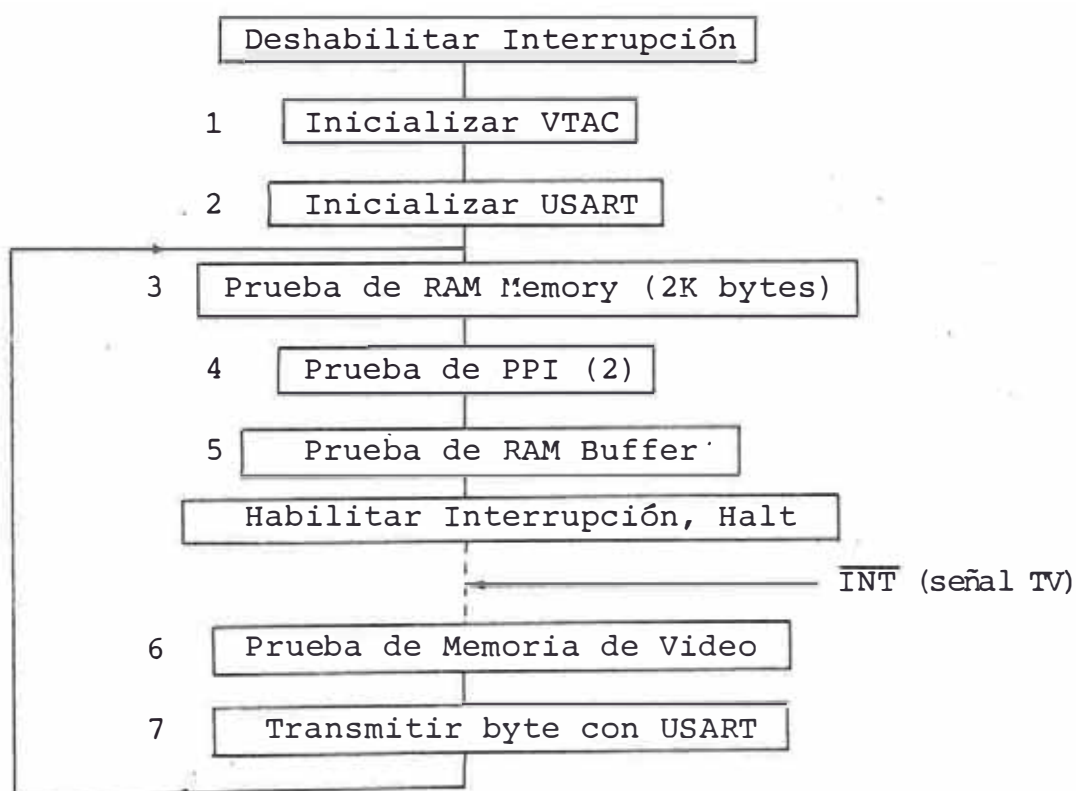
La parte N°4 prueba si el procesador está programando correctamente los PPI, para esto, se programan todos los Ports de ambos PPI como salidas (para esto hay que tener cuidado de sacar de sus sockets los dos C.I. 74173 cuyas salidas están conectadas al port A del PPI para evitar condiciones erróneas). Seguidamente se envían ceros y unos alternativamente a los tres ports. En este caso la forma de comprobar si está trabajando correctamente es con osciloscopio.

La parte N°5 de este programa efectúa una prueba de la memoria RAM que sirve de Buffer de Cinta y Disco. En todas las localidades de esta memoria (1K bytes) se graban alternativamente unos y ceros al mismo tiempo que se hace una lectura de cada byte escrito para comprobar si se ha efectuado correctamente la operación, igualmente que en el caso de la RAM del Procesador si se encuentra alguna falla el programa se detiene.

La parte N°6 en forma similar a la parte N°5 efectúa una prueba sobre la memoria de video (también es de 1K byte) grabando unos y ceros, pero en este caso no se efectúa la parte de lectura, como se sabe, debido al diseño del Hardware el Procesador sólo está habilitado para escribir en la memoria de video.

La parte N°7 simplemente arroja a través del USART 8251 un byte serializado hacia el Model MC-14412.

El Diagrama de Flujo correspondiente a este programa puede verse en la siguiente figura:



Luego de efectuarse las partes del 1 al 5 del programa se efectúa un Halt durante el cual el Procesador se encuentra esperando ser interrumpido (Interrupción Enmascarable Tipo I) por un pulso de sincronismo Vertical TV. Una vez que recibe la Interrupción efectúa las par-

tes 6 y 7 y vuelve a la parte 3.

7.2 Programa Resumido de Prueba N°1

Este primer Programa resumido de prueba ya es un intento de aproximación a lo que es el Sistema Operativo, para correr este programa ya es necesario conectar el teclado a la Unidad de Control mediante la tarjeta de Estación y también la Unidad de Cinta mediante su conector respectivo.

Al final de este subtítulo se muestra el Diagrama de Flujo de este Programa pero previamente se va a explicar todas las partes que componen este programa y su función o funciones de cada una de estas partes, tal como se hizo en el caso anterior con el Programa de Diagnóstico.

La primera parte corresponde a la inicialización del Controlador de Video VTAC 5027, esta inicialización es la misma que la del programa anterior, con la única diferencia que el cursor es programado para ocupar el carácter número 6 de la primera fila de caracteres.

La parte N°2 corresponde a la Inicialización de los dos PPI y selección de la señal Tv como la que va a actuar sobre la entrada INT del Procesador. Como se explicó en el subtítulo 4.2 (Interface con la Unidad de Cinta) toda la lógica de selección de Interrupción es gobernada mediante salidas de los Port B y C del PPI que sirve para la Interface con la Cinta. Normalmente el Procesador se encuentra interrumpido por la señal Tv (Sin

cronismo Vertical) que proviene del Controlador de Video VTAC 5027 y para ésto los bits 0 y 7 del Port B del PPI de Cinta deben estar en nivel alto, además el bit 3 del Port C también debe encontrarse en alto para deshabilitar la Interrupción No-Enmascarable.

En esta parte del programa se establece la forma de trabajo de cada port de los dos PPI. Para el caso del PPI de Cinta el Port A es programado como una salida, el Port B es programado como salida y además se setea todos sus bits, los 4 bits menos significativos del Port C son programados como salidas mientras que los 4 bits más significativos son programados como entradas, se setea además los 4 bits que actúan como salidas en el Port C.

Para el caso del PPI de Disco el Port A es programado como salida, asimismo el Port B cuyos ocho bits son seteados, los cuatro bits menos significativos del Port C son programados como entradas mientras que los 4 bits más significativos como salidas, siendo seteados convenientemente.

La Parte N°3 simplemente efectúa un borrado de todas las posiciones de la RAM de trabajo del Procesador, la cual contiene las zonas de Ensamblado y Programa de todas las Estaciones. Este borrado consiste en grabar en cada posición de la memoria el byte que corresponde Blanking en el Generador de Caracteres, para este caso sería DF Hex.

mos el dato se encuentra momentáneamente almacenado en un par de registros, los cuales se encuentran en la Tarjeta de Estación.

La parte N°10 hace un borrado del contenido de los registros de la Tarjeta de Estación, ésto se hace con la finalidad de que una vez el Procesador ha tomado el dato (Parte 9 del programa) en el siguiente ciclo de toma de dato no vuelva a tomar el dato antiguo como dato nuevo. Este borrado se efectúa por programa fácilmente direccionando a la siguiente estación debido a que por Hardware se ha conectado la salida que habilita a una Estación con el Clear de los registros de la estación anterior, - para mayor claridad remitirse al Capítulo 5 Descripción de los Organos Terminales de Entrada de Datos.

La parte N°11 compara el dato recientemente tomado con 00 Hex, si son Iguales quiere decir que no ha habido nuevo dato introducido (el dato antiguo ha sido borrado por el paso anterior). Para esto se ha predeterminado que ninguno de los caracteres del teclado tenga un código igual a 00 Hex.

La parte N°12 compara el dato tomado del teclado con el caracter hexadecimal 12, en caso de ser iguales - quiere decir que se ha presionado la tecla ENTER del teclado en cuyo caso el sistema hace una rutina de transmisión a través del USART. Caso contrario continúa hacia la siguiente parte del programa.

La parte N°4 efectúa lo mismo que la parte N°3 pero en la memoria de Video con lo cual al inicio del programa no habrá caracteres a displayar en la pantalla.

La parte N°5 se encarga de grabar un indicativo de que el Sistema se encuentra operativo, esta palabra elegida arbitrariamente es LISTO, la cual debe aparecer en las primeras posiciones del registro displayado en la pantalla. Para efectuar ésto, simplemente se graba en las posiciones respectivas de la zona de ensamblado los bytes correspondientes a estos caracteres, tal como se muestra en el listado del programa, el cual se encuentra en el Apéndice.

La Parte N°6 inicializa el USART escribiendo en el byte que gobierna el Modo de trabajo y el byte que corresponde al Comando, el cual inicializa algunas señales de control.

En la Parte N°7 se habilita la Interrupción Enmascarada Tipo 1 (Empieza en la dirección 0038 Hex) y se efectúa un Halt en espera del siguiente pulso Tv.

La Parte N°8 corresponde a la transferencia de los datos contenidos en la Ram de trabajo del Procesador a la Ram de video (solamente se transfiere los primeros 1K bytes de la Ram de trabajo), mediante esta parte del programa se efectúa el refresco de la memoria de video.

La parte N°9 corresponde a la toma del dato del teclado, las estaciones terminales son accesadas por el Procesador mediante instrucciones de entrada, como sabe-

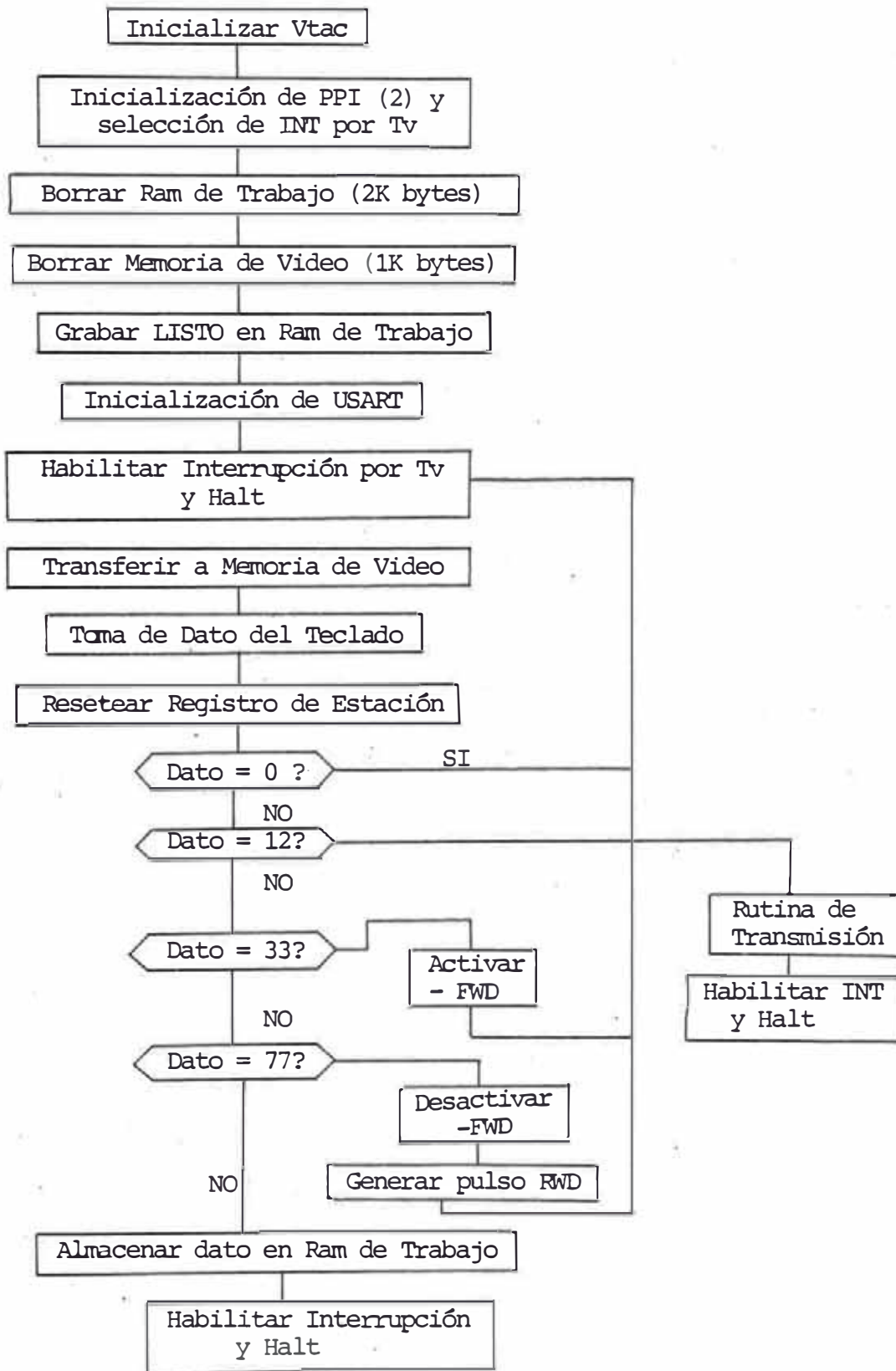
La parte N°13 compara el dato tomado del teclado con el caracter hexadecimal 33, en caso de ser iguales quiere decir que se ha presionado la tecla DUP del teclado - requiriendo avanzar la cinta, en este caso el sistema activa la señal -FWD (bit 1 del Port B) y la cinta comienza a moverse desde el punto de Inicio de Cinta (BOT). En caso contrario se procede con la siguiente parte del programa.

La Parte N°14 del programa compara el dato tomado del teclado con el caracter 77 Hex, en caso de ser iguales inmediatamente setea la señal -FWD desactivándola y mediante un reseteo y posterior seteo del bit 3 del Port B genera un pulsonegativo en la señal -RWD la cual activa el flip-flop Rewind de la Unidad de Cinta, ante ésto la Cinta es rebobinada hasta alcanzar el punto reflectivo de inicio de Cinta (BOT) donde se detiene.

La Parte N°15 se encarga de efectuar el almacenamiento en la zona de ensamblado del dato tomado del teclado, a la vez que actualiza la posición del cursor (una posición más adelante que el último dato introducido).

Para saber en que posición el sistema debe almacenar el dato se dispone de un Buffer de Cursor, el cual se encuentra en la Ram de Trabajo fuera de los 1K bytes que son transferidos a la memoria de video, la posición en la cual se debe almacenar el nuevo dato está dada directamente por el valor del cursor, luego de almacenar el dato se incrementa en uno el contenido del Buffer de

DIAGRAMA DE FLUJO DEL PROGAMA RESUMIDO DE
PRUEBA N° 1



Cursor y se procede nuevamente a la programación del carácter y la fila de caracteres donde se debe encontrar - el cursor de acuerdo a este nuevo valor.

La parte N°16 corresponde a la Rutina de Transmisión, acá se genera un retardo de tiempo durante el cual se transmite a través del 8251 el carácter OF Hex cada cierto tiempo.

7.3 Programa Resumido de Prueba N°2

Las partes iniciales de este programas son similares a las del programa de Prueba N°1, específicamente, hasta la rutina N°14 (rebobinar la cinta) ambos programas son idénticos. La única diferencia es que se ha cambiado la posición de la rutina de Inicialización del USART 8251 a la parte N°3 con el fin de que la Rutina de Inicialización del Area de Ensamblado no pase a ejecutar también la Rutina de Inicialización del USART. Esto va a permitir hacer una especie de Reset por programa.

La parte 15 viene a ser la rutina de avanzar el cursor, para esto, se toma el contenido del Buffer del cursor (posición: 1401) y se incrementa su contenido. En 61, rutina de retroceder cursor, se hace algo similar con la única diferencia que se decrementa en lugar de incrementar.

A continuación, en 17, se tiene una Rutina que posiciona las cabezas de lectura/escritura sobre el track 080. Esta rutina primero provee la dirección del track a través del port A y del bit 5 del port B (bit más sig-

nificativo) y luego generando un pulso en la señal Strbe provocará que las cabezas se desplacen hasta la dirección especificada.

La parte 18 es similar a la 17, solamente varía la dirección del Track, fue adicionada con la finalidad de hacer más notorio el desplazamiento de las cabezas (de una posición a la otra con solo presionar las teclas correspondientes).

Este programa si efectúa la correspondencia entre los caracteres del teclado y los caracteres del Generador de Caracteres (los que aparecen en la pantalla). Para ésto, en la parte 19, tiene una Rutina de Equivalencia, la cual haciendo uso de una tabla con los códigos que genera el teclado busca el caracter correspondiente en otra tabla que contiene los códigos correspondientes al Generador de Caracteres. Esta rutina hace uso de la instrucción de búsqueda de un caracter en un bloque de datos CPIR.

La parte 20 es la rutina de almacenar el dato en el Area de Ensamblado según el contenido del Buffer del cursor en ese momento, es decir, a la dirección de inicio del area de ensamblado (100 Hex) se le adiciona el contenido del Buffer del cursor y en esa posición obtenida se almacena el nuevo dato.

Seguidamente se tiene la rutina de programar los registros del cursor, parte N°21, esto se hace también usando el contenido del buffer de cursor.

La posición de caracter se obtiene simplemente con los 5 bits menos significativos del valor del cursor (32 caracteres) y la posición de fila se obtiene dividiendo entre 32 este mismo valor (debido a que cada fila posee 32 caracteres).

A continuación, parte 22, se tiene la Rutina de Transmisión, esta es similar a la del programa de Prueba N°1, transmite a través del 8251 por un tiempo aproximado de 8 segundos. La habilitación del Modem MC-14412 se efectúa con la señal RTS (request to send), la cual es reseteada por el programa.

En la parte 23 se tiene la rutina de Borrar el Area de Ensamblado, como se dijo al inicio, esta simplemente se dirige a ejecutar las 4, 5 y 6 de este programa donde se borra las memorias y se graba la palabra "LISTO" al inicio del Area de Ensamblado.

En las partes 24 y 25 tenemos la tabla de datos del teclado y la tabla de equivalencia respectivamente. Como ya se explicó estas son usadas por la Rutina de Equivalencia para obtener correspondencia entre los caracteres del teclado y los del Generador de Caracteres.

A continuación se tiene la rutina de escribir en la Cinta. Activando la señal -Forward se habilita el Byte FF Hex al Port A y se genera continuamente (aproximadamente cada 100 usec) pulsos negativos en el bit 4 del port B (write data strobe: W.D.S), los que van a dis

parar los flip-flops JK de Escritura de la Unidad de Cinta. Esta rutina se queda en loop y solamente se sale de ella reseteando el sistema.

La última rutina del programa, parte 27, activa la señal +WR Gate, con la que se habilita la escritura en el disco. Se habilita el contador de caracteres 74193, el que efectúa la carga del dato en el conversor paralelo-serie y además alimenta a los contadores que direccionan a la memoria buffer de disco.

7.4 Descripción del Sistema Operativo

El Sistema Operativo diseñado ha sido realizado pensando en tener un mecanismo de entrada de datos desde 8 estaciones terminales cada una de las cuales puede hacer requisiciones de operación, ya sea con disco o cinta.

El Sistema Operativo continuamente efectúa una exploración de cada estación (polling) para tomar los datos y procesarlos, según pasos bien definidos.

La eficacia y versatilidad dependen mucho de como haya sido concebido el Sistema Operativo, es por esto, que es bueno recalcar la importancia de este acápite para poder comprender el funcionamiento y alcances de todo el sistema. También es bueno aclarar que este programa solamente es el armazón fundamental sobre el cual se pueden agregar mas opciones y posibilidades al sistema. Es decir, el Sistema Operativo que se va a describir acepta fácilmente una serie de Rutinas, las cuales harán más poderoso nuestro sistema.

Al final de este acápite se muestra el diagrama de flujo correspondiente al Sistema Operativo. Con ayuda de este Diagrama y con el listado del programa se explicará en detalle la constitución del Sistema Operativo.

La primera acción a tomar una vez encendido el sistema y comprobada la presencia de todos los voltajes es hacer un Reset al CPU, esto se hace con un push botton habilitado especialmente para este fin. Al recibir el -Reset, el CPU comienza a ejecutar las instrucciones des

de la dirección 0000.. En la dirección 0000 Hex. se encuentra la rutina de Inicialización del Controlador de Video VTAC-5027, se programan sus 7 registros de acuerdo a la constitución del cuadro de video que se desea, en este caso el cuadro de video que se genera posee 32 filas de caracteres y 32 caracteres por fila; las 32 filas de caracteres nos permiten displayar 4 filas por cada una de las 8 estaciones, es decir, el cuadro total de video posee 32 filas pero como se explicó anteriormente cada estación mediante una lógica combinacional, la cual se encuentra en la Tarjeta de Estación selecciona solamente 4 de estas filas, 4 filas x 32 caracteres por fila=128 caracteres que viene a conformar la longitud del registro.

El VTAC 5027 posee además 2 registros adicionales, los cuales definen la posición del cursor dentro del cuadro de video. En esta rutina de inicialización del VTAC 5027 se programa la ubicación del cursor en la primera fila de caracteres y en el caracter número 7 empezando desde la izquierda. Luego de la Inicialización del VTAC se procede a programar las Interfaces Paralelas PPI-8255 tanto de cinta como de Disco, esta inicialización consiste en seleccionar el modo de trabajo en el cual se debe encontrar normalmente cada uno de los Ports, evitando así condiciones erróneas. Como todas las señales de control son negativas, los ports que trabajan como salidas son seteados en todos sus bits desactivando así toda señal. Asimismo, como se sabe, 2 bits

del Port B del PPI correspondiente a la Interface de Cinta definen la señal que accesa al pin INT del CPU, al setear estos 2 bits automáticamente se selecciona la señal Tv (sincronismo vertical) como la que va a accesar a este pin.

Es decir, en condiciones normales, sin transferencia con el disco o la cinta, el CPU va a estar sincronizado con la señal de Sincronismo Vertical para efectuar el Polling de las estaciones.

A continuación, en la parte N°3 del programa se efectúa un borrado de la memoria RAM-2K bytes, la cual contiene las zonas de Ensamblado y de Programa de todas las estaciones. Es bueno aclarar en este punto que debido a que el contenido de esta RAM (area de ensamblado específicamente) es transferido a la memoria de video directamente el modo de trabajo en esta Ram en cuanto al código de los caracteres es el mismo que el código correspondiente al Generador de Caracteres 5240.

La Parte N°4 del programa efectúa un borrado de la memoria de video (1K bytes de capacidad), para esto al igual que en la parte N°3 del programa se almacena en todas las localidades de memoria el caracter DF Hex., el cual corresponde al blanking (ningún punto a display), en el Generador de caracteres. Cabe resaltar que el Generador de caracteres 5240 trabaja con el Código ASCII de 6 bits; lo cual le permite displayar hasta 64 caracteres distintos.

La parte N°5 se encarga de grabar la palabra "LISTO" al inicio de cada Area de Ensamblado y de inicializar un contador de caracteres el cual irá posicionado al final de cada área de ensamblado, asimismo se encarga de inicializar algunos bytes auxiliares del Programa, tales como el byte de Longitud de Campo y los bytes de Dirección de Area de Programam

Como se observa en la Tabla N° 7.1 que corresponde al asignamiento de las Areas de Ensamblado y de Programa. las zonas de data de las zonas de ensamblado de cada estación se encuentran separadas por 16 bytes, los cuales no son displayables y solo son usados por el CPU como registros auxiliares. En la Tabla N° 7.2 se muestra el uso de estos registros auxiliares a lo largo de todo el programa.

Para facilitar y disminuir la complejidad del Sistema Operativo se dispone de una Tabla de direcciones de inicio de las zonas de ensamblado de cada estación con su correspondiente dirección de inicio en la memoria de video. La constitución de esta tabla es tal como se indica en la tabla N° 7.3. Alternativamente se encuentran direcciones de inicio de Area de Ensamblado y direcciones de Inicio en la Memoria de Video. Esta tabla permite al CPU fácilmente saber donde empieza cada zona de ensamblado de cada estación y así poder acceder a cualquier posición dentro de esta, para esto se dispone de 2 bytes auxiliares, los cuales apuntan siempre a una posición determinada dentro de esta tabla.

Es mediante el uso de esta tabla que el CPU en la parte N°5 del programa graba la palabra "LISTO" al inicio de cada área de Ensamblado y graba "006" como inicio del contador de caracteres al final de cada área de Ensamblado. En esta parte del programa también se reseña el byte de longitud de Registro y los bytes de Dirección de Área de Programa. Al llegar a la parte N°6 del programa el sistema se encuentra con todas las condiciones iniciales requeridas para iniciar su operación. Como continuamente se debe estar interrumpiendo al CPU mediante la señal Tv en esta parte del programa se habilita la interrupción enmascarada tipo 1 y se efectúa un Halt en espera del siguiente pulso de interrupción Tv.

En el capítulo 5 se describió la distribución de la memoria de video para cada estación. La tabla N° muestra la distribución de direcciones de la memoria de video para cada estación. Solamente la primera dirección correspondiente a cada estación es la que ha sido grabada en la Tabla de Área de Ensamblado y de Video.

La parte N°7 del programa efectúa la transferencia desde el Área de Ensamblado a la memoria de video, haciendo uso de la misma tabla que se usó en la parte N°5. Este programa considera la distribución especial que tiene la memoria de video al hacer la transferencia. Asimismo, este programa se encarga de actualizar el contenido del registro del cursor en el VTAC 5027 cada ciclo de Tv una estación por vez, es decir, durante un ciclo de Tv determinado se programa el cursor según indi -

que determinada estación, al siguiente ciclo de Tv se programa el cursor según indique la siguiente estación, para esto se dispone de un contador de estaciones para actualización de cursor en un registro auxiliar. Esta forma de uso del cursor es necesaria debido a que solo se dispone de 1 pin de salida de video del cursor y se requiere proveer de este a las 8 estaciones.

Las partes 8 y 9 del programa haciendo uso de algunos pasos de la parte 7 actualizan el cursor en cuanto a la fila que ocupará y en cuanto al caracter dentro de dicha fila.

Seguidamente se encuentra especificada la Tabla de Direcciones de Areas de Ensamblado y de Video.

En la parte N°11 el sistema interroga si es que se ha efectuado alguna requisición de transferencia con cinta, esto se hace cargando el byte de Tx con cinta y probando el bit 7 de dicho byte, en caso de ser positivo quiere decir que si se requiere hacer una transferencia en cuyo caso se procederá a determinar si es una operación de escritura o lectura. En caso de ser negativo no se toma ninguna acción sino se procede con la siguiente parte del Programa.

En caso de requerir una operación de escritura en la cinta el CPU cuenta una determinada cantidad de ciclos de Tv antes de llamar a la rutina de escritura en la cinta. Este retardo es usado para permitir que la velocidad de los motores que mueven la cinta se estabili

ce antes de efectuar la transferencia. En caso de requerir una operación de escritura desde la cinta no se toma ninguna acción sino se está en espera de la interrupción no-enmascarable (-First Bit) la cual hará que el CPU vaya a servir la rutina de lectura desde la cinta.

La parte N°12 del programa interroga si se requiere efectuar alguna transferencia con la unidad de disco, caso afirmativo se hace un test de la señal -R.S.R.W. (listo para buscar, leer o escribir), si esta señal está activa quiere decir que las cabezas se encuentran posicionadas sobre el track deseado y entonces se efectúa la transferencia sea esta de escritura o lectura.

En la parte 13 del programa empieza el procesamiento del dato tomado del teclado, este procesamiento es similar para todas las estaciones y se efectúa primero para la estación 0, luego la estación 1, 2 y así sucesivamente hasta completar las 8 estaciones terminales. En la parte 13 el CPU habilitando en su bus de direcciones la dirección correspondiente a la primera estación (XX10 Hex) efectúa una instrucción IN A, (C), con la cual lee el dato almacenado en los registros three-state de la tarjeta de dicha estación.

El siguiente paso es probar si el dato leído equivale a la tecla (ENTER), la cual identifica a los Comandos Especiales o si no ha sido introducido ningún dato, en cuyo caso el dato leído debe ser igual a 00 Hex. En el caso de que el dato sea igual a (ENTER), código 12 Hex,

el CPU irá a una parte del programa donde se decodifica el Comando Especial y se encuentra la dirección donde reside la rutina que sirve a tal Comando Especial. En el caso de que el dato sea 00 Hex el CPU sabrá que no ha sido introducido ningún dato y pasará automáticamente a ejecutar la siguiente parte del Programa.

A continuación el Sistema Operativo interroga si la estación que se está procesando está bajo control de programa, ésto se efectúa haciendo un test del bit 7 del byte de longitud de campo. En caso de que sea positivo indicará que se está bajo control de programa y se procederá a saltar a la dirección dada por los bytes de dirección de Programa. En caso de que este bit sea negativo se procederá a ejecutar la rutina de actualizar contador de caracteres.

Las partes 16 y 17 se encargará de actualizar el contador de caracteres y de la grabación en el área de Ensamblado de este contador.

Como se observa en la página N° 167 el contador de caracteres ocupa los bytes 81 y 82 de la Area de Ensamblado, el byte 81 contiene los dos bytes BCD (4 bits cada uno) menos significativos y el byte 82 contiene el byte BCD mas significativo. Este contador de 3 dígitos BCD es actualizado haciendo uso de la instrucción de ajuste decimal del Z80. Posteriormente cada dígito de este contador es convertido a código ASCII simplemente

sumándoles 30 Hex para compatibilizar con el Generador de Caracteres ya que el contenido de este contador va a ser displayado en pantalla (posiciones 7D, 7E y 7F del área de Ensamblado).

A continuación (parte 18) se hace una llamada a la Rutina de Equivalencia, la cual devuelve el dato que debe ser grabado en el área de Ensamblado, este almacenamiento del dato se hace de acuerdo con el valor que indica el Buffer del Cursor en dicho momento. También en esta parte se prueba si es que el cursor ha excedido los 128 caracteres que conforman el registro, si es que este es el caso inmediatamente se efectúa una rutina de Inicializar el Area de Ensamblado de dicha estación particular (esta rutina consiste en borrar todos los datos introducidos en el registro y displayar la palabra LISTO, con lo cual se puede nuevamente volver a introducir datos). En el caso de estar bajo control de Programa de Digitación y si se han excedido los 128 caracteres del registro automáticamente el Sistema ejecutará una Rutina de escribir el registro en el disco.

La parte 19 del Sistema Operativo vendría a ser el final del Programa Principal, acá se lleva la cuenta de las estaciones que han sido procesadas según las partes 13 á 18. En el caso de que todas las estaciones hayan sido procesadas automáticamente transfiere control a la parte 6 en la cual habilita nuevamente la interrup

ción enmascarable (esta había sido deshabilitada con la recepción del anterior pulso de interrupción Tv), y efectúa un Halt en espera del siguiente pulso de Tv. En el caso de que aún no hayan sido procesadas todas las estaciones actualiza el contador de caracteres y transfiere control a la parte 13 que es donde empieza el procesamiento.

Las partes restantes del Sistema Operativo se encuentran fuera del Programa Principal y son Accesados siempre y cuando sean requeridas a lo largo del Programa Principal.

La parte 20 corresponde a la Rutina de Equivalencia y es la encargada de hacer la conversión del dato tomado del teclado al código ASCII con el fin de que haya correspondencia entre las teclas digitadas y los caracteres que aparecen en la pantalla. Para esto, se dispone de 2 tablas, una de ellas contiene los códigos de los caracteres directamente como los envía el teclado, y la otra contiene los códigos de los mismos caracteres anteriores pero en código ASCII. Las tablas están ordenadas en el mismo orden con respecto a los caracteres según puede verse en el listado del Sistema Operativo, lo cual permite al programa encontrar el caracter equivalente. Esta subrutina hace uso de la instrucción de búsqueda de un caracter en su bloque de caracteres:
CPIR.

En la parte 21 se encuentra la tabla de datos que provienen del teclado (62 caracteres), y en la parte 22 se encuentra la Tabla de Equivalencia en el código ASCII.

Posteriormente se encuentra la rutina de Detección de Comando, mediante la cual se determina la dirección donde se encuentra la subrutina que corresponde a dicho comando. Para esto, se dispone al igual que en la parte 20 dos tablas, una de ellas es la Tabla de Datos, que viene a ser los códigos de los comandos directamente como los genera el teclado y la otra es la Tabla de Direcciones, la cual contiene que sirven a cada uno de los comandos de la tabla anterior. Obviamente la tabla de Direcciones tiene el doble número de bytes (una dirección está determinada por 16 bits) que la Tabla de Datos, pero el programa contempla este detalle, y usando la instrucción CPIR del mismo modo que en la parte 20, establece una relación directa entre cada comando y una dirección específica.

En las partes 24 y 25 se encuentran la Tabla de Datos de los Comandos y la Tabla de Direcciones respectivamente.

Seguidamente se tiene algunos Comandos que son quizás los más usados. Por ejemplo, en la parte 26 del Sistema Operativo se encuentra el comando llamado: LISTO, el cual se encarga de borrar la Area de Ensamblado de dicha estación y grabar la palabra LISTO de la misma for

ma como se efectuó en la Rutina de Inicialización.

En la parte 27 se encuentra el comando de avanzar el Cursor, el cual simplemente incrementa en uno el contenido del Buffer de Cursor.

En la parte 28 se encuentra el comando de Retroceder Cursor, el cual simplemente decrementa en uno el contenido del Buffer de Cursor de dicha estación. Al igual como hay una parte del programa que detecta un Comando Simple, en la parte 29 se efectúa la detección de un Comando Especial. Es decir, se determina la dirección de inicio de la rutina que da servicio a tal comando especial.

Tal como se explicó en la parte 14, todo Comando Especial se habilita mediante la tecla (ENTER). Esta rutina toma el caracter digitado anteriormente a (ENTER) y con este valor hace una búsqueda en la Tabla de Datos de los Comandos Especiales para asignarle una dirección de la misma manera como se hace en la parte 23. Han sido considerados 8 Comandos Especiales pero esta cantidad puede ser expandida.

En las partes 30 y 31 se encuentran las Tablas de Datos de los Comandos Especiales y la Tabla de Direcciones respectivamente.

A continuación, en la parte 32, se tiene una rutina que es usada siempre que se desee hacer una transferencia con el disco, su finalidad es habilitar a la uni

dad de Disco, a través del PPI-8255, las direcciones del track y sector que determinan exactamente el registro - con el cual se va a efectuar la transferencia. Además se provee el pulso -STROBE con el cual la Unidad de Disco empezará la búsqueda del Track especificado. Posteriormente, el Sistema hará una prueba del bit -R.S.R.W. que proviene de la unidad de Disco para saber si las cabezas de lectura/escritura se han ubicado en el track especificado.

Posteriormente, se encuentra la Rutina de Escritura en el Disco (parte 33). Luego que se ha habilitado la interrupción por DI y modificado la dirección de servicio a la interrupción se efectúa un retorno al programa principal, específicamente a la rutina de Toma de Dato. Durante todo este tiempo el sistema está esperando por la interrupción, la cual debe ocurrir cuando - las cabezas de lectura/escritura se posicionan sobre el track deseado. Ocurrida la interrupción, el Sistema efectúa la rutina de escritura seteando y reseteando convenientemente las señales -RD Gate y -WR Gate, una vez efectuado esto el CPU dispone el ambiente en espera de la siguiente interrupción por DI, el cual dará por terminada la transferencia, para esto, incrementa la dirección del sector en 1 y hace un retorno al programa principal. Cuando llega la interrupción por DI (simultáneamente con la aparición del siguiente sector) el Sistema va a efectuar una subrutina que finaliza la trans

ferencia, esta rutina habilita la interrupción por Tv (operación normal) y asimismo modifica la dirección de servicio de la interrupción enmascarable con lo cual el sistema deja desocupada la unidad de disco.

En la parte 34, se encuentra la Rutina de Lectura de Disco, esta rutina es exactamente igual a la Rutina de Escritura con la única diferencia de que en lugar de resetear la señal -WR Gate se resetea -RD Gate.

En las páginas N° 163 y N° 164 se tienen los Diagramas de Flujo de las Operaciones de Escritura y Lectura en el disco respectivamente.

En la parte 35 se encuentra la rutina de Escritura en la Cinta, esta rutina es ejecutada cuando ha sido requerida y si la cuenta de pulsos de Tv es igual a 16, este retardo antes de empezar la rutina de escritura es como se sabe para la estabilización de la velocidad de los motores. El primer paso de esta subrutina es establecer la dirección que servirá a la interrupción no enmascarable y se efectúa un Halt en espera del siguiente pulso TI. Como se explicó anteriormente, la transferencia con la unidad de Cinta hace uso de la interrupción no-enmascarable con la señal TI conectada al pin NMI del Z80 CPU.

Ocurrida la interrupción por TI, el sistema toma el dato del Buffer de Cinta y lo entrega a la Unidad de Cinta a través del PPI 8255, seguidamente determina

el bit de paridad de dicho dato y lo arroja al pin respectivo del port C del PPI 8255. Seguidamente genera el pulso de -W.D.S. el cual carga en los registros de la tarjeta amplificadora de lectura/escritura de la Unidad de Cinta, los nueve bits (8 bits de datos mas 1 bit de paridad). Con cada nuevo pulso de TI se efectúa la misma operación decrementando cada vez el byte de longitud de registro, cuando se han escrito toda la cantidad de bytes especificada en la longitud de registro se procede a la escritura del byte de CRCC. Tanto el byte de CRCC como el de LRCC son previamente calculados por el Comando Especial y son almacenados en un par de registros auxiliares.

Tanto para escribir el CRCC como el LRCC es necesario escribir previamente 3 bytes con $\emptyset\emptyset$ Hex en los ocho bits de datos y \emptyset en el bit de paridad, los cuales identifican al Inter Record Gap (I.R.G.). Los bits de paridad del CRCC y LRCC se encuentran ubicados en los bits 4 y 5 respectivamente del byte de transferencia de cinta.

Seguidamente, se restaura el ambiente para dar por terminada la transferencia, esto consiste en resetear los registros en la Tarjeta Amplificadora de la Unidad de Cinta mediante la señal: Write Amplifier Reset (-W.A.R.); detener el motor mediante el seteo de la señal -FWD y deshabilitar la interrupción no enmascarable (N.M.I.).

Acabada la operación de escritura de un registro en la cinta, se efectúa un retorno al Programa Principal, específicamente a la Rutina de Toma de Dato.

En la parte 36 se encuentra la Rutina de Lectura de la Cinta, esta rutina es evocada cuando habiendo sido solicitada una lectura de la cinta y estando habilitada la interrupción no-enmascarable se detecta el primer bit con la señal -first bit.

La primera acción de esta rutina es salvar el contenido de los registros al momento de ocurrir la interrupción ya que posteriormente se regresará al Programa Principal, mediante la instrucción: regreso de interrupción no-enmascarable (RETN). Recibido el pulso de interrupción TI se genera un pequeño retardo para asegurar la presencia del dato en los nueve bits de lectura que llegan a los registros correspondientes a la Interface de Cinta de la Unidad de Control. La carga del dato en estos registros se efectúa mediante la señal -RD Strobe y la habilitación de las salidas de estos registros se efectúa poniendo la señal -RD Select a un nivel bajo. El dato leído se almacena en el Buffer de Cinta y así se va leyendo cada byte según aparezca cada pulso de interrupción TI; al terminar de leer todos los bytes que conforman el registro se procede a esperar la aparición del siguiente pulso de TI, el cual aparecerá para indicar la presencia del byte CRCC, efectuada la lectura de

este byte se lo almacena en una posición específica para que posteriormente el Comando Especial haga la comparación con el CRCC generado a partir de los datos leídos. Igualmente se hace para el byte LRCC.

En esta rutina es necesario efectuar (cada vez que haya una interrupción por TI) un incremento en dos del Stack Pointer, debido a que con cada interrupción el Stack Pointer decrementa su valor en 2 y consecuentemente ya no apunta a la dirección que sirve para retornar al Programa Principal.

Posteriormente a la lectura del LRCC se procede a deshabilitar la señal -RD Select y también la señal -HAB NMI (Habilitar Interrupción No-Enmascarable). También se setea el 7° bit del byte de transferencia con cinta, con lo cual la Unidad de Cinta queda libre y se hace un retorno de interrupción no-enmascarable al programa principal.

En las páginas N° 165 y N° 166 se muestran los diagramas de flujo para la Operación de Escritura y para la Operación de Lectura respectivamente.

7.5 Asignación de Trabajos en el Disco

La forma en que los registros digitados se almacenan en el disco, es un problema básicamente de programación y aunque fuera del propósito del presente trabajo, se dará una pequeña explicación de este proceso.

En pocas palabras se puede decir que el acceso de los registros al disco es por demanda y por track. Es por track porque ésta es el área mínima asignada (cada track contiene 24 sectores o registros en este caso) y es por demanda porque cualquiera de estos tracks son asignados según los requerimientos de las estaciones.

Es importante hacer notar que el acceso de la información al disco en este sistema es notablemente más sencillo que en el Sistema Inforex, debido a que en este último algunos tracks del disco contienen el sistema Operativo y entonces hay que hacer una discriminación entre los tracks disponibles para entrada de datos y los que no lo están.

En el sistema diseñado, toda el área del disco sirve para entrada de datos. Esta entrada de datos se efectúa desde los tracks exteriores hacia los tracks interiores. Para el acceso de un trabajo al disco se requieren 2 parámetros básicos:

- los tracks que han sido asignados a ese trabajo y el siguiente track libre.

Si se quiere transferir un trabajo de disco a cinta, es necesario leer todos los registros de ese trabajo, para lo cual es necesario saber todos los tracks que le fueron asignados.

Si se desea almacenar un registro digitado (que se encuentra en el área de ensamblado) en el disco, es necesario conocer el siguiente track disponible para efectuar la grabación.

Estos dos parámetros se encuentran almacenados en el Disco.

Para esto el track 0 de la superficie 0 está asignado para que en cada uno de sus registros contenga información sobre los trabajos de digitación (1 registro por trabajo). Esta información consiste en todos los tracks que han sido asignados a dicho trabajo.

En cuanto al siguiente track disponible para cada superficie, esta información se encuentra grabada en el sector 0 del mismo track 0.

Es importante aclarar que se ha pensado en la conveniencia de que cada 2 estaciones puedan acceder a una sola superficie de disco. Como disponemos de 4 superficies en la Unidad de Disco completamos las 8 estaciones terminales que consta el sistema.

Entonces, el sector 0 del track 0 contiene el track disponible para cada superficie y en los restantes 23 sectores de este track hay información acerca de los tracks asignados para cada trabajo. Esto hace que el sistema pueda almacenar hasta 23 trabajos.

7.6 Los Comandos Especiales

Los Comandos Especiales no se incluyen en el listado del Sistema Operativo por ser básicamente un problema de Software susceptible a muchas modificaciones y más allá del propósito del presente diseño. Sin embargo, - se va a detallar todos los pasos que seguirían 3 comandos especiales, los cuales son los más importantes. Estos son:

- 1.- Transferir un registro del area de ensamblado al disco.
- 2.- Transferir un trabajo que se encuentra en el disco a la cinta.
- 3.- Digitar un trabajo bajo control de programa de digitación.

Se hará una explicación breve de como el sistema Operativo procesa estos comandos especiales

7.6.1 Transferir un Registro del Area de Ensamblado al Disco

Este comando especial se encarga de transferir al disco los trabajos que están siendo digitados en determinada estación y que pertenecen a un trabajo particular.

Primeramente, hecha la requisición de comando especial por la estación, el sistema operativo decodifica este y obtiene la dirección de inicio del programa que sirve a este comando especial. El primer paso de

este programa es preguntar si la unidad de disco está ocupada. En caso afirmativo no se tomará ninguna acción y se esperará por el siguiente ciclo de Tv para hacer la misma interrogación. En caso negativo se transfiere el registro desde el área de ensamblado al buffer de disco, se procede a hacer una lectura del sector o del track o de la primera superficie para obtener el siguiente track disponible y con el valor obtenido se efectúa la rutina de habilitar track y sector, el sistema se encuentra ahora esperando a que las cabezas se sirvan en el track y sector especificados para proceder con la escritura - del registro. Este proceso se repite con cada uno de los registros digitados en el área de Ensamblado hasta que la estación terminal dé por terminado el comando especial. Cada nuevo track asignado (1 track posee 24 registros) hay que actualizar la información del archivo de contenidos (incrementar en uno el siguiente track disponible y colocar el número del track asignado en el sector correspondiente al trabajo que está siendo digitado)

7.6.2 Transferir un trabajo del disco a la Cinta

Decodificado el comando especial (obtenida la dirección de inicio del programa que da servicio a este comando especial) el primer paso es preguntar si la unidad de disco se encuentra ocupada. Caso afirmativo no se toma ninguna acción y se espera el siguiente ciclo de Tv para hacer la misma interrogación. En caso

negativo el primer paso es hacer una lectura del archivo de contenidos en busca del sector correspondiente al trabajo especificado. En este sector encontramos información sobre todos los tracks que pertenecen a dicho trabajo.

Se toma el primer track y se efectúa la rutina de habilitar track y sector (se empieza con el sector 0). El sistema se encuentra ahora esperando que las cabezas de lectura/escritura se posicionen en el sector 0 del track especificado para efectuar la lectura, inmediatamente después el sistema interroga si la unidad de cinta se encuentra ocupada. Caso afirmativo no se toma ninguna acción y se espera por el siguiente ciclo de Tv para hacer la misma interrogación. En caso negativo se transfiere la información del Buffer de Disco al Buffer de Cinta al mismo tiempo que se va calculando los bytes CRCC y LRCC, los cuales son grabados en la cinta al final del registro. Posteriormente se acondiciona el byte de transferencia con la cinta para que el sistema operativo haga la cuenta de Tv para la estabilización de los motores y posteriormente haga la escritura del registro. Este proceso se repite leyendo ahora el siguiente sector del disco y así consecutivamente hasta haber transferido todos los registros de todos los tracks que conforman dicho trabajo.

7.6.3 Digitar un trabajo bajo control de programa de digitación

Este comando especial no involucra a la cinta o al disco sino mas bien trata de la forma en que los datos son distribuidos en el área de ensamblado.

Como ya se ha dicho, hay 2 áreas bien definidas en la memoria RAM de trabajo, una es la Area de Ensamblado y la otra es la Area de Programa. En esta area de Programa se encuentra almacenada la forma en que se colocan los datos en el área de ensamblado de acuerdo al trabajo de digitación. Cada trabajo de digitación consiste de un programa de digitación.

Hecha la requisición de este comando especial por parte de la estación, el sistema operativo la decodifica y comienza a procesar el dato tomado del teclado según el programa de digitación. En sucesivos ciclos de Tv el sistema al entrar a procesar esta estación pregunta en primer lugar si estación está bajo control de programa, en caso negativo el dato es procesado en forma simple tal como se ha descrito en la explicación del Sistema Operativo.

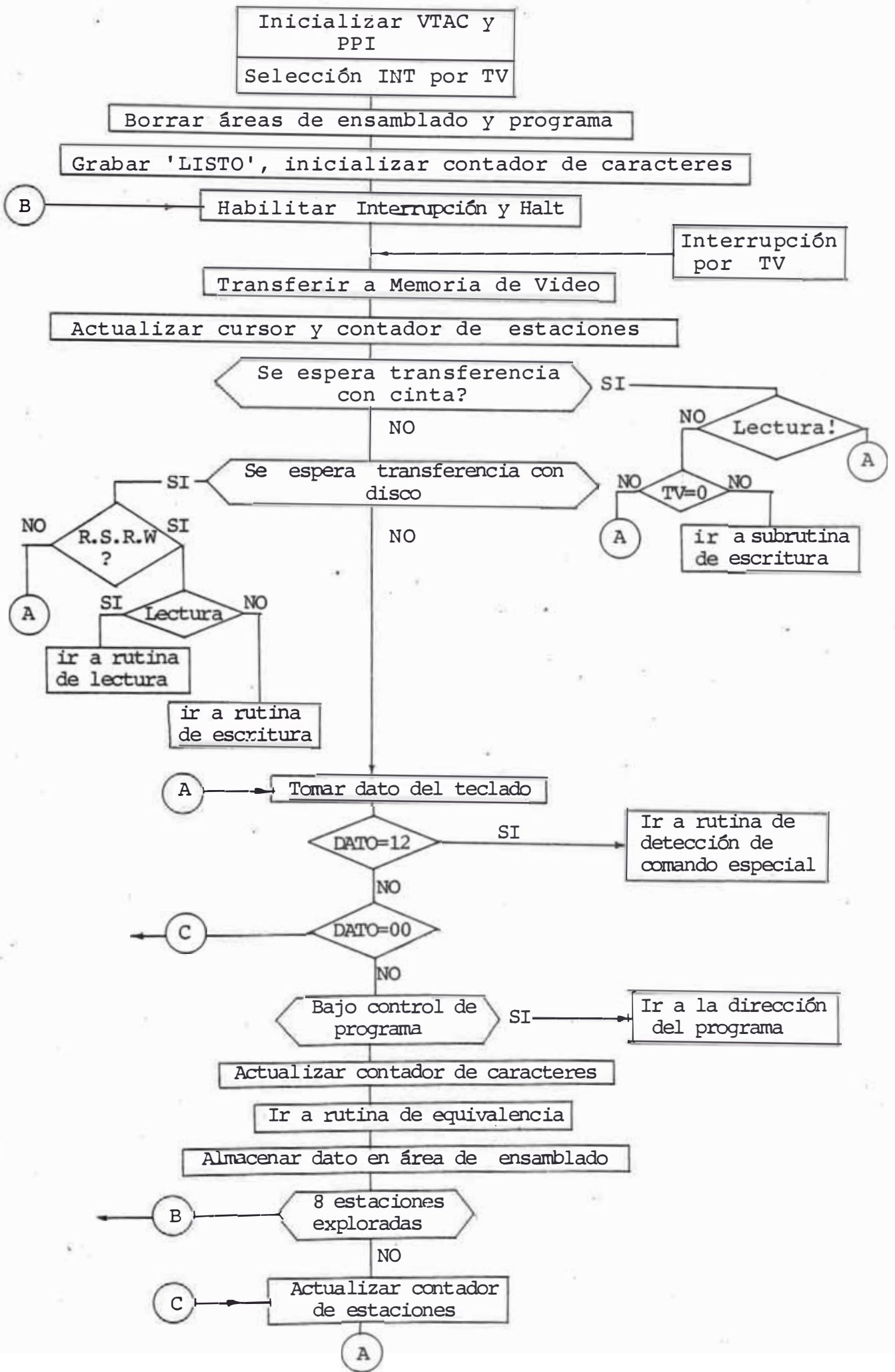
Este comando especial trae involucrado al comando especial de transferir un registro del area de ensamblado al disco, porque cada vez que se termina de digitar un registro es necesario almacenarlo.

La razón del uso de estos programas de digi

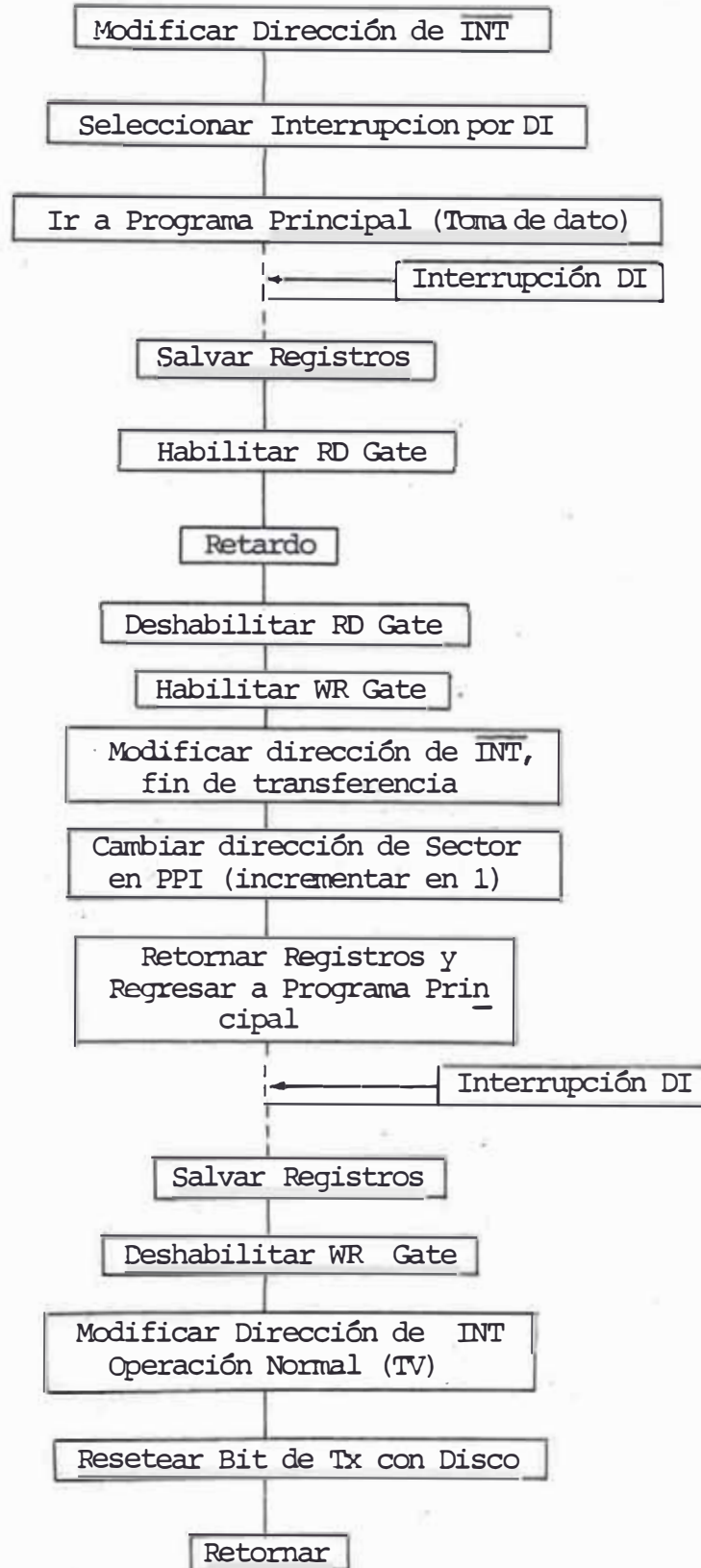
tación es porque ellos facilitan enormemente la entrada de datos. Generalmente, en entrada de datos, todos los registros tienen el mismo formato en cuanto a tipo de caracteres en determinada zona del registro, espacios - en blanco entre caracteres, títulos u otros caracteres constantes, etc. Todas estas características pueden ser programadas para que el Sistema Operativo las efectúa - automáticamente y así el operador no pierda tiempo en ejecutar estos pasos repetitivos en cada registro. Por ejemplo, si en un trabajo determinado todos sus registros deben dejar un espacio en blanco entre las posiciones 06 y 025 (primera fila de carácter), ésto se puede programar y entonces cuando el digitador llegue a la posición 5 el sistema operativo automáticamente desplazará el cursor hasta la posición 026 para en ese lugar seguir digitando.

El programa de digitación divide al registro en zonas llamadas: Campos, cada campo con una longitud de caracteres determinada. Cada campo queda definido mediante 2 parámetros: el tipo de campo y su longitud. Estos 2 parámetros adecuadamente codificados se encuentran en el área de programa. El comando especial cada ciclo de Tv toma el tipo de campo y su longitud y procesa el dato recién tomado según estos 2 parámetros.

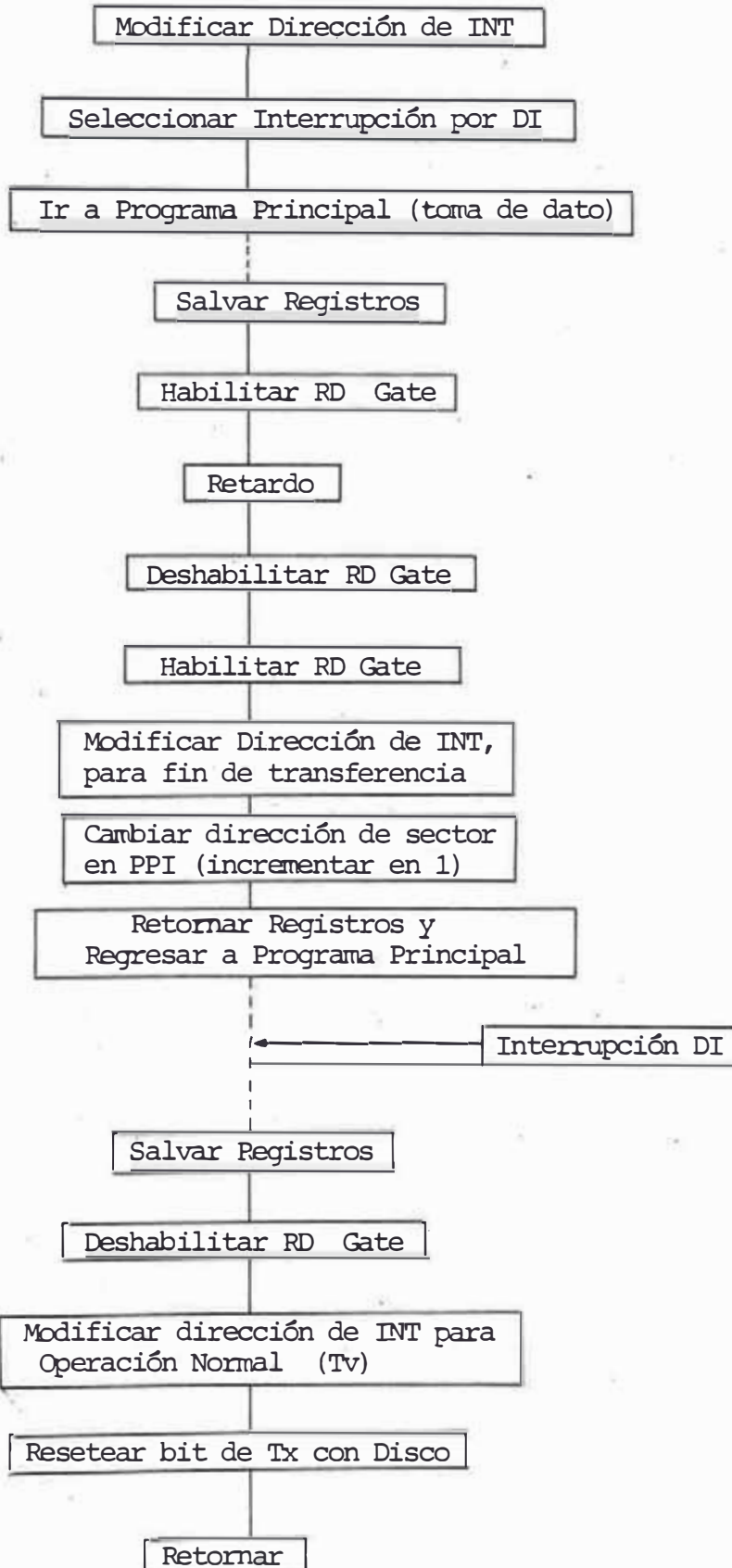
SISTEMA OPERATIVO



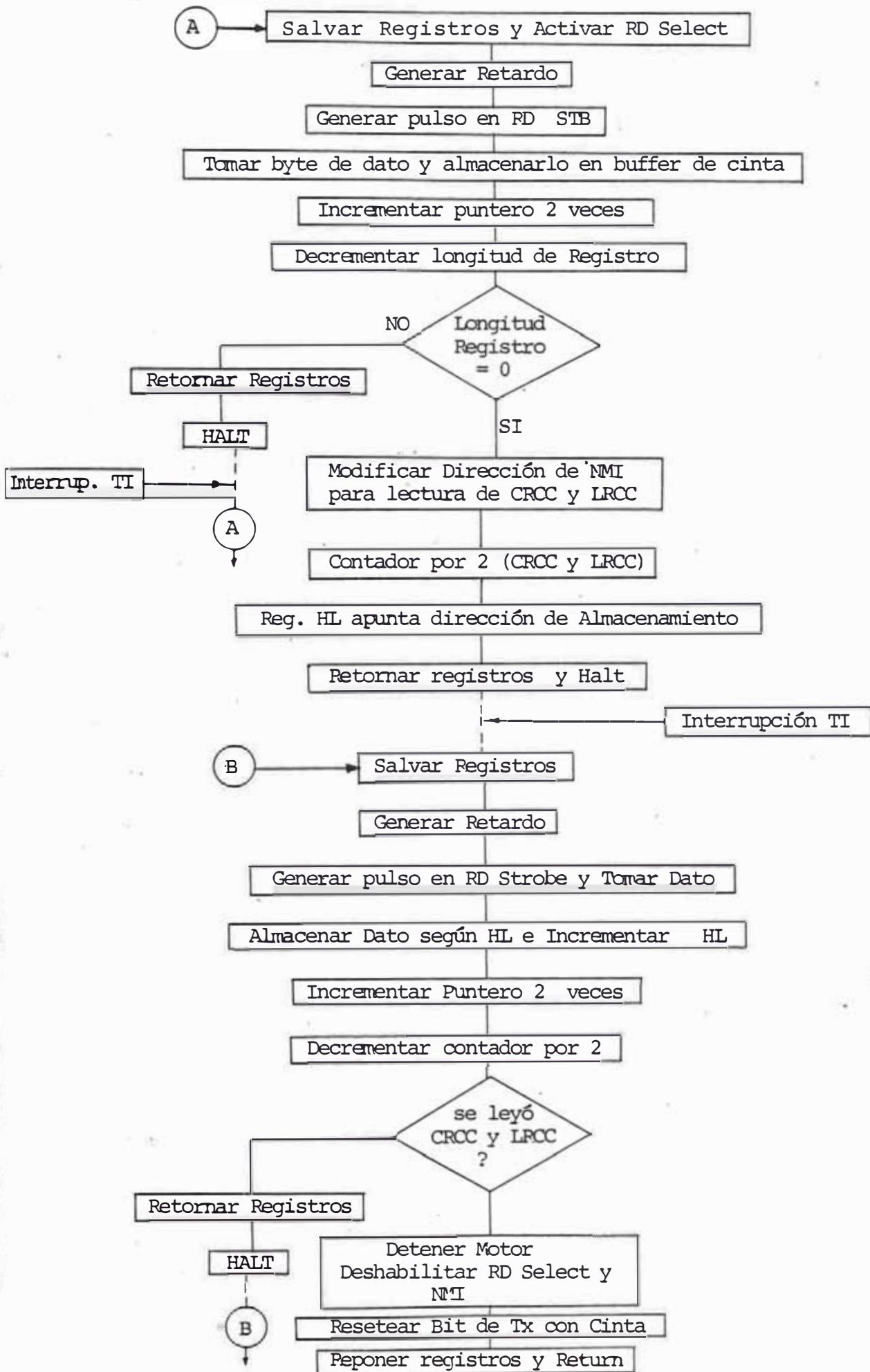
ESCRITURA DE UN REGISTRO EN EL DISCO



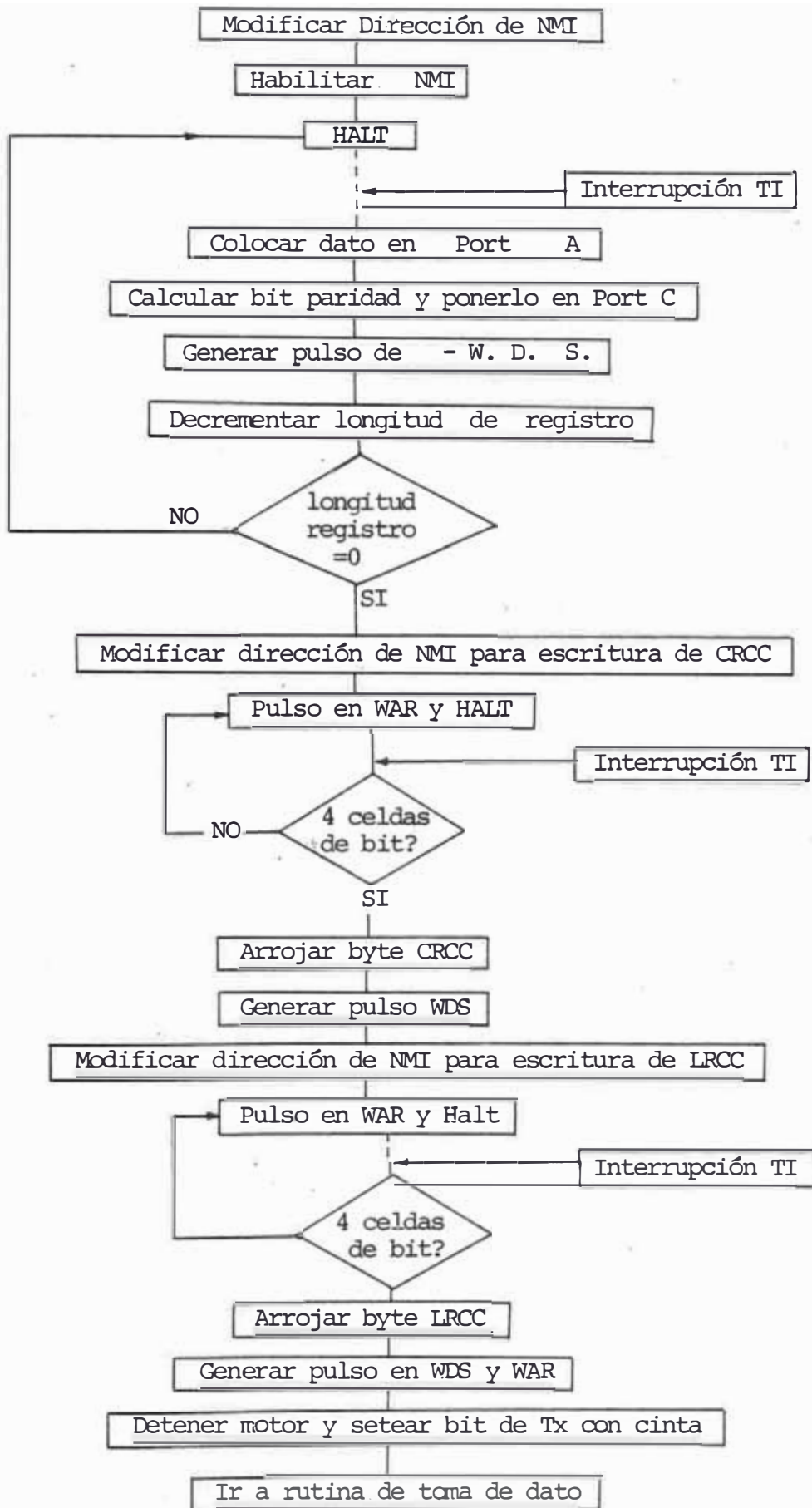
LECTURA DE UN REGISTRO DEL DISCO



LECTURA DE UN REGISTRO DE LA CINTA



ESCRITURA DE UN REGISTRO EN LA CINTA



ASIGNAMIENTO DE LAS AREAS DE ENSAMBLADO Y DE PROGRAMA

Area de Ensamblado para cada Estación:

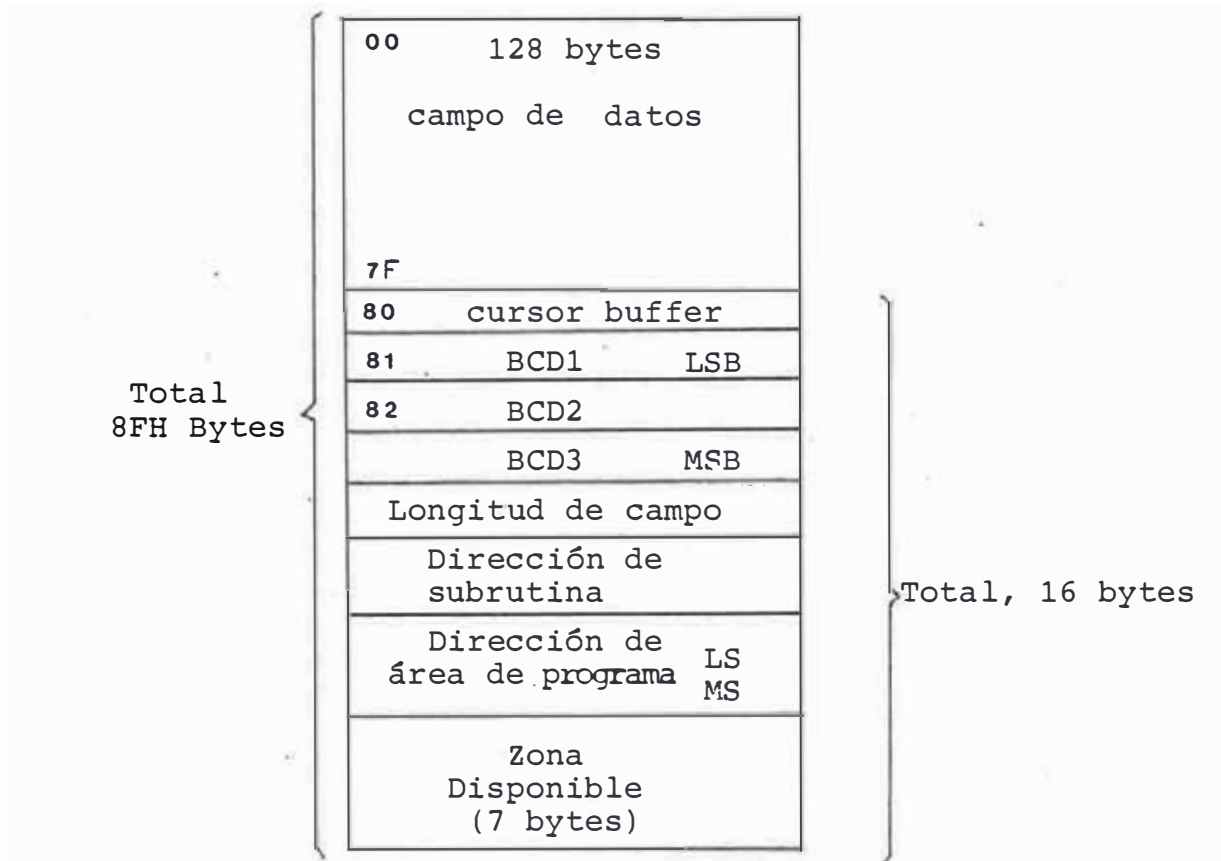


TABLA 7.1

Estación	Area de Ensamblado	Area de Programa
Estación 1	1000 - 108F	1480 - 14EF
Estación 2	1090 - 111F	14FO - 155F
Estación 3	1120 - 11AF	1560 - 15CF
Estación 4	11B0 - 123F	15DO - 163F
Estación 5	1240 - 12CF	1640 - 16AF
Estación 6	12DO - 135F	16BO - 171F
Estación 7	1360 - 13EF	1720 - 178F
Estación 8	13FO - 147F	1790 - 17FF

- Cada Area de Ensamblado posee: 8F bytes

- Cada Area de Programa posee : 6F bytes

TABLA 7.2

BYTES AUXILIARES DEL SISTEMA OPERATIVO

	<u>Código</u>	<u>Valor Absoluto</u>	<u>Función</u>
1)	∅RA	1089	BYTE TX CON CINTA
2)	1RA	108A	BYTE TX CON DISCO
3)	2RA	108B	NUMERO DE ESTACIONES DURANTE REFRESCO MEMORIA DE VIDEO
4)	3RA	108C	CONTADOR DE ESTACIONES PARA DETERMINACION DE CURSOR
5)	4RA, 5RA	108D, 108E	PRIMERA DIRECCION DE VIDEO DE LA ESTACION QUE VA A SER SERVIDA EN CURSOR EN EL SGTE. CICLO
6)	6RA	108F	CONTIENE EL CURSOR BUFFER DE LA ESTACION QUE VA A SER SERVIDA EN CURSOR EN EL SGTe. CICLO
7)	7RA, 8RA	119, 111A	INICIO DE ASSY AREA DURANTE TOMA DE DATO
8)	9RA	111B	CONTADOR DE ESTAC. EN TOMA DE DATO
9)	ARA	111C	KEYSTROKE DATO DURANTE RUTINA DE EQUIVALENCIA
10)	ERA	11D	
11)	CRA	11E	
12)	DRA	111F	ALMACENA DIRECCION DE TRACK
13)	ERA	11A9	ALMACENAR DIRECCION DE SECTOR Y MSB DE DIRECCION DE TRACK
14)	FRA, 10RA, 11RA	11AA, 11AB, 11AC	ALMACENA LA INSTRUCCION JUMP PARA SERVIR RUTINA DE INT
15)	12RA, 13RA, 14RA	11AD, 11AE, 11AF	ALMACENA LA INSTRUCCION JUMP PARA SERVIR RUTINA DE NMI
16)	15RA	1139	LONGITUD DE REGISTRO (TX CON CINTA)
17)	16RA, 17RA	123A, 123B	BYTE PUNTERO (REEMPLAZA AL SP)
18)	18RA	123C	CRCC BYTE DURANTE ESCRITURA
19)	19RA	123D	LRCC BYTE DURANTE ESCRITURA
20)	1ARA	123E	CRCC BYTE DURANTE LECTURA
21)	1BRA	123F	LRCC BYTE DURANTE LECTURA

DIRECCIONES DE INICIO DE AREAS DE ENSAMBLADO Y VIDEO

TABLA 7.3

ESTACION 8	VIDEO	3320
ESTACION 8	ENSAMBLADO	13FO
ESTACION 7	VIDEO	3300
ESTACION 7	ENSAMBLADO	1360
ESTACION 6	VIDEO	3220
ESTACION 6	ENSAMBLADO	1200
ESTACION 5	VIDEO	3200
ESTACION 5	ENSAMBLADO	1240
ESTACION 4	VIDEO	3120
ESTACION 4	ENSAMBLADO	11BO
ESTACION 3	VIDEO	3100
ESTACION 3	ENSAMBLADO	1120
ESTACION 2	VIDEO	3020
ESTACION 2	ENSAMBLADO	1090
ESTACION 1	VIDEO	3000
ESTACION 1	ENSAMBLADO	1000

CONSIDERACIONES PARA LA PROGRAMACION

Direccionamiento:

EPROM 0000 - 0FFF
 RAM 1000 - 17FF
 BUFFER..... 2000 - 23FF
 VIDEO 3000 - 33FF

Dispositivos de Entrada y Salida

VTAC XX00 - XX0F
 DIREC. DE ESTACIONES . XX10 - XX17
 INTERFACE DE CINTA XX20 - XX23
 INTERFACE DE DISCO ... XX30 - XX33

ASIGNAMIENTO DE PINES DE LA INTERFACE DE CINTA (U3)

A) Durante Escritura:

- Port A: byte de datos

7 6 5 4 3 2 1 0

- Port B: INT. -WAR -WRITE INT. (all
 SEL.D -WAR ENABLE -WDS -FWD -BWD -FWD SELECT outputs)
 TAPE

7 6 5 4 3 2 1 0

- Port C: READY X -E.O.T.-L.D.P. HAB. READ PARITY -READ PCL:Outputs
 NMI STROBE BIT SELECT PCH:Inputs

B) Durante Lectura:

- Port A: byte de datos

7 6 5 4 3 2 1 0

- Port B: INT. -WAR -WRITE INT. (all
 SELD -WAR ENABLE -WDS -FWD -BWD -FWD SELECT outputs)
 TAPE

7 6 5 4 3 2 0

- Port C: READY PARITY -E.O.T.-L.D.P. HAB READ X -READ PCL:Outputs
 BIT -E.O.T.-L.D.P. NMI STROBE SELECT PCH:Inputs

ASIGNAMIENTO DE PINES DE LA INTERFACE DE DISCO (U4)

- Port A: Direcciones de Tracks

	6	5	4	3	2	0	
- Port B:	HEAD SELECT	DISK SELECT	MSB TRACK ADD	SECT. 4	SECT. 3	SECT. 2	SECT. 0

	6	5	4	3	2	0		
- Port C:	-STROBE	-RD GATE	-WR GATE	X	X	X	-LAI -RSRW	PCL: Inputs PCH: Outputs

CAPITULO VIII

RESULTADOS EXPERIMENTALES

El presente sistema diseñado fue implementado a manera de prototipo en una tarjeta de propósitos generales, es decir, los integrados van soldados a la tarjeta pero las conexiones entre diferentes puntos se efectúa mediante cables. De esta forma se ha implementado todo lo que vendría a ser la Unidad de Control, en esta misma tarjeta se encuentran los conectores, el conector que sirve para acoplarse a la unidad de Cinta, el conector que sirve para acoplarse a la Unidad de Disco, el conector para el cable coaxial que lleva el video a todas las estaciones, el conector Canon para la opción de Comunicaciones y asimismo las conexiones para los diferentes voltajes.

Todos los conectores se encuentran unidos a una placa independiente a la placa de circuito impreso de la Unidad de Control, a esta placa se le denomina Placa de Conectores y su distribución se puede ver en la figura - N° 8.1.

Cuando se tuvieron montados todos los componentes - se grabó un programa de prueba en memoria EPROM, el cual hiciera un test de las principales partes del sistema, tales como la memoria Ram de trabajo, la memoria que sir

ve de Buffer para el Disco y para la Cinta, las Interfa-
ces Paralelas, el USART con el Modem y asimismo se probó
la memoria de video viendo los caracteres que aparecían
en pantalla. Un listado de este programa de prueba se
incluye al final. El Sistema logró pasar este programa
de prueba satisfactoriamente con lo cual se comprobó la
posibilidad de la implementación del presente trabajo.

Seguidamente se diseñó una pequeña tarjeta de Cir-
cuito Impreso (la cual por partes presenta uniones por
cable) que sirviera de Tarjeta de Estación, es decir, que
contuviera los registros que almacenan el dato del Te-
clado y la lógica de selección de video, tal como se ha
explicado en el capítulo correspondiente, esta tarjeta -
se muestra al final de este informe.

Teniendo esta tarjeta se procedió a hacer un program
a resumido, el cual tomará los datos que serían introduci
dos al teclado, los displayará en la pantalla y que se
efectuarán algunos comandos. El programa obtenido, el
cual ocupó solamente alrededor de 300 bytes fué diseñado
para tomar los datos del teclado mediante un polling de
60 veces por segundo, ubicar este dato en la pantalla en
la posición correspondiente del Cursor, incrementar el
Cursor, asimismo mediante una tecla específica se habilita
la transmisión a través del Modem cuyos tonos fueron
escuchados mediante un pequeño parlante conectado a la
salida del Amplificador de Audio; mediante otra tecla y
previamente conectada la Unidad de Cinta con su conector

respectivo a la Unidad de Control se habilita la señal Forward, la cual hace avanzar a la Cinta, con otra tecla se deshabilita la señal Forward y se provee un pulso a la señal Rewind, el cual setea el Flip-Flop Rewind de la Tarjeta de Control de Cinta, la Cinta es rebobinada hasta encontrar el inicio de cinta BOT punto en el cual se detiene, este proceso de encontrar el BOT y detenerse ya no está bajo el mando de la Unidad de Control sino únicamente de la Tarjeta de Control de Cinta.

La Tarjeta de Estación, asimismo, posee dos conectores, uno de ellos para ser conectado a la Unidad de Control y el otro para ser conectado al teclado.

A pesar de que se observó que el sistema tomaba el dato para presentarlo en pantalla no había correspondencia entre el dato tecleado y el que aparecía en pantalla; ésto se debe a que el programa elaborado no contempla la rutina de conversión, la cual mediante una tabla almacenada determina la correspondencia entre el código del teclado y el Código ASCII del Generador de Caracteres.

En la figura N° 8.3 se muestra un diagrama de la distribución de todos los componentes que conforman la tarjeta de la unidad de control. Esta tarjeta, en realidad está formada por 4 tarjetas, las cuales fueron diseñadas en forma hasta cierto punto independiente. La primera tarjeta es llamada de CPU, debido a que en ella se encuentra el Micro Procesador y las memorias respectivas, en esta misma tarjeta se encuentra ubicado el controla -

dor de Video. La segunda tarjeta es llamada tarjeta de Video y Lógica de Decodificación, en ella se encuentra la memoria de Video, el Generador de Caracteres, asimismo se encuentra la circuitería que genera la señal de Video Compuesto. En esta misma tarjeta se encuentra la lógica de Decodificación, la cual como se sabe está centrada en el circuito integrado 74155 mediante el cual el CPU selecciona cualquiera de los elementos. Asimismo, en esta tarjeta se encuentra la cadena de contadores, los cuales a partir del reloj maestro (aproximadamente 8MHz) generan la señal de 10 KHz, la cual sirve para hacer la transferencia con la unidad de cinta.

La tercera tarjeta es llamada tarjeta de Disco porque contiene toda la lógica que comanda la transferencia con la unidad de Disco. Toda la lógica de DMA se encuentra en esta tarjeta, asimismo, se encuentra el reloj de 2.5 MHz, el cual se deriva de un cristal de 10 MHz. También se encuentra en esta tarjeta la memoria RAM que sirve de Buffer para la transferencia con el disco y con la Cinta.

La cuarta tarjeta es llamada tarjeta de Comunicaciones por contener al USART y la lógica adicional que permite la transmisión y recepción de datos. Acá también se encuentra ubicado el circuito integrado MC-14412, el cual permite simular a un Modem de baja velocidad (en este caso se hizo la prueba de transmitir a la velocidad de 600 bits por segundo). Además se encuentra la circui

tería adicional que permite acoplarse a la línea telefónica, es decir, el amplificador de la portadora de transmisión, el transformador adaptador de impedancia, el amplificador de la portadora de recepción y demás lógica adicional.

Estas 4 tarjetas fueron finalmente unidas para formar una sola tarjeta, la cual es la llamada Tarjeta de la Unidad de Control.

La tarjeta de Unidad de Control conjuntamente con la Tarjeta de Conectores, la cual se muestra en la figura N° 8.1, fueron ensambladas en un soporte metálico formando un conjunto sólido.

Una vez que se tuvo armado todo el sistema, es decir, luego que se terminó de hacer todo el cableado de acuerdo al diseño experimental que se llevó a cabo en Bread-Boards, se procedió al diseño del Sistema Operativo, según las consideraciones vistas en el capítulo correspondiente al sistema Operativo. Sin embargo, se vió que era más conveniente empezar haciendo pequeños programas de prueba para demostrar el correcto funcionamiento de determinadas partes del sistema.

El primer programa que se grabó en memoria EPROM fué un programa de Diagnóstico. El listado de este programa se muestra en el apéndice, y la explicación de las funciones hechas por este programa se describen en el capítulo correspondiente al Sistema Operativo. Acá solamente diremos que este programa chequea la memoria RAM, las

interfaces paralelas 8255, la memoria de Video y el USART 8251. Este programa, fue diseñado para quedarse en loop, es decir, continuamente repitiendo la misma secuencia de chequeo; en caso de que el programa encontrara una falla en la memoria se detendría la operación.

Con ayuda de este programa y chequeando señales con un Osciloscopio se pudo comprobar el correcto funcionamiento del sistema. Este programa transmitía datos a través del USART 8251 al Modem y se pudo ver los tonos correspondientes al 1 y 0 lógicos.

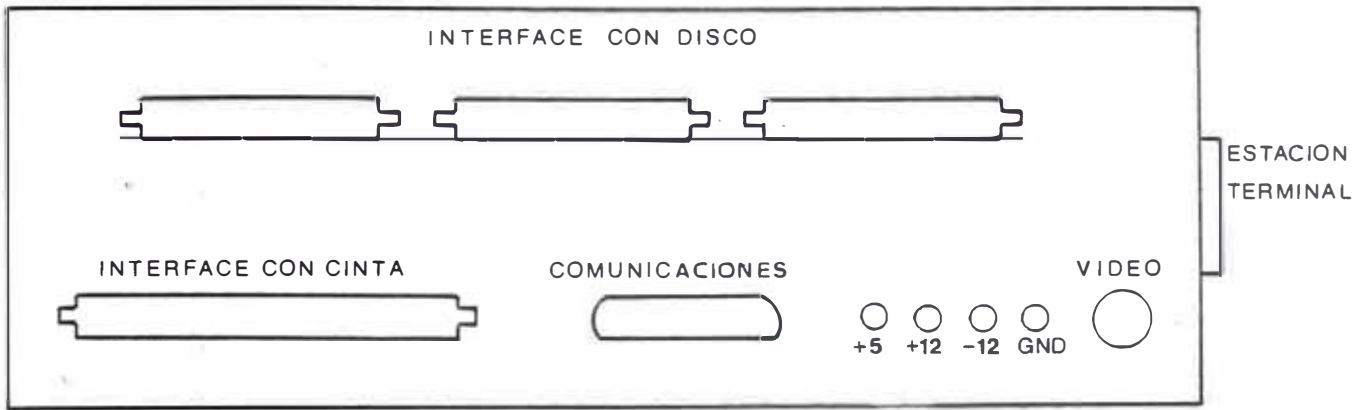
El segundo programa que se grabó contempla la toma del dato del teclado, su almacenamiento en la memoria RAM para posteriormente ser grabado en la memoria de Video, asimismo este programa habilita al USART para transmitir datos mediante la presión de una tecla específica del teclado, además mediante otra tecla se hace avanzar la cinta hacia adelante y mediante otra tecla se efectúa el rebobinado de la cinta. Este programa trabajó eficientemente con lo cual se pudo demostrar que se podía realizar todas las operaciones previstas.

El último programa que se ha grabado a la fecha permite probar la interacción con la unidad de Disco, el listado correspondiente a este programa se muestra en el apéndice y la explicación de todas las operaciones que realiza se encuentra en el capítulo correspondiente al Sistema Operativo. Este programa efectúa básicamente las mismas funciones que el segundo programa con la diferencia de que al apretar una determinada tecla se efec

túa una operación de escritura en la cinta, y mediante otra tecla se habilita la escritura de un registro en el Disco, estas dos operaciones se realizan en forma repetitiva, permitiendo así el chequeo de las señales involucradas mediante un Osciloscopio.

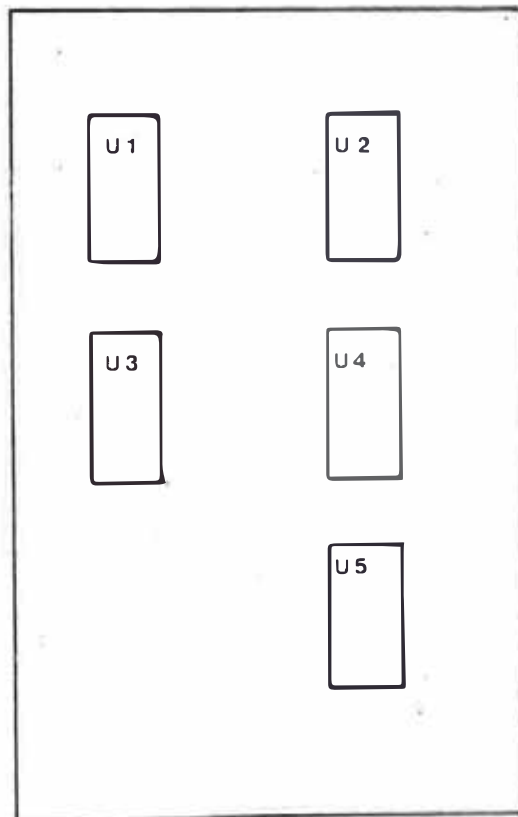
UBICACION DE CONECTORES EN LA TARJETA

FIG 8.1



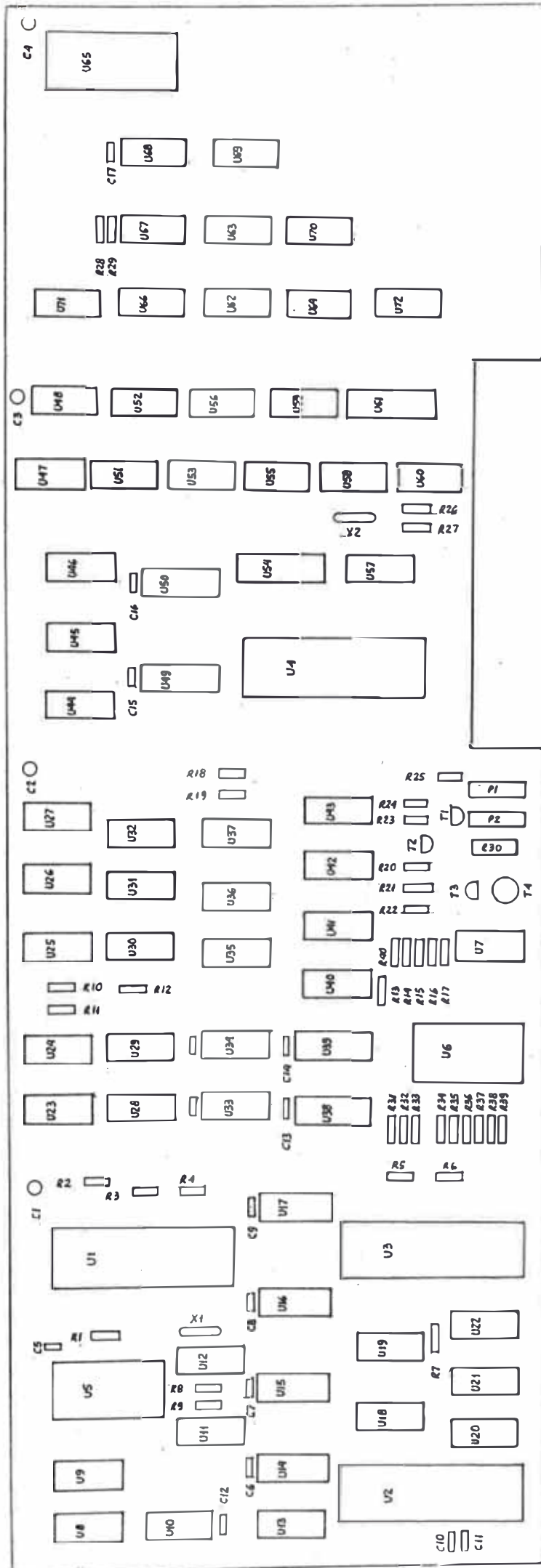
DISTRIBUCION DE COMPONENTES EN LA TARJETA DE ESTACION

FIG 8.2



DISTRIBUCION DE COMPONENTES EN LA TARJETA

FIG 8.3



RELACION DE LOS COMPONENTES UTILIZADOS

A) CIRCUITOS INTEGRADOS:

- U1 Z-80 A, CPU
- U2 VTAC 5027
- U3 8255 PPI
- U4 8255 PPI
- U5 2732-A EPROM
- U6 MM-5240 GENERADOR DE CARACTERES
- U7 74165 SHIFT REGISTER
- U8 7402 COMPUERTA NOR
- U9 7404 INVERSOR
- U10 74SO' COMPUERTA AND
- U11 7493A CONTADOR BINARIO 4 BITS
- U12 74LS00 COMPUERTA NAND
- U13 74SOO COMPUERTA NAND
- U14 2114 MEMORIA RAM 1K x 4 BITS
- U15 2114 MEMORIA RAM 1K x 4 BITS
- U16 2114 MEMORIA RAM 1K x 4 BITS
- U17 2114 MEMORIA RAM 1K x 4 BITS
- U18 74157 CUADRUPLE MUX DE DOS CANALES
- U19 74157 CUADRUPLE MUX DE DOS CANALES
- U20 74157 CUADRUPLE MUX DE DOS CANALES
- U21 74LS367 HEX BUFFER THREE-STATE
- U22 74LS193 CONTADOR PROGRAMABLE
- U23 74153 DOBLE MUX DE CUATRO CANALES
- U24 7402 COMPUERTA NOR
- U25 7493A CONTADOR BINARIO DE CUATRO BITS
- U26 7493A CONTADOR BINARIO DE CUATRO BITS
- U27 7402 COMPUERTA NOR
- U28 74173 CUADRUPLE FLIP-FLOP THREE-STATE
- U29 74173 CUADRUPLE FLIP-FLOP THREE-STATE
- U30 74193 CONTADOR PROGRAMABLE
- U31 74LS193 CONTADOR PROGRAMABLE
- U32 74157 CUADRUPLE MUX DE DOS CANALES
- U33 74LS367 HEX BUFFER THREE-STATE
- U34 74 LS367 HEX BUFFER THREE-STATE

- U35 7400 COMPUERTA NAND
- U36 7473 DOBLE FLIP-FLOP JK
- U37 74155 DOBLE DECODER DE DOS A CUATRO LINEAS
- U38 2114 MEMORIA RAM 1K x 4 BITS
- U39 2114 MEMORIA RAM 1K x 4 BITS
- U40 7407 HEX BUFFER COLECTOR ABIERTO
- U41 74193 CONTADOR PROGRAMABLE
- U42 74193 CONTADOR PROGRAMABLE
- U43 74193 CONTADOR PROGRAMABLE
- U44 74157 CUADRUPLE MUX DE DOS CANALES
- U45 74157 CUADRUPLE MUX DE DOS CANALES
- U46 74157 CUADRUPLE MUX DE DOS CANALES
- U47 7473 DOBLE FLIP-FLOP JK
- U48 74165 SHIFT REGISTER
- U49 2114 MEMORIA RAM 1K x 4 BITS
- U50 2114 MEMORIA RAM 1K x 4 BITS
- U51 74S08 COMPUERTA AND
- U52 74164 SHIFT REGISTER
- U53 74S00 COMPUERTA NAND
- U54 74LS244 OCTAL BUFFER THREE-STATE
- U55 74LS02 COMPUERTA NOR
- U56 7473 DOBLE FLIP-FLOP JK
- U57 93L24 COMPARADOR DE 5 BITS
- U58 7493 CONTADOR BINARIO 4 BITS
- U59 7408 COMPUERTA AND
- U60 74S00 COMPUERTA NAND
- U61 74LS245 OCTAL BUFFER BIDIREC. THREE-STATE
- U62 74S08 COMPUERTA AND
- U63 7404 HEX INVERSOR
- U64 7402 COMPUERTA NOR
- U65 8251A USART
- U66 7493A CONTADOR BINARIO DE CUATRO BITS
- U67 7473 DOBLE FLIP-FLOP JK
- U68 MC-14412 MODEM UNIVERSAL DE BAJA VELOCIDAD
- U69 LM-388 AMPLIFICADOR DE AUDIO
- U70 7402 COMPUERTA NOR
- U71 7427 TRIPLE NOR DE TRES ENTRADAS
- U72 7402 COMPUERTA NOR

B) RESISTENCIAS:

- R1 2.7 K, 1/2W
- R2 470 Ohm, 1/4W
- R3 10K Ohm, 1/4W
- R4 1.6 K Ohm, 1/4W
- R5 1.0 K Ohm, 1/4W
- R6 5.1 K Ohm, 1/4W
- R7 3.3 K Ohm, 1/2W
- R8 330 Ohm, 1/4W
- R9 330 Ohm, 1/4W
- R10 3.3 K Ohm, 1/4W
- R11 6.8 K Ohm, 1/4W
- R12 3.3 K Ohm, 1/2W
- R13 6.8 K Ohm, 1/4W
- R14 6.8 K Ohm, 1/4W
- R15 6.8 K Ohm, 1/4W
- R16 6.8 K Ohm, 1/4W
- R17 6.8 K Ohm, 1/4W
- R18 5.1 K Ohm, 1/2W
- R19 5.1 K Ohm, 1/2W
- R20 1.0 K Ohm, 1/4W
- R21 47 Ohm, 1/2W
- R22 470 Ohm, 1/4W
- R23 220 Ohm, 1/4W
- R24 1.0 K Ohm, 1/4W
- R25 470 Ohm, 1/4W
- R26 470 Ohm, 1/4W
- R27 470 Ohm, 1/4W
- R28 5.1 KOhm, 1/2W
- R29 5.1 KOhm, 1/2W
- R30 82 Ohm, 1W

C) CONDENSADORES:

- C1 4.7 uF, 16V
- C2 4.7 uF, 16V
- C3 4.7 uF, 25V
- C4 4.7 uF, 25V
- C5 0.1 uF, 10V
- C6 0.1 uF, 15V
- C7 0.1 uF, 15V
- C8 0.1 uF, 15V
- C9 0.1 uF, 15V
- C10 4.7 uF, 25V
- C11 0.02 uF, 15V
- C12 10 nF, 15V
- C13 10 nF, 15V
- C14 10 nF, 15V
- C15 10 nF, 15V
- C16 10 nF, 15V
- C17 0.1 uF, 15V

D) TRANSISTORES:

- T1 2N-3646
- T2 2N-3646
- T3 2N-3646
- T4

E) CRISTALES:

- X1 7.98336 MHz
- X2 10.0000 MHz

F) POTENCIOMETROS:

- P1 5.0 K Ohm, 1/4 W
- P2 100 Ohm, 1/4 W

CONCLUSIONES

Finalmente, quisiera hacer un resumen de todos los pasos seguidos durante el desarrollo de este trabajo, re saltando los puntos más importantes con sus respectivas conclusiones. De este modo, todas las personas interesadas en este tema encontrarán en estas líneas una pequeña guía para sus futuros proyectos.

El desarrollo del hardware se empezó haciendo en los conocidos Bread-Boards, donde se instaló un microprocesa dor Z80, memoria RAM y un periférico programable PPI 8255. Fue en este pequeño sistema de microprocesador que se realizaro todas las pruebas experimentales. Primeramen te, se probó la interacción del Z80 con la memoria 214, la cual mostró ser muy confiable y por lo tanto, se le usó exhaustivamente a lo largo del diseño.

Posteriormente, se probó la interacción del Z80 con el controlador de video VTAC 5027. En esta parte se tu vo problemas debido al funcionamiento un poco crítico del 5027 y a la poca información disponible. La conclusión a la que se llegó fue que el 5027 no acepta niveles ló gicos demasiado bajos, por lo cual es necesario que en todas sus señales de entrada se intercalen drivers. Sal vada esta dificultad se procedió a experimentar la inter acción del Z80 con los PPI. Estos son unos circuitos in

tegrados muy buenos y confiables y su programación es muy sencilla.

Comparando el PPI con el Z80 PIO se puede afirmar - que el PPI es más versátil y fácil de programar, aunque hay que reconocer que el Z80 PIO es más poderoso con respecto a las interrupciones.

El PPI 8255 es usado tanto en la interface de disco como en la de Cinta en su modo o de operación. Para esto se hicieron pruebas con varios programas, los que simulaban el comportamiento que debían tener los PPI cuando interactuaran con el disco y la cinta.

Se vió que la interacción con la cinta era básicamente un problema de programación, por lo que se pasó a desarrollar la interface con el disco. El primer problema y el más importante que se encontró al diseñar la interface de disco fue la alta velocidad de transferencia de la unidad de disco, se concluyó así que era necesario usar una lógica de acceso directo a memoria. Con este criterio en mente y con algunas consideraciones respecto al formato de grabación y al disco mismo se llegó al circuito que se ha explicado en el capítulo correspondiente.

La interacción con las estaciones terminales fue una parte muy sencilla, simplemente se dedujo que si se lograba hacer una buena interacción entre el Z80 y un par de registros three-state, la toma del dato desde el teclado no iba a ser ningún problema.

Posteriormente, se comenzó a hacer pruebas con el video, para esto se dispuso en el Bred-Board un generador de Caracteres con una memoria de 1K bytes que sería la memoria de video. Se hicieron pruebas usando el monitor Inforex, el cual trabajó eficientemente. Una observación importante es que el oscilador vertical del Monitor Inforex presenta una frecuencia natural de 120 Hz y, sin embargo, no se tuvo ningún problema al enviarle la señal de 60 Hz con que trabaja el sistema diseñado.

Conforme el tamaño del sistema aumentaba, el direccionamiento de los diferentes dispositivos se complicaba por lo que se pensó centralizar éste en un circuito decodificador llegándose al circuito explicado en el capítulo correspondiente y que dió buenos resultados.

Con todos estos resultados y pruebas previas se pensó en implementar todo el sistema en una tarjeta. Se vió que el circuito final iba a ser bastante complejo, por lo que se decidió usar tarjetas de circuito impreso de propósitos generales. El cableado se efectuó por el lado de los componentes para fácilmente visualizar las diferentes interconexiones. A pesar que se usó un cable calibre 30 AWG la gran cantidad de conexiones hizo la labor del cableado bastante completa, felizmente no se encontró muchos problemas de ruido a pesar de lo poco organizado que fue el cableado.

A todo este conjunto se le pensó agregar una opción de comunicaciones, por lo cual se hizo pruebas del Z80 tra

bajando con el USART 8251A. Mediante la ejecución de una serie de programas se llegó a comprender su forma de trabajo. Aunque el 8251 por si mismo forma un sistema de comunicaciones, se pensó en implementar un circuito que simulará a un Modem con el cual interactuará el 8251. Este circuito consta básicamente de un Modulador-Demodulador F.S.K. La señal sinusoidal que genera es sintetizada digitalmente no con mucha resolución, por lo que se tuvo que acondicionar esta señal. Debido a que este Modem FSK trabaja como máximo a una velocidad de 600 bits por segundo, esta frecuencia fue usada para el reloj de transmisión y recepción del 8251 partiendo de una señal de 2 MHz.

Posteriormente, en una tarjeta de circuito impreso adicional se montó todos los conectores que iban a ser usados por el sistema, tanto esta tarjeta como la tarjeta anterior que conforma la Unidad de Control, fueron montadas alrededor de un marco metálico con lo que se consiguió darle solidez a todo el conjunto, facilidad de transporte y además se protegió todo el cableado.

Una vez que se tuvo todo el Hardware implementado se procedió a desarrollar la programación. Primeramente, se hizo el Programa de Diagnóstico para verificar el correcto funcionamiento de todas las partes del sistema. En esta parte se usó bastante el Osciloscopio para observar niveles y señales de diferentes partes del circuito mientras el procesador ejecuta el programa. Algunas veces

el programa se detuvo indicando una falla en la memoria 2114 pero este problema se salvó cambiando algunas de ellas.

Los programas de prueba N°1 y N°2 son ya un acercamiento al Sistema Operativo. La grabación de estos programas en la memoria EPROM 2732-A se hizo más compleja debido a la mayor cantidad de instrucciones.

La verificación del correcto funcionamiento de estos programas se efectúa en forma rápida, simplemente digitando las teclas correspondientes y observando los efectos que produce en el monitor.

En el programa de prueba N°2, al efectuar las rutinas de escritura en cinta y en disco se usó el osciloscopio para chequear las señales, pudiéndose así comprobar que el sistema diseñado era capaz de interactuar con estos periféricos.

Tanto el programa de prueba N°1 como el N°2 realizan una transmisión a través del 8251, estos bytes transmitidos fueron alimentados al Modem MC-14412, pudiéndose así comprobar la generación de los tonos correspondientes al uno y al cero lógico.

Es importante aclarar que en los programas de prueba N°1 y N°2 solamente se trabajó con una estación, pero el trabajo con otras estaciones puede ser fácilmente hecho con pequeños cambios en Hardware y Software.

El Sistema Operativo descrito en el capítulo correspondiente y cuyo listado se encuentra en el Apéndice es

el resultado de un cuidadoso estudio con el fin de darle al sistema la versatilidad y operatividad necesarias para competir con los equipos de Entrada de Datos ya existentes. Al principio se tuvo bastantes problemas en escribir este Sistema Operativo debido a su complejidad, el hecho de que todas las operaciones se lleven a cabo simultáneamente desde el punto de vista del usuario hizo difícil su diseño, pero finalmente se llegó a un modelo fundamental que debe trabajar correctamente. Hay que aclarar en este punto que todo el Sistema Operativo no ha sido probado.

A pesar de los varios programas que se han escrito, el presente sistema queda abierto para ser desarrollado en cuanto a Software, sobre todo el Sistema Operativo es susceptible de ser adicionado o modificado. Específicamente, los Comandos Especiales son importantes programas que pueden ser agregados al Sistema Operativo descrito para darle a este diversas opciones.

En este informe no se ha incluido ningún listado de los Comandos Especiales debido a que esto está ya fuera del propósito de este trabajo, pero si se da una explicación de algunos de los Comandos Especiales, los cuales han sido considerados los más importantes.

En cuanto a la opción de comunicaciones quisiera agregar que para trabajar con un Modem externo es necesario hacer modificaciones en el programa de transmisión, ya que es necesario usar algunas señales del 8251 para -

controlar el Modem. Este Modem externo permite mayor velocidad y compatibilidad con otros sistemas, pero requiere el uso de señales RS-232 (+12V á -12V) entre el 8251 USART y el Modem. Lamentablemente no se hizo la prueba de comunicación con un computador remotor, debido a que esta prueba se hizo solamente con el Modem de baja velocidad MC-14412 (600 bits por segundo), y no se dispuso de ningún computador con el cual se pudiera establecer la comunicación.

A lo largo del desarrollo del Hardware y Software del sistema se ha llegado a alcanzar gran parte de los objetivos propuestos y como ya se ha dicho, el resto de los objetivos pueden ser fácilmente alcanzados mediante la programación y quizás pequeñas modificaciones en el Hardware.

En conclusión, el sistema diseñado puede, efectiva y realmente, reemplazar a un sistema de Entrada de Datos ya existente con no menos ventajas en cuanto a Hardware y Software.

BIBLIOGRAFIA

The Z-80 Microcomputer Handbook

William Barden

Manual del Sistema 1300 de Inforex

Inforex Inc.

Interconexión de Periféricos a Microprocesadores

Colección Mundo Electrónico

Teleinformática y Redes de Computadoras

Colección Mundo Electrónico

The TTL Data Book

Texas Instruments Inc.

Diseño con Periféricos de Intel

Intel Inc.
