

*UNIVERSIDAD NACIONAL DE INGENIERIA*  
*FACULTAD DE INGENIERIA ELECTRICA Y ELECTRONICA*



**Diseño de un Analizador  
Lógico de 16 Canales Basado  
en un Microprocesador**

**TESIS**

Para optar el Grado de Maestro en Ciencias

Mención : INGENIERIA ELECTRONICA

**Presentada por :**

**AURELIO FEDERICO MORALES VILLANUEVA**

**LIMA - PERU**

**1991**

**TABLA DE CONTENIDOS**

PROLOGO	1
CAPITULO I. ARQUITECTURA GENERAL DEL SISTEMA	3
1.1 TIPOS DE ANALIZADORES LOGICOS	4
1.1.1 EL ANALIZADOR LOGICO DE TIEMPOS	4
1.1.2 EL ANALIZADOR LOGICO DE ESTADOS	5
1.1.3 DIFERENCIAS ENTRE LOS ANALIZADORES LOGICOS	5
1.2 FUNCIONES BASICAS DEL ANALIZADOR LOGICO	6
1.2.1 ADQUISICION DE DATOS	7
1.2.2 FUNCION DE ARRANQUE	9
1.2.3 FUNCION DE DISPARO	9
1.2.4 VISUALIZACION	10
1.3 ARQUITECTURA GENERAL DEL SISTEMA	11
1.3.1 LA UNIDAD DE PROCESAMIENTO	13
1.3.2 LA UNIDAD DE ADQUISICION	15
1.3.3 LA UNIDAD DE VISUALIZACION	19
CAPITULO II. DISEÑO DEL ANALIZADOR LOGICO	24
2.1 CONSIDERACIONES PARA EL DISEÑO DEL ANALIZADOR LOGICO	24
2.2 DISEÑO DEL ANALIZADOR LOGICO	26
2.2.1 DISEÑO DE LA UNIDAD DE PROCESAMIENTO	26
2.2.1.1 BREVE DESCRIPCION DEL MODULO MICRO-PROFESSOR MPF-I	26
2.2.1.2 CONSIDERACIONES DE TEMPORIZACION PARA EL DISEÑO DE LA UNIDAD DE PROCESAMIENTO	36

## VII

2.2.2	DISEÑO DE LA UNIDAD DE ADQUISICION	38
2.2.2.1	CONSIDERACIONES DE TEMPORIZACION PARA EL DISEÑO DE LA UNIDAD DE ADQUISICION	53
2.2.3	DISEÑO DE LA UNIDAD DE VISUALIZACION	57
2.2.3.1	CONSIDERACIONES DE TEMPORIZACION PARA EL DISEÑO DE LA UNIDAD DE VISUALIZACION	69
2.3	PROGRAMACION DE LOS PERIFERICOS	73
CAPITULO III. DISEÑO DEL SOFTWARE DEL SISTEMA		77
3.1	CONSIDERACIONES EN EL DISEÑO DEL SOFTWARE DEL SISTEMA	77
3.2	DISEÑO DEL SOFTWARE DEL SISTEMA	78
3.2.1	COMANDOS DEL ANALIZADOR LOGICO	78
3.2.2	RELACION ENTRE EL HARDWARE Y EL SOFTWARE EN EL ANALIZADOR LOGICO	83
3.2.3	DIAGRAMAS DE FLUJO DEL SOFTWARE DEL SISTEMA	84
CONCLUSIONES		103
BIBLIOGRAFIA		109
APENDICES		
A.- LISTADO DEL SOFTWARE DEL SISTEMA		
B.- CONVERTIDOR D/A		
C.- MATRIZ DE CARACTERES EN EPROM		
D.- ESPECIFICACIONES TECNICAS DEL Z-80 CPU		
E.- ESPECIFICACIONES TECNICAS DEL Z-80 PIO		
F.- ESPECIFICACIONES TECNICAS DEL Z-80 DMA		
G.- ESPECIFICACIONES TECNICAS DE MEMORIA 2732		
H.- ESPECIFICACIONES TECNICAS DE MEMORIA 6116		
I.- ESPECIFICACIONES TECNICAS DEL 8255		

## P R O L O G O

El presente trabajo se origina en la necesidad de disponer de un equipo que sirva de soporte para el desarrollo de sistemas de hardware y/o software basados en microprocesadores.

El objetivo de la tesis es el diseño de un sistema basado en microprocesador que cumpla las funciones de Analizador Lógico de Tiempos, y que sirva para el diseño y análisis de sistemas digitales y/o sistemas digitales basados en microprocesadores.

El objetivo que se ha trazado, es el de diseñar un sistema que tenga las mejores características para el usuario, y que otorgue algunas facilidades para que puedan ser aprovechadas en la implementación de aplicaciones de sistemas digitales.

Los analizadores lógicos son instrumentos destinados al análisis de circuitos digitales complejos y, en particular, aquellos con estructura de bus en los que la utilización del osciloscopio no es suficiente, debido al número de señales a observar simultáneamente.

La idea central en el funcionamiento de un analizador lógico es sencilla: a partir de un instante de tiempo, determinado por la ocurrencia de un evento definido, adquirir y almacenar las señales lógicas presentes simultáneamente en un número de canales durante cierto tiempo, y presentar estas señales en una pantalla de rayos catódicos, en un formato que facilite su interpretación por el usuario.

El sistema a diseñar puede servir como herramienta para el aprendizaje y entrenamiento en el diseño de sistemas digitales y/o sistemas digitales basados en microprocesadores, y ser usado en universidades e institutos tecnológicos dedicados a la enseñanza de electrónica digital.

El sistema a diseñar puede servir también para el diseño, desarrollo, mantenimiento, etc, de sistemas de hardware basados en microprocesadores, que son de amplia aplicación en diferentes áreas de la industria.

En lo que respecta a la formulación del problema, se definen los conceptos fundamentales y se plantean los criterios y pautas para el diseño del analizador lógico, tanto del hardware como del software.

En la etapa de diseño, se desarrollan las unidades de Procesamiento, Adquisición y Visualización, así como el software del sistema, respetando los parámetros establecidos en la etapa anterior.

Como resultado del diseño del Analizador Lógico se incluyen los diagramas circuitales y el listado del programa fuente del software del sistema.

Agradezco sobremanera a todas las personas e instituciones, que de una u otra forma colaboraron en la realización de la presente tesis: a la Oficina de Cómputo de Profesores FIEE-UNI, al Laboratorio de Electrónica FIEE-UNI, a la Asociación de Docentes de la UNI, al Ing. Alberto Briceño, y muy especialmente al Ing. M. Sc. Jorge Soto Hoyos por su asesoramiento en la presente tesis.

## C A P I T U L O    I

### ARQUITECTURA GENERAL DEL SISTEMA

En este capítulo se presentan los principios de los analizadores lógicos , sus funciones básicas, ventajas y desventajas, para luego proceder con el diseño de la arquitectura general del sistema a nivel de bloques funcionales, definiéndose las funciones y características del mismo.

El creciente uso y complejidad de los circuitos digitales crea la necesidad de equipos de prueba para detectar y localizar las fallas. En el pasado, el usuario sólo disponía del osciloscopio como instrumento de medida para localizar las averías. Pero, conforme la complejidad de los circuitos digitales se ha ido orientando progresivamente hacia diseños complejos con estructura de buses, el osciloscopio dejaba de ser el instrumento de medida más adecuado.

Limitaciones como el reducido número de canales de medición, detección de eventos no repetitivos e imposibilidad de disparo a partir de la ocurrencia de un evento, fueron superadas con la aparición de los analizadores lógicos de tiempos. En este tipo de analizador, se muestran las señales digitales bajo estudio en función del tiempo en un tubo de rayos catódicos.

Sin embargo, para sistemas con estructura de buses, se tiene más interés en los datos o palabras en función del tiempo o de una secuencia, en lugar de representar la

tensión de ellos en función del tiempo. Para ello, el instrumento debe tener la capacidad de comprobar, por ejemplo, el desarrollo de un programa ejecutado por un procesador. Este tipo de instrumento es el analizador lógico de estados.

### 1.1 TIPOS DE ANALIZADORES LOGICOS - Hay dos tipos de analizadores lógicos:

- a) Analizadores Lógicos de Tiempos.
- b) Analizadores Lógicos de Estados.

1.1.1 EL ANALIZADOR LOGICO DE TIEMPOS. - Este tipo de analizador utiliza un reloj interno controlado por cristal que permite capturar a intervalos conocidos los niveles de tensión en que se encuentran las señales del sistema bajo estudio. En cada impulso de reloj los datos son muestreados y transferidos a una memoria como "unos" o "ceros", dependiendo de si la tensión de entrada es superior o inferior a una tensión umbral. De esta manera, una réplica de los datos en función del tiempo se almacena en memoria para presentarla posteriormente.

Debido a que el reloj interno es asíncrono respecto a los datos de entrada, puede usarse un muestreo mucho más rápido que el reloj del sistema bajo prueba. Cuanto mayor sea el número de muestras por unidad de tiempo que se tomen, más exacta puede ser la representación de los datos. Obviamente, cuanto mayor número de muestras se toman, mayor capacidad de memoria se necesita para

proporcionar una mejor visualización de los acontecimientos de interés.

1.1.2 EL ANALIZADOR LOGICO DE ESTADOS.- Este tipo de analizador trabaja en modo síncrono. Los datos son leídos en la misma forma en que los ve el sistema bajo prueba. Esto significa que el analizador lógico de estados toma los datos utilizando el mismo reloj que el del sistema bajo estudio.

Los últimos analizadores lógicos de estados utilizan diseños que incorporan microprocesadores en sus circuitos. Como consecuencia de esto, se ha producido una mayor facilidad de uso, permitiendo realizar mediciones complejas de una forma rápida y sencilla por medio de un teclado y un display.

1.1.3 DIFERENCIAS ENTRE LOS ANALIZADORES LOGICOS.- Cada tipo de analizador lógico tiene sus ventajas y sus limitaciones, dependiendo de la aplicación.

Un analizador lógico de tiempos es más adecuado para medición de parámetros como, comprobación de retardos de tiempo, duración de eventos, etc. Un analizador lógico de estados es más adecuado para hacer una prueba de verificación de la secuencia de salida de una lógica digital como un contador, o para comprobar la secuencia de un programa de un microprocesador. La secuencia de salida de un contador puede ser presentada tanto por un

analizador lógico de estados como por un analizador lógico de tiempos.

El analizador lógico de tiempos dará una presentación similar a la de una pantalla de osciloscopio, suponiendo que el osciloscopio pudiera manejar varios canales simultáneamente.

Cuando se trata de analizar por qué se produjo un error en el sistema bajo estudio, resulta más conveniente mostrar las señales digitales en función del tiempo. Aquí es donde tanto los osciloscopios como los analizadores lógicos de tiempos tienen ventaja sobre los analizadores lógicos de estados. Cuando se descubre un error de este tipo, se debe averiguar cómo se produjo, sea por culpa de una perturbación, defecto, etc. Un analizador lógico de tiempos permite al usuario magnificar el área alrededor de la falla y ver las transiciones de nivel deseadas.

1.2 FUNCIONES BASICAS DEL ANALIZADOR LOGICO El analizador lógico a diseñar será un analizador lógico de tiempos, con lo que la presentación de los resultados producto del muestreo de las señales digitales será en la forma de tensión en función del tiempo.

Las funciones básicas de todo Analizador Lógico son las siguientes

- Adquisición de Datos.
- Función de Arranque.
- Función de Disparo.
- Visualización.

1.2.1 ADQUISICION DE DATOS.- Desde que el analizador lógico a diseñar es de tiempos, el reloj de éste es completamente independiente de aquel del sistema bajo prueba y corre asincrónicamente. Este reloj producido por el analizador lógico no tiene ninguna relación de como se presentan los datos en el sistema bajo estudio.

Nosotros podemos tomar el reloj del sistema a probar (no necesariamente éste, sino una señal derivada como una línea de control de lectura/escritura, selección de chip, etc) como reloj del analizador lógico y muestrear los datos en forma síncrona. Pero ésto no siempre satisface los requerimientos en las mediciones. Frecuentemente se presenta algún conflicto, como cortas e inesperadas señales conocidas como glitches y spikes que pueden ocasionar un anormal funcionamiento del sistema. Además, no todos los datos son capturados en forma síncrona ya que éstos pueden variar entre 2 pulsos de reloj consecutivos. La solución a ésto, es escoger un reloj más veloz que la frecuencia de variación de los datos del sistema bajo prueba.

La toma de datos se puede realizar en 2 formas:

- Modo de Muestreo.
- Modo de Captura o Latch.

En el Modo de Muestreo los datos son obtenidos en las transiciones (flancos) del reloj del analizador lógico (sea reloj

síncrono o asíncrono). En este modo no es posible capturar transiciones de los datos entre 2 pulsos de reloj del analizador lógico.

En el Modo de Captura o Latch sí es posible capturar las transiciones de los datos entre dos pulsos de reloj del analizador lógico.

Para el Analizador Lógico a diseñar, se escogerá el Modo de Muestreo, y para este caso se escogerá el flanco de subida del reloj que genere el analizador, como el flanco en el cual se capturarán los datos.

El dato a ser capturado deberá estar presente por un tiempo (llamado Set-Up Time) antes de la aparición del flanco activo del reloj del analizador, para asegurar que los datos a almacenar en la memoria del analizador estén completamente estables cuando aparezca el flanco.

El tiempo de mantenimiento (Hold Time) es otro parámetro importante a tenerse en consideración para el almacenamiento de los datos en memoria. Los datos a almacenar deberán permanecer estables por un tiempo corto después de la aparición del flanco activo del reloj del analizador, para asegurar un correcto muestreo de los datos.

Antes de transferir los datos del sistema bajo prueba hacia la memoria del analizador lógico, nosotros debemos escoger el rango apropiado de los niveles de las señales de entrada, dado por el Nivel de Umbral (Threshold). El Nivel de Umbral está determinado por la familia lógica del sistema bajo estudio ( TTL, ECL, CMOS, etc ).

El Analizador Lógico a diseñar tendrá capacidad sólo de analizar señales de niveles lógicos que correspondan a la familia TTL. Si se desea analizar señales digitales de otros niveles lógicos, será necesario diseñar una etapa de acondicionamiento de niveles lógicos, para un correcto funcionamiento.

1.2.2 FUNCION DE ARRANQUE.- La función de Arranque será usada para dar inicio al muestreo de las señales digitales. Para el Analizador Lógico a diseñar, se considerarán las siguientes formas para dar inicio a la adquisición de los datos:

a) Manual.- Por medio de la cual el usuario hará variar el nivel lógico de una señal de entrada para dar inicio al muestreo de los datos.

b) Externa.- El muestreo de los datos podrá ser iniciado en la ocurrencia de un evento, que para este caso se podrá elegir entre la ocurrencia de un flanco de bajada o de subida de alguna señal del sistema bajo prueba.

1.2.3 FUNCION DE DISPARO.- Mientras que el muestreo de las señales digitales no sea detenido, el flujo de datos que ingresa a la memoria del analizador lógico continuará y no se mostrará aún el resultado de la adquisición en la pantalla del analizador.

La adquisición de datos es detenida con la ayuda de la Función de Disparo. Esta función nos permite capturar bloques de datos en los que el usuario tiene interés. La

función de disparo puede ser realizada en las siguientes formas:

a) Disparo Manual.- El usuario hace variar el nivel lógico de una señal de entrada para detener futuras adquisiciones de datos.

b) Disparo Interno.- Es realizado con la ayuda de un detector de palabra de disparo (Trigger-Word Recognizer). Aquí el usuario selecciona la palabra de disparo para detener el flujo de datos tan pronto como la última palabra muestreada coincide con la palabra seleccionada.

c) Disparo Externo.- El disparo es realizado externamente a través de una entrada que acepta una señal eléctrica de una fuente como lo es una línea de interrupción o una línea de control específica del sistema bajo prueba.

La función de disparo para el Analizador Lógico a diseñar no se tomará en cuenta, siendo fijo el número de muestras a adquirir.

1.2.4 VISUALIZACION - La función de Visualización permitirá mostrar los datos, capturados y almacenados en la memoria del analizador lógico, al usuario para su interpretación, en una pantalla de rayos catódicos.

Las formas de presentación de la información incluyen una representación binaria, octal o hexadecimal. Otra forma de presentación sería decodificar las palabras de la memoria del analizador en mnemónicos que representarán instrucciones de algún microprocesador.

En la forma de presentación Temporal, la pantalla mostrará las formas de onda de las señales muestreadas de manera similar a como lo muestra un osciloscopio. Una parte de lo que se visualiza ( un cursor "Bloque" ) es intensificada y puede ser desplazada a lo largo de la pantalla con la ayuda de un control de cursor. Asimismo, se podrá magnificar la información encerrada por este cursor "bloque" para una mejor visualización. Otra forma de presentación de los resultados es el Modo del Mapa. Este modo nos presenta en forma gráfica como los datos han sido capturados. Este modo de presentación es frecuentemente usado en mediciones en el dominio de datos. Para ésto, cada palabra de datos leída, es convertida en un punto en la pantalla del analizador lógico, teniéndose una coordenada X-Y única para esta palabra.

Para el Analizador Lógico a diseñar, se tomará como función de Visualización el Modo de Presentación Temporal.

1.3 ARQUITECTURA GENERAL DEL SISTEMA - En la figura 1 se muestra el diagrama de bloques del Analizador Lógico a ser diseñado. De acuerdo a este diagrama, el analizador lógico estará constituido por 3 unidades fundamentales, que son:

- A) La Unidad de Procesamiento.
- B) La Unidad de Adquisición.
- C) La Unidad de Visualización.

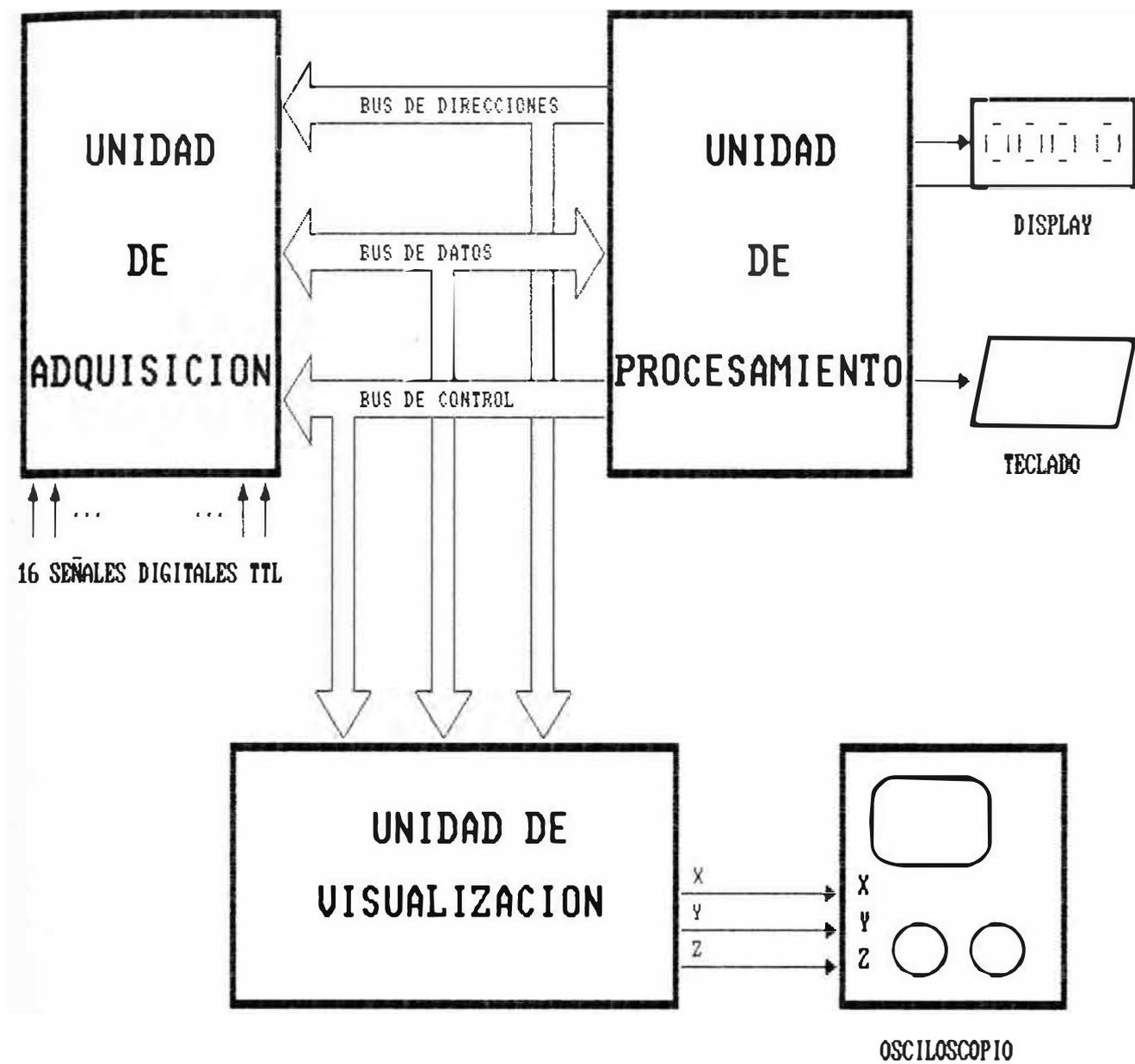


FIG. 1.- DIAGRAMA DE BLOQUES DEL ANALIZADOR LOGICO.

1.3.1 LA UNIDAD DE PROCESAMIENTO. - Esta unidad se encarga de controlar al sistema, y se implementa en base al microprocesador Z-80, el cual tiene como función establecer los controles adecuados para permitir el muestreo de las 16 señales digitales por parte de la Unidad de Adquisición, para luego dar los controles a la Unidad de Visualización para la presentación de los resultados obtenidos. Además, esta unidad tiene la capacidad de procesar la información que se ingresa por un teclado, y que la constituyen datos o comandos, para establecer en función de éstos una acción a tomar, que se traduce en la modificación del patrón de presentación del display considerado. El control del sistema está dado por la ejecución de programas fijos que residen en memoria del tipo EPROM.

En la figura 2 se muestra la arquitectura de esta unidad. Se aprecia al Z-80 como procesador central, el cual trabajará con una frecuencia de reloj de 4 MHz que es proporcionada por un circuito de reloj. A través del Bus de Direcciones se seleccionan los dispositivos como memoria o periférico de entrada y salida. La selección de cada uno de estos dispositivos es complementada con el uso de decodificadores para las memorias y el periférico de entrada y salida.

La Unidad de Procesamiento se basa en la arquitectura del módulo microcomputador Micro-Professor MPF-I de Multitech Industrial Corp.

La Memoria EPROM del Sistema almacena el programa monitor del módulo MPF-I, que

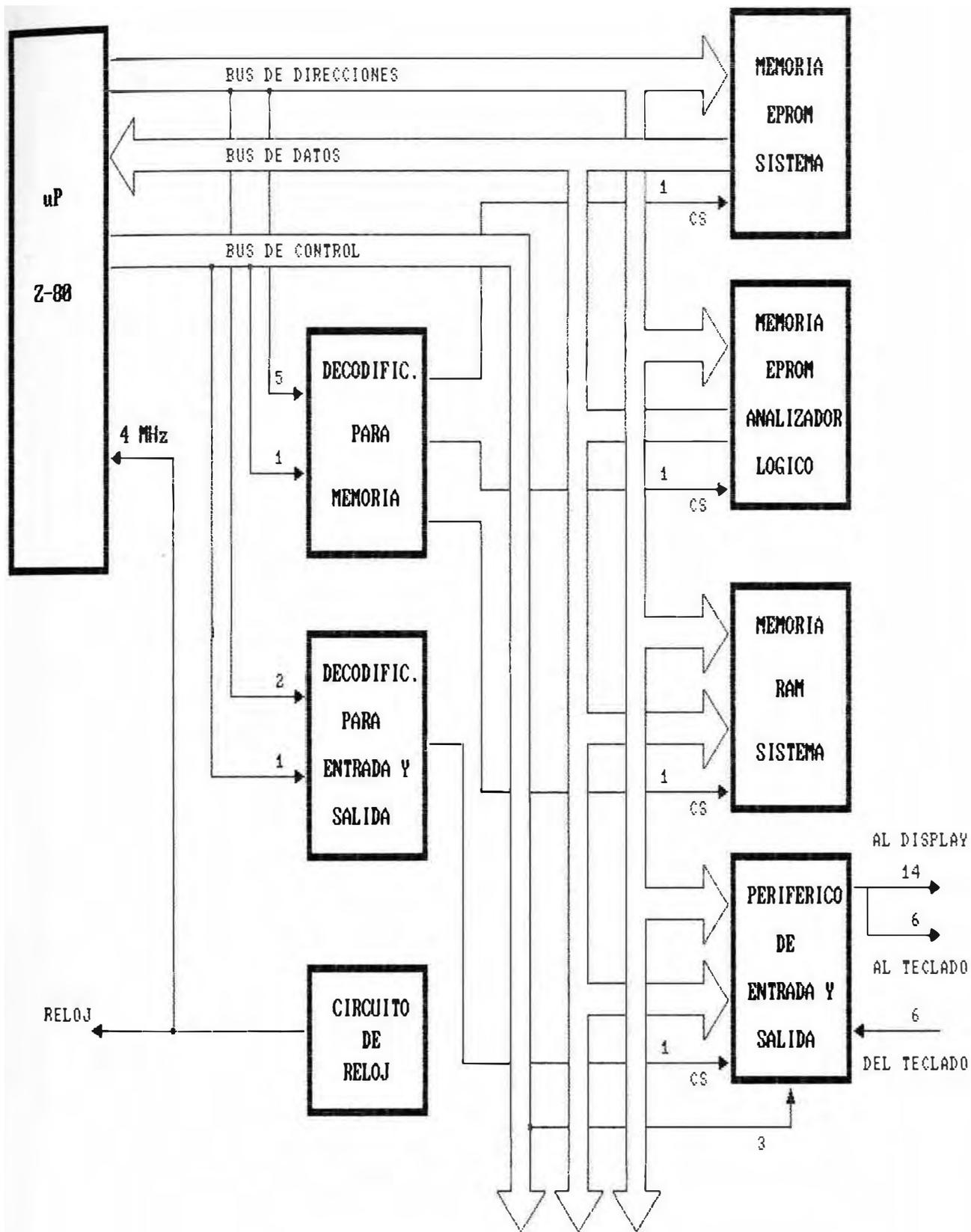


FIG. 2.- UNIDAD DE PROCESAMIENTO DEL ANALIZADOR LOGICO.

permite el control del display y teclado considerados. La Memoria EPROM del Analizador Lógico almacena el programa fijo desarrollado para la tesis. La Memoria RAM del Sistema es la que proporciona el módulo MPF-I, y que se utiliza para almacenar datos que son usados por el programa monitor y el programa de la memoria EPROM del Analizador Lógico.

El Periférico de Entrada y Salida sirve de interfase al teclado y display del módulo MPF-I. A través de él se detectará la pulsación de una tecla, y el módulo responderá alterando el patrón de presentación del display del MPF-I.

Por medio del Bus de Datos viaja la información en forma de datos, comandos o instrucciones, y sirve para la correcta operación de esta unidad.

Por medio del Bus de Control se establecen las señales que permiten el traslado de la información que viaja a través de los buses.

**1.3.2 LA UNIDAD DE ADQUISICION.-** Esta unidad se encarga de realizar el muestreo de las 16 señales digitales del sistema bajo estudio y de su almacenamiento. Está conformada por dispositivos programables que permiten un acceso a las señales digitales de manera eficiente. En la figura 3 se muestra la arquitectura de esta unidad.

La información es leída por un par de puertos de entrada (ambos de 8 bits), que pertenecen a los Periféricos de Entrada y Salida 1 y 2, y se almacena en memoria del

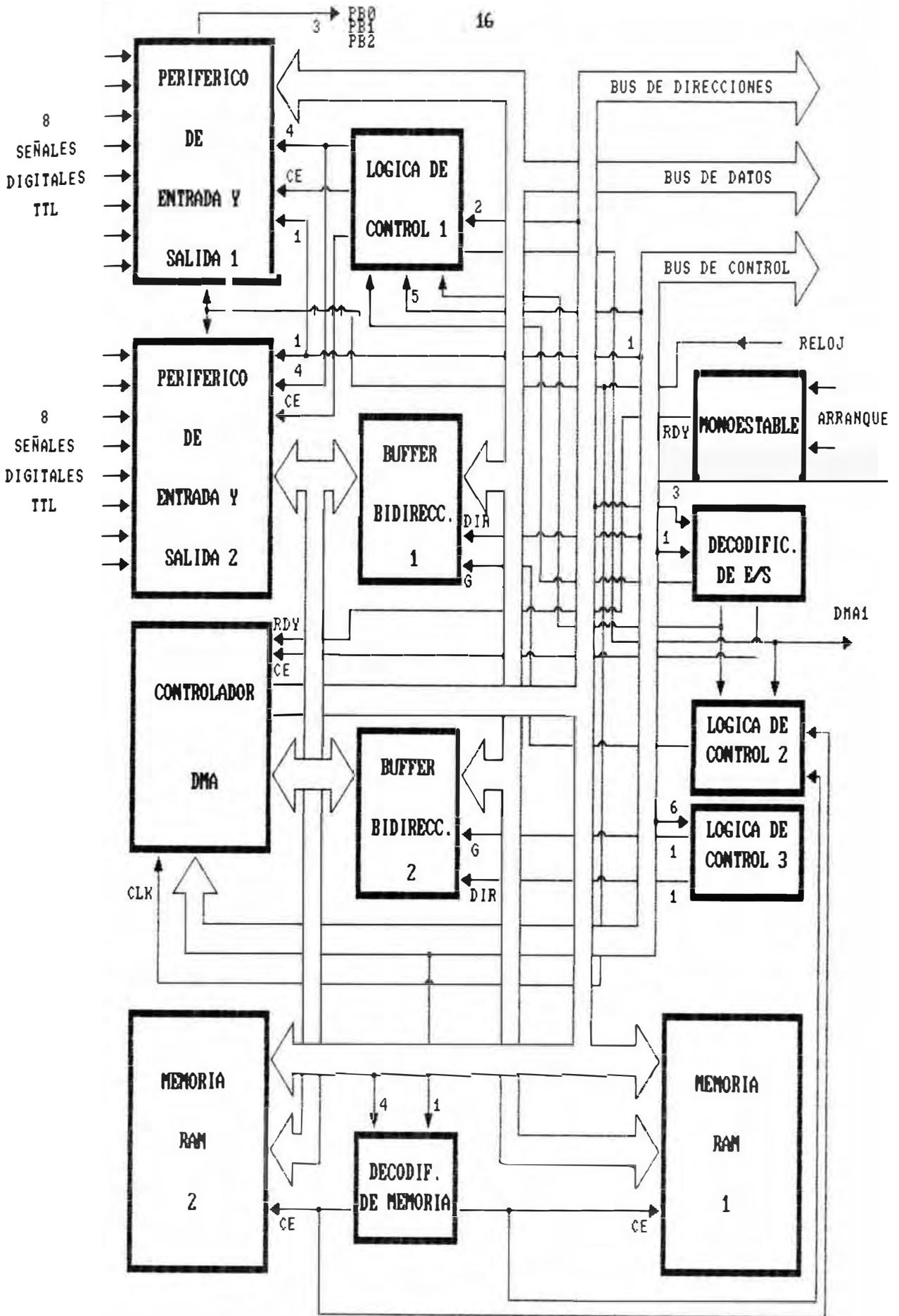


FIG. 3.- UNIDAD DE ADQUISICION DEL ANALIZADOR LOGICO.

tipo RAM estática. Cada Periférico de Entrada y Salida tiene dos puertos, de los cuales uno se destina para el muestreo de las señales digitales.

El Periférico de Entrada y Salida 1 sirve de interfase para las primeras 8 señales digitales y el Periférico de Entrada y Salida 2 para las últimas 8. La Memoria RAM 1 almacena las muestras que corresponden a las primeras 8 señales digitales y la memoria RAM 2 almacena las muestras de las últimas 8. Estas memorias son seleccionadas por medio de un decodificador. Además, el Periférico de Entrada y Salida 1 entrega las señales PB0, PB1 y PB2, que son utilizadas por la Unidad de Visualización para visualizar los resultados del muestreo de las 16 señales digitales.

La técnica que se utiliza para el muestreo de las 16 señales digitales y su posterior almacenamiento en memoria RAM es la de Acceso Directo a Memoria (DMA), por medio de la cual las transferencias de los datos se establecen sin que el microprocesador intervenga. Por medio de esta técnica se tiene acceso a las señales digitales a una mayor frecuencia que si lo hubiese hecho el procesador. Para esto, el Controlador DMA recibirá un comando especial desde el CPU para darle el control de los buses, y el Controlador generará las direcciones de memoria para almacenar las muestras, al mismo tiempo que generará las señales de control que permitan el traslado de la información desde los periféricos de entrada y salida hacia las memorias.

El muestreo de las 16 señales digitales se puede iniciar ya sea manualmente o bajo la ocurrencia de algún evento, y éste durará un tiempo determinado. Para ello se utiliza un Monoestable, el cual genera la señal RDY para permitir al Controlador DMA tomar el control de los buses para el muestreo de las señales digitales. Durante todo el tiempo en que se establece el muestreo de las señales digitales y su almacenamiento en memoria RAM, aparece la señal DMA1 como indicación.

Cuando termine el muestreo de las señales digitales, el Controlador DMA acusará pedido de interrupción al CPU, para decirle a éste que terminó este proceso. En este momento, el CPU volverá a tener el control de los buses y procederá al ordenamiento de las muestras.

La Lógica de Control 1 permite el acceso simultáneo a las 16 señales digitales por parte de los Periféricos de Entrada y Salida 1 y 2. La Lógica de Control 2 comanda al Buffer Bidireccional 1, para que las muestras que provengan de las últimas 8 señales digitales no ingresen al Bus de Datos durante el muestreo de las mismas. La Lógica de Control 3 comanda al Buffer Bidireccional 2 para evitar que durante el muestreo de las señales digitales, el Controlador DMA entregue información hacia el Bus de Datos.

La selección de los Periféricos de Entrada y Salida 1 y 2 y del Controlador DMA se establece a través del Decodificador de Entrada/Salida. Cada uno de estos dispositivos trabaja con la misma frecuencia de reloj que la del microprocesador.

Por medio del Bus de Direcciones se direcciona a los diferentes dispositivos, llámense memorias, periféricos de entrada y salida o controlador DMA de esta unidad. También sirve para direccionar a otros dispositivos de otras unidades del Analizador Lógico, como se explicará posteriormente.

Por medio del Bus de Datos se traslada la información para programar a los periféricos y, las muestras de las señales digitales almacenadas en las memorias RAM. Otras unidades del Analizador Lógico pueden usar este bus para acceder a las muestras previamente almacenadas o información de control para el adecuado funcionamiento del Analizador Lógico.

Por medio del Bus de Control se establecen las señales que permiten que la información que viaja en otros buses se traslade adecuadamente.

1.3.3 LA UNIDAD DE VISUALIZACION.- Esta unidad se encarga de visualizar el resultado del muestreo de las 16 señales digitales en una pantalla de osciloscopio, y estará conformada por dispositivos programables para otorgar una mejor visualización de los resultados. En la figura 4 se muestra la arquitectura de esta unidad.

La presentación de los resultados se hace de manera similar a la de un osciloscopio multicanal, pero con la ventaja de que se puede visualizar eventos no repetitivos y con un mayor número de canales que la de un osciloscopio convencional.

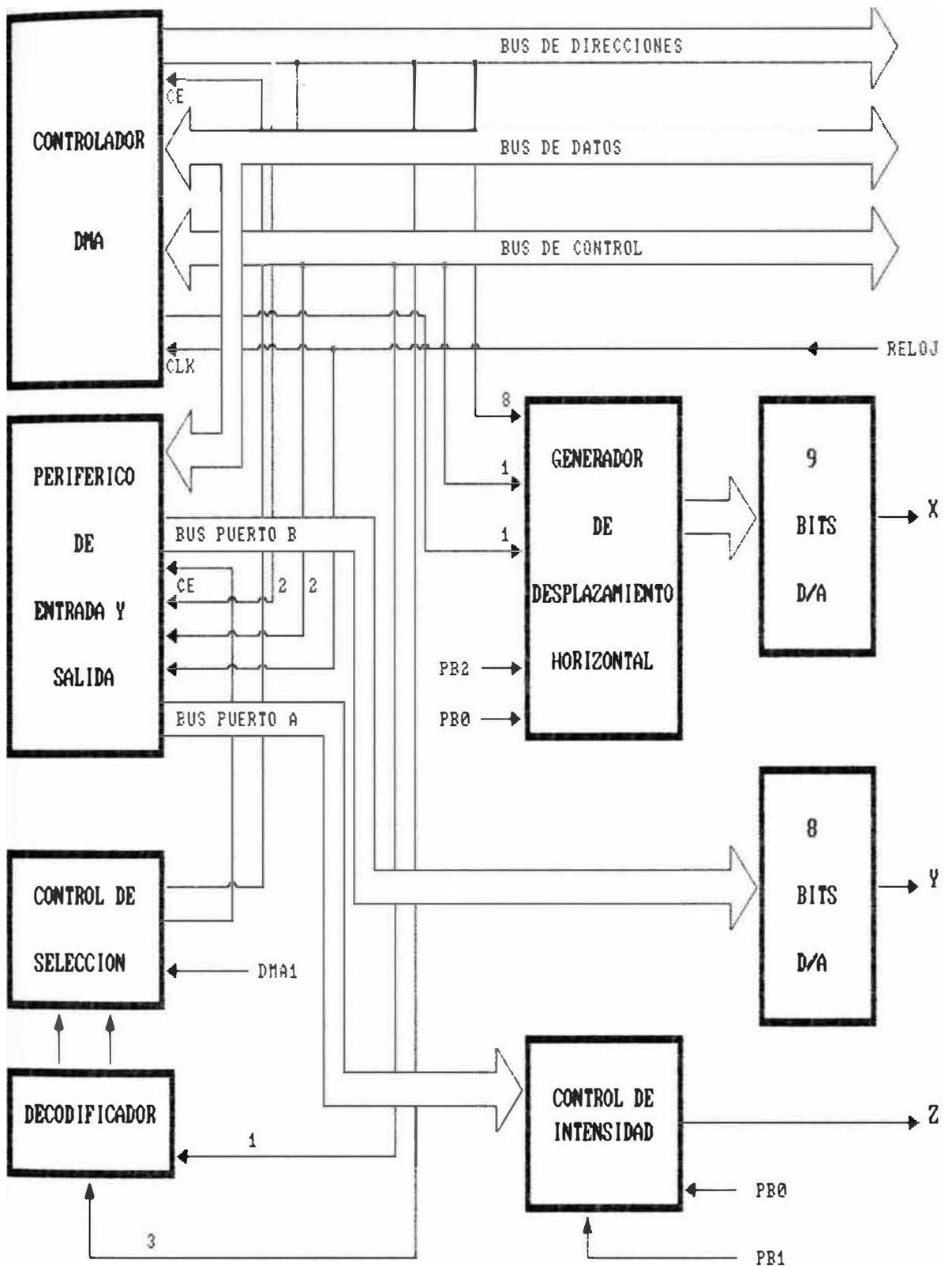


FIG. 4.- UNIDAD DE VISUALIZACION DEL ANALIZADOR LOGICO.

La técnica que se utiliza para la visualización de las señales en la pantalla del osciloscopio es la de Acceso Directo a Memoria (DMA). Se establece un acceso ( sin intervención del procesador ) a las memorias RAM 1 y 2 de la Unidad de Adquisición, en donde se almacenan los datos que corresponden a las muestras de las 16 señales digitales, para luego extraerlos y enviarlos a un puerto de salida generando las trazas de las señales. Esto es realizado por el Controlador DMA, el cual genera las direcciones de memoria para extraer los datos y colocarlos en el Periférico de Entrada y Salida de esta unidad. La técnica de Acceso Directo a Memoria se utiliza por la gran cantidad de información que se debe visualizar, consiguiéndose que la imagen a mostrar esté lo suficientemente fija para la vista del ojo humano.

Esta unidad entrega las señales X, Y y Z que se aplican al osciloscopio, el cual debe operar en el modo X-Y.

El Generador de Desplazamiento Horizontal recibe los 8 bits menos significativos del Bus de Direcciones para entregar 256 niveles diferentes. Además, las señales PB0 y PB2 permiten generar con lógica combinatoria 32 niveles adicionales. Los niveles generados se aplican a un Convertidor Digital/Análogo de 9 bits para entregar la señal X a ser aplicada al canal X del osciloscopio.

La señal Y se genera por la conversión digital a análoga de la información que proporciona el Bus del Puerto B del

Periférico de Entrada y Salida, y constituye el desplazamiento vertical a ser aplicado al canal Y del osciloscopio.

La señal Z es generada por el Control de Intensidad, el cual recibe como información de entrada el contenido del Bus del Puerto A del Periférico de Entrada y Salida, que la constituyen los niveles "Bajo" y "Alto" de las muestras de las señales digitales y los caracteres de identificación de las señales digitales, entre otras. También el Control de Intensidad recibe las señales PB0 y PB1 que provienen de la Unidad de Adquisición y, determinan la información a ser visualizada, esto es, trazas de señales, caracteres, etc.

La selección de los dispositivos programables se hace a través de un Decodificador y una Lógica de Selección. Esta lógica no permite la selección de estos dispositivos, cuando se establezca el muestreo de las señales digitales, usando la señal DMA1.

A través del Bus de Direcciones se seleccionan a las memorias que almacenan las muestras de las señales digitales y los dispositivos programables.

A través del Bus de Datos se traslada la información de las muestras que provienen de las memorias RAM, así como los comandos para la programación de los dispositivos.

Por el Bus de Control van las señales que permiten que la información que fluye a través de los otros buses viaje adecuadamente.

La interconexión entre las diferentes unidades del Analizador Lógico se hace a

través de buses como se muestra en la figura 1.

Con el Bus de Direcciones se direcciona a los diferentes dispositivos llámense memorias, periféricos de entrada y salida y controladores programables.

Por el Bus de Datos viaja la información, sea en forma de datos o en forma de comandos. Los comandos permiten la programación de los periféricos para establecer ya sea el muestreo de las señales digitales por parte de la Unidad de Adquisición o la presentación de las mismas en la pantalla del osciloscopio por medio de la Unidad de Visualización. Los datos corresponden a las muestras de las señales digitales y también a datos adicionales para permitir la identificación de cada una de las señales bajo estudio.

Por el Bus de Control aparecen las señales que permiten el traslado de la información que viaja a través del Bus de Datos.

## C A P I T U L O    I I

### DISEÑO DEL ANALIZADOR LOGICO

En este capítulo presentaremos el diseño de cada una de las unidades constitutivas del Analizador Lógico, esto es, la Unidad de Procesamiento, la Unidad de Adquisición y la Unidad de Visualización. Antes de detallar el diseño de cada unidad, veremos las consideraciones que se tomaron en cuenta para el diseño del sistema en su conjunto.

2.1 CONSIDERACIONES PARA EL DISEÑO DEL ANALIZADOR LOGICO.- El propósito del Analizador Lógico, es proporcionar un equipo que sirva para el diseño y análisis de sistemas digitales y/o sistemas digitales basados en microprocesadores.

Para poder proporcionar la mejor eficiencia del equipo, éste ha de ser implementado en base a un microprocesador. El empleo de tal sistema proporciona al usuario la flexibilidad en la programación, de acuerdo a sus necesidades. La elección de un sistema basado en microprocesador debe hacerse teniendo en consideración tanto las características del procesador como la disponibilidad de periféricos que permitan que la implementación sea más sencilla y eficiente de acuerdo al fin que se persigue, en este caso el diseño de un Analizador Lógico.

Otra consideración a tener en cuenta para el diseño del Analizador Lógico, es conseguir una implementación que establezca la mayor eficiencia en la relación software/hardware. En lo que respecta al software, conseguir una estructura que permita un procesamiento eficiente, lo cual puede ser conseguido utilizando subrutinas de interrupción. En lo que respecta al hardware, utilizar dispositivos que puedan ser programables y que faciliten la labor del microprocesador en ciertas tareas, y que permitan un tratamiento de la información en el menor tiempo posible.

De acuerdo a estas consideraciones, se eligió al microprocesador Z-80 de Zilog, que es un microprocesador de 8 bits, así como algunos dispositivos de soporte del mismo fabricante, y que serán detallados en el diseño de cada unidad del Analizador Lógico.

El uso de los dispositivos periféricos de la familia del microprocesador Z-80 proporciona una serie de ventajas en su programación, las que serán aprovechadas al máximo con el fin de obtener una mayor velocidad de procesamiento de la información. Para ello, se incluirán algunas innovaciones en el hardware con respecto a una estructura convencional de un sistema basado en el microprocesador Z-80.

Una consideración adicional a tenerse en cuenta es la adecuada comunicación entre el equipo a diseñar y el usuario. Para ello, se establecerá un medio para el ingreso de datos y/o comandos y, un medio para la visualización de los resultados producto del procesamiento de la información.

Una vez establecidas las consideraciones generales para el diseño del Analizador Lógico,

pasaremos a describir el diseño en sí de cada una de las unidades que constituyen el sistema.

2.2 DISEÑO DEL ANALIZADOR LOGICO. - Como se mencionó anteriormente, el Analizador Lógico a ser diseñado consta de 3 Unidades fundamentales, como son la Unidad de Procesamiento, la Unidad de Adquisición y, la Unidad de Visualización.

A continuación pasaremos a detallar el diseño de cada Unidad.

2.2.1 DISEÑO DE LA UNIDAD DE PROCESAMIENTO - La Unidad de Procesamiento está basada en el módulo microcomputador Micro-Professor MPF-I de Multitech Industrial Corp. que se usa como complemento en la enseñanza del curso SISTEMAS DIGITALES BASADOS EN MICROPROCESADORES de la Facultad de Ingeniería Eléctrica y Electrónica de la UNIVERSIDAD NACIONAL DE INGENIERIA. Se eligió este módulo, por la disponibilidad en nuestro medio del mismo. Pasaremos entonces, a describir brevemente la arquitectura del módulo MPF-I.

2.2.1.1 BREVE DESCRIPCION DEL MODULO MICRO-PROFESSOR MPF-I. - El módulo MPF-I tiene al microprocesador Z-80 como Unidad Central de Procesamiento, 4 Kbytes de memoria EPROM tipo 2732, en donde se incluye el programa monitor y un pequeño intérprete de BASIC, 2 Kbytes de memoria

RAM tipo 6116 disponible para el usuario para almacenar sus programas y ejecutarlos y, un periférico de entrada/salida INTEL 8255 para el manejo del display, teclado e interfase a cassette. Como elementos adicionales que pueden ser colocados en los sockets reservados correspondientes, se puede instalar un periférico de entrada/salida Z-80 PIO, un dispositivo contador/temporizador programable Z-80 CTC y, una memoria que se puede seleccionar entre RAM o EPROM.

Las direcciones reservadas para los diferentes dispositivos se muestra a continuación:

-Direccionamiento de Memoria:

MREQ	A15	A14	A13	A12	A11	A10	-	-	A0	CHIP SELEC.	DIRECCIONES
0	0	0	0	0	X	X	-	-	X	ROM MONIT.	0000H-0FFFH
0	0	0	1	0	X	X	-	-	X	RAM/ROM	2000H-2FFFH
0	0	0	0	1	1	X			X	RAM	1800H-1FFFH

-Direccionamiento de Entrada/Salida:

IORQ	A7	A6	CHIP SELEC.	DIRECCIONES
0	0	0	8255	00H-03H
0	0	1	Z-80 CTC	40H-43H
0	1	0	Z-80 PIO	80H-83H

Lamentablemente, los puertos de entrada/salida no están totalmente decodificados, de manera que, hay 16 combinaciones diferentes para seleccionar cada uno de estos periféricos.

En las figuras 5a, 5b, 5c y 5d se muestran los diagramas esquemáticos correspondientes.

En la figura 5a se muestra al Z-80 CPU, el cual trabaja a una frecuencia de 1.79 MHz. El circuito de reloj se deshabilitará al extraer el CPU del módulo y conectarle un circuito de reloj externo. El Z-80 CPU direcciona a las memorias EPROM 2732 U6 y RAM 6116 U8 que forman parte del módulo MPF-I y además, a la memoria EPROM 2732 que se destina para almacenar el programa fijo del Analizador Lógico.

La selección de cada memoria es determinada por los decodificadores 74LS139 U5a, U5b y U9a que reciben las señales MREQ y A11 a A15.

El dispositivo 74LS90 genera la señal NMI que se aplica al pin 17 del Z-80 CPU para producir una interrupción no enmascarable. Este tipo de interrupción se genera cuando se presiona la tecla MONI del módulo MPF-I. El circuito de Reset está conformado por el 74LS74 U2b, y determina el inicio o reinicio de las operaciones del Z-80 CPU.

En la figura 5b se muestra al periférico 8255, que permite el control del display y teclado del módulo MPF-I. A través de los puertos B y C del 8255 se controla el encendido o apagado de cualquier segmento del display. Por medio de los Puertos A y C de este periférico se detecta la pulsación de una tecla. La línea PC7 del 8255 establece una interfase a cassette para grabación de datos y/o programas, usando la señal MIC y, la línea PA7 establece la interfase a cassette para la recuperación de datos desde cassette. La selección de este periférico se establece con el decodificador 74LS139 U9b.

En la figura 5c se muestra a los dispositivos Z-80 PIO y Z-80 CTC y que se deben colocar en los sockets correspondientes.

En la figura 5d se muestra la disposición de los pines de los conectores que proporciona el módulo MPF-I, para establecer una conexión hacia el exterior.

Por el Bus de direcciones ( líneas A<sub>0</sub> a A<sub>15</sub> ) se direccionan a las memorias o periféricos. A través del Bus de Datos ( líneas D<sub>0</sub> a D<sub>7</sub> ) viaja la información en forma de instrucciones, comandos o datos. Por el Bus de Control (líneas WR, RD, MREQ, IORQ, M1, WAIT, BUSRQ, INT Y RST) se establecen las señales que permiten el adecuado

traslado de la información que va por los otros buses.

Para el presente trabajo, se tuvo que hacer algunas modificaciones en la arquitectura del módulo MPF-I. Una de ellas fue modificar la frecuencia del reloj del módulo a 4 MHz. Como el módulo ofrece la facilidad de tener el chip microprocesador ( CPU ) instalado en un socket y un conector para extraer las señales del mismo, se extrajo el CPU del módulo, con el fin de incluir un circuito de reloj externo de 4 MHz que no interfiera con el circuito de reloj del módulo.

La razón de incluir un circuito de reloj de mayor frecuencia que la del propio módulo es, por la cantidad de información que hay que transferir para la visualización en la pantalla del osciloscopio; y se necesita que la imagen que se muestre, esté lo suficientemente fija para la vista del ojo humano. Adicionalmente, se buscará tener un muestreo de las señales digitales con la mayor frecuencia posible. Por lo demás, la arquitectura del módulo MPF-I será respetada.

En la figura 6 se muestra el circuito de reloj externo al módulo MPF-I que se utilizará para dar la temporización del microprocesador y los diversos dispositivos del Analizador Lógico.

2.2.1.2 CONSIDERACIONES DE TEMPORIZACION  
PARA EL DISEÑO DE LA UNIDAD DE  
PROCESAMIENTO.-

Los diversos dispositivos conectados al CPU a través de los buses de datos, direcciones y control tienen que cumplir con los requerimientos de temporización que el microprocesador impone. En este caso, se usará el Z-80A CPU y que trabajará a una frecuencia de reloj de 4 MHz.

Para el establecimiento de las ecuaciones de diseño se tomará como referencia los datos técnicos de los dispositivos Z-80A CPU, memorias 6116 y 2732, así como del dispositivo 8255, cuyas especificaciones se muestran en los apéndices correspondientes.

-Para la memoria EPROM ( 2732 ):

$$\begin{aligned} t_{ACC \max}(2732) &\leq 2t_c - t_{D(AD)\max} - t_{S(D)\min} \dots(1) \\ t_{ACC \max}(2732) &\leq ( 2 \times 250 - 110 - 35 ) \text{ ns} \\ t_{ACC \max}(2732) &\leq 355 \text{ ns} \end{aligned}$$

De acuerdo a lo establecido en la última ecuación, seleccionamos una memoria EPROM INTEL 2732A con un tiempo de acceso  $t_{ACC \max} = 250 \text{ ns}$ .

-Para la memoria RAM ( 6116 ):

$$\begin{aligned} t_{AA \max}(6116) &\leq 2t_c - t_{D(AD)\max} - t_{S(D)\min} \dots(2) \\ t_{AA \max}(6116) &\leq ( 2 \times 250 - 110 - 35 ) \text{ ns} \\ t_{AA \max}(6116) &\leq 355 \text{ ns} \end{aligned}$$

$$t_{AW \min}(6116) \leq 2t_c - t_{D(AD)\max} + t_{W(\overline{OH})} + t_f + t_{DH(\overline{WR})\max} \dots(3)$$

$$\begin{aligned} t_{AW \min}(6116) &\leq ( 2 \times 250 - 110 + 115 + 10 + 80 ) \text{ ns} \\ t_{AW \min}(6116) &\leq 595 \text{ ns} \end{aligned}$$

$$tdw \min(6116) \leq tc + tr + tw(\phi L) - td(D)_{\max} + tw(\phi H) + tr + tdH\bar{\phi}(WR)_{\max} \dots(4)$$

$$tdw \min(6116) \leq (250 + 10 + 115 - 150 + 115 + 10 + 80) \text{ ns}$$

$$tdw \min(6116) \leq 430 \text{ ns}$$

$$tdH \min(6116) \leq t_{cdf} \min = tw(\phi L) + tr - 70 \text{ ns} \dots(5)$$

$$tdH \min(6116) \leq (115 + 10 - 70) \text{ ns}$$

$$tdH \min(6116) \leq 55 \text{ ns}$$

De acuerdo a las ecuaciones establecidas, seleccionamos una memoria RAM CDM 6116A-3 con  $t_{AA} \max = 150 \text{ ns}$ , y que cumple a satisfacción con los requerimientos, como se muestra a continuación:

$$t_{AA} \max(6116) = 150 \text{ ns}$$

$$t_{AW} \min(6116) = 90 \text{ ns}$$

$$tdw \min(6116) = 50 \text{ ns}$$

$$tdH \min(6116) = 5 \text{ ns}$$

-Para el Periférico INTEL 8255:

$$trD \max(8255) \leq 2tc - tdL\phi(RD)_{\max} + tw(\phi H) + tr - ts\bar{\phi}(D)_{\min} \dots(6)$$

$$trD \max(8255) \leq (2 \times 250 - 85 + 115 + 10 - 50) \text{ ns}$$

$$trD \max(8255) \leq 490 \text{ ns}$$

$$trR \min(8255) \leq 2tc - tdL\phi(RD)_{\max} + tw(\phi H) + tr + tdH\bar{\phi}(RD)_{\max} \dots(7)$$

$$trR \min(8255) \leq (2 \times 250 - 85 + 115 + 10 + 85) \text{ ns}$$

$$trR \min(8255) \leq 625 \text{ ns}$$

$$tdw \min(8255) \leq 3tc - tw(\phi H) - tr - td(D)_{\max} + tw(\phi H) + tr + tdH\bar{\phi}(WR)_{\max} \dots(8)$$

$$tdw \min(8255) \leq (3 \times 250 - 150 + 80) \text{ ns}$$

$$tdw \min(8255) \leq 680 \text{ ns}$$

$$twW \min(8255) \leq 2tc - tdL\phi(WR)_{\max} + tw(\phi H) + tr + tdH\bar{\phi}(WR)_{\max} \dots(9)$$

$$twW \min(8255) \leq (2 \times 250 - 65 + 115 + 10 + 80) \text{ ns}$$

$$twW \min(8255) \leq 640 \text{ ns}$$

De acuerdo a las ecuaciones establecidas, seleccionamos el dispositivo INTEL 8255A-5, que cumple largamente con los requerimientos, como se muestra a continuación:

trD max(8255) = 200 ns  
trR min(8255) = 300 ns  
tdW min(8255) = 100 ns  
twW min(8255) = 300 ns

2.2.2 DISEÑO DE LA UNIDAD DE ADQUISICIÓN - La Unidad de Adquisición se encarga de tomar las muestras de los 16 canales de información para almacenarlas en memoria RAM. Los diagramas esquemáticos que se muestran en las figuras 7, 8 y 9 forman parte de la Unidad de Adquisición.

En la figura 7 se muestra al dispositivo Z-80A DMA U31 que se encarga de generar las señales de control para tomar las muestras y almacenarlas en memoria, y la lógica alrededor de él para su adecuado funcionamiento. Además se muestra al dispositivo monoestable 74121 U63 que permite que el muestreo de las 16 señales digitales se inicie con la ocurrencia de un evento, ya sea un flanco de subida o un flanco de bajada, y que ingresan por las señales HIGH121 o LOW121 respectivamente. Solamente se elige una opción. Los valores de R30 y C23 escogidos determinan un tiempo para el monoestable 74121 U63 de aproximadamente 2 mseg, tiempo suficiente para el muestreo de las 16 señales digitales por parte del dispositivo Z-80A DMA U31.

En la figura 8 se muestra al dispositivo Z-80B PIO U33, que sirve de interfase entre las primeras 8 señales digitales a ser muestreadas, y el analizador lógico. Aparte, se muestra la lógica necesaria para su correcto funcionamiento. El Puerto A del Z-80B PIO U33 se programa en el

Modo de Entrada, mientras que el Puerto B se programa en el Modo de Control.

Finalmente, en la figura 9 se muestra otro dispositivo Z-80B PIO (U35), que sirve de interfase entre las últimas 8 señales digitales a ser muestreadas y el analizador lógico. Además, se muestra la lógica para su adecuado funcionamiento. En este caso, sólo se utiliza el Puerto A del Z-80B PIO U35, siendo éste programado en el Modo de Entrada. La elección de los dispositivos Z-80B PIO U33 y U35 se debe a las limitaciones de temporización que impone el Z-80A PIO, a pesar de poder trabajar con una frecuencia de reloj de hasta 4 MHz, como se mostrará posteriormente cuando se vean las ecuaciones de diseño correspondientes.

La configuración particular que se muestra en las figuras mencionadas, se debe a que se quiso obtener un mejor aprovechamiento de las características que ofrece el dispositivo Z-80A DMA. Este dispositivo es capaz de realizar diferentes operaciones DMA, en las que éste toma el control de los buses para tener acceso a memoria y/o periféricos, como:

A) Búsqueda en memoria. - En este modo de trabajo se generan direcciones de memoria, para proceder a la lectura de los contenidos de memoria de estas direcciones y compararlos con un byte de búsqueda.

B) Transferencia entre memoria y memoria. - En este modo de funcionamiento se transfieren los contenidos de un espacio de direcciones de memoria a otro espacio de direcciones de

memoria, siendo opcional la comparación con un byte de búsqueda.

C) Transferencia entre memoria y dispositivo de entrada/salida - En este modo de trabajo se transfieren contenidos de un espacio de direcciones de memoria hacia un dispositivo de entrada/salida, siendo opcional la comparación con un byte de búsqueda.

D) Búsqueda en dispositivo de entrada/salida  
Para este modo de funcionamiento se generan direcciones de dispositivos de entrada/salida, para proceder a su lectura y comparación con un byte de búsqueda.

E) Transferencia entre dispositivo de entrada/salida y dispositivo de entrada/salida. - Para este modo de trabajo se generan direcciones de dispositivos de entrada/salida, y se transfieren los contenidos de un dispositivo hacia el otro, siendo opcional la comparación con un byte de búsqueda.

En el diseño de la Unidad de Adquisición se tuvo en cuenta el siguiente criterio: Obtener el mayor número de muestras posibles, y que éstas sean obtenidas a la mayor frecuencia posible.

Normalmente una transferencia de un byte por medio del dispositivo Z-80A DMA consta de 2 ciclos: un ciclo de lectura y un ciclo de escritura. En el Ciclo de Lectura se generan direcciones de Puerto Fuente, que pueden ser direcciones de memoria o direcciones de periférico de entrada/salida y se procede a leer el dato del dispositivo direccionado. En este caso, el Puerto Fuente es el puerto

origen de una transferencia DMA. En el Ciclo de Escritura se generan direcciones de Puerto Destino, que pueden ser también direcciones de memoria o direcciones de periférico de entrada/salida y se procede a escribir el dato previamente leído en el dispositivo direccionado. En este caso, el Puerto Destino es el puerto seleccionado como destino de una transferencia DMA.

Desde que este dispositivo puede ser programado para adecuar el número de períodos de reloj para cada ciclo, se escogió la duración mínima por cada ciclo ( 2 ciclos de reloj ). De acuerdo a esto, una transferencia de un byte se realizaría en 4 ciclos de reloj de 4 MHz, que equivale en el tiempo a realizarlo en  $4 \times 0.25 \text{ useg} = 1 \text{ useg}$ . Es decir, la frecuencia de muestreo de las señales sería de 1 MHz.

Aprovechando al máximo las características del dispositivo Z-80A DMA, se ideó la forma de realizar una transferencia de un byte en sólo 2 ciclos de reloj. Esto se consiguió haciendo que el ciclo de lectura genere a la vez un ciclo de escritura y que el ciclo de escritura también genere un ciclo de lectura. Con esto conseguiremos que la frecuencia de muestreo de las señales digitales sea de 2 MHz.

Para conseguir esto, se tuvo que diseñar la lógica que permitiera realizar dichas transferencias en sólo 2 ciclos de reloj. En la figura 8 se puede apreciar el uso de los dispositivos 74LS08 U50 y 74157 U41. El conjunto de estos dispositivos permite generar un ciclo de lectura en uno de

escritura y viceversa. Pero hay que hacer notar que, ésto solamente es válido durante la operación de DMA correspondiente al muestreo de las 16 señales digitales y su almacenamiento en memoria, usando para ello la señal DMA1.

El muestreo de las 16 señales digitales es determinado por las señales BUSAK y BA01, cuando BUSAK = "0" y BA01 = "1". El dispositivo 74157 U42 permite que el Z-80B PIO U33 trabaje en el modo de entrada de datos por el canal A, cuando BUSAK = "0" y BA01 = "1".

En la figura 10 se muestra la generación del ciclo de escritura en un ciclo de lectura y, el de lectura en un ciclo de escritura, cuando el dispositivo Z-80A DMA U31 está controlando los buses. En este caso se muestra una transferencia de memoria a memoria.

En la parte A) de esta figura se muestra como se generan los ciclos normales de escritura y lectura sin la inclusión del hardware adicional, mientras que en la parte B) se incluye la generación adicional de los ciclos correspondientes, con la inclusión del hardware adicional.

Con la inclusión de este hardware, podemos hacer una escritura al mismo tiempo que realizamos una lectura, y una lectura cuando se establezca una escritura.

Pero la inclusión del hardware adicional genera algunos problemas.

Desde que normalmente una transferencia de 1 byte, por medio del dispositivo Z-80A DMA se realiza por medio de 2 ciclos ( uno de

lectura y otro de escritura ), en el segundo de éstos, este dispositivo entrega en su bus de datos el dato previamente leído en el ciclo de lectura. Con la modificación incorporada sería inevitable que se presentara un conflicto en el bus de datos al generarse una lectura en un ciclo normal de escritura.

Para salvar este problema y otros adicionales, como la recepción del vector de interrupción del Z-80A DMA U31 y la lectura de un byte de código de operación en la subrutina de servicio de interrupción de este dispositivo, se tuvo que diseñar la lógica que se muestra en la figura 7. Por medio del dispositivo 74LS245 U39 se evita el conflicto en el bus de datos, y por medio de los demás dispositivos se permite el adecuado traslado de información entre el Z-80A CPU y el Z-80A DMA U31. Para esto, sólo es necesario tomar en cuenta las siguientes señales: IORQ, RD, WR, M1, CE y IEO del Z-80A DMA U31.

En la tabla Nro. 1 se detalla el sentido en que se dirige la información a través del dispositivo 74LS245 U39, de acuerdo al valor de las señales tomadas en cuenta, para evitar un conflicto en el bus de datos.

La señal G del dispositivo 74LS245 U39 estará en "0" lógico sólo cuando el Z-80A CPU esté en el control de los buses de datos, direcciones y control.

La inclusión del hardware adicional genera además un problema al momento de distribuir las muestras en memoria RAM durante el muestreo.

Si escogemos convenientemente las direcciones iniciales para los puertos origen y destino del Z-80A DMA U31, la solución a este problema es sencilla. Teniendo en cuenta que la generación de direcciones para cada puerto es consecutiva y, escogiendo que la dirección inicial de uno de los puertos sea el comienzo del buffer de memoria RAM a almacenar las muestras, mientras que la dirección inicial del otro puerto se coloque a partir de la mitad de este buffer, tendremos en la primera mitad de este buffer todas las muestras impares, y en la segunda mitad de este buffer todas las muestras pares. Terminado el muestreo de las 16 señales digitales por medio del Z-80A DMA U31, el software del sistema se encargará de ordenar adecuadamente las muestras, para su correcta presentación en la pantalla del osciloscopio.

En la figura 11 se aprecia como quedan distribuidas las muestras al término del muestreo de las 16 señales digitales, mientras que en la figura 12 se muestra como quedan las muestras después del ordenamiento, para la presentación en la pantalla del osciloscopio.

La figura 9 muestra el diagrama esquemático para permitir el muestreo de otras 8 señales digitales, y cuyas muestras recogidas por el Z-80B PIO U35 son almacenadas en la memoria 6116 U37. Las señales TRGLOW y TRGHIGH permiten el inicio del muestreo de las 16 señales digitales en la ocurrencia de un flanco de bajada o de subida respectivamente. Solamente se eligirá

	1ra. MUESTRA IMPAR	4000H	1ra. MUESTRA IMPAR
	2da. MUESTRA IMPAR	4001H	2da. MUESTRA IMPAR
	.		
43FFH	1024va. MUESTRA IMPAR	4BFFH	1024va. MUESTRA IMPAR
4400H	1ra. MUESTRA PAR	4C00H	1ra. MUESTRA PAR
4401H	2da. MUESTRA PAR	4C01H	2da. MUESTRA PAR
47FEH	1023va. MUESTRA PAR	4FFEH	1023va. MUESTRA PAR
47FFH	1024va. MUESTRA PAR	4FFFH	1024va. MUESTRA PAR

A) MUESTRAS DEL 1er. GRUPO  
DE 8 SEÑALES DIGITALES

B) MUESTRAS DEL 2do. GRUPO  
DE 8 SEÑALES DIGITALES

FIG. 11.- DISTRIBUCION DE LAS MUESTRAS DE LAS 16 SEÑALES DIGITALES EN RAM DESPUES DE SU ACCESO.

	1ra. MUESTRA IMPAR	4000H	1ra. MUESTRA IMPAR
	1ra. MUESTRA PAR	4001H	1ra. MUESTRA PAR
	.		
43FFH	512va. MUESTRA PAR	4BFFH	512va. MUESTRA PAR
4400H	513va. MUESTRA IMPAR	4C00H	513va. MUESTRA IMPAR
4401H	513va. MUESTRA PAR	4C01H	513va. MUESTRA PAR
47FEH	1024va. MUESTRA IMPAR	4FFEH	1024va. MUESTRA IMPAR
47FFH	1024va. MUESTRA PAR	4FFFH	1024va. MUESTRA PAR

A) MUESTRAS DEL 1er. GRUPO  
DE 8 SEÑALES DIGITALES

B) MUESTRAS DEL 2do. GRUPO  
DE 8 SEÑALES DIGITALES

FIG. 12.- DISTRIBUCION DE LAS MUESTRAS DE LAS 16 SEÑALES DIGITALES EN RAM DESPUES DE SU ORDENAMIENTO.

una opción. A través de estas señales se puede conectar una señal del sistema bajo prueba y la ocurrencia del flanco ( subida o bajada ) determina el inicio del muestreo de las señales digitales. La otra opción es, que el usuario haga variar manualmente el nivel lógico de una de estas 2 entradas, iniciando el muestreo de las señales digitales de una forma manual.

Desde que cada muestra de las señales digitales es obtenida en 2 pulsos de reloj de 250 nseg y, estableciéndose 2048 transferencias, se tiene un tiempo total para el muestreo de las 16 señales igual a  $2048 \times 2 \times 250 \text{ nseg} = 1.024 \text{ mseg}$ . Entonces, el tiempo del monoestable 74121 U63 escogido, aproximadamente igual a 2 mseg es suficiente para asegurar el muestreo de las 16 señales digitales.

En la figura 13 se muestra el diagrama esquemático para la selección de la memoria 6116 U36 que sirve para almacenar las muestras correspondientes al primer grupo de 8 señales digitales, así como la lógica de selección para la memoria 6116 U37, que sirve para almacenar las muestras que corresponden al segundo grupo de 8 señales digitales. Asimismo, se muestra una tabla indicando el espacio de memoria que ocupan ambos dispositivos.

Desde que el microprocesador Z-80 es un microprocesador de 8 bits, toda transferencia de información se hace a 8 bits. Por otro lado, todos los dispositivos de soporte de este microprocesador soportan sólo transferencias a nivel de 8 bits. Para hacer

posible una transferencia de información a nivel de 16 bits se tuvo que diseñar la lógica mostrada en la figura 9. En el momento del muestreo de las 16 señales digitales que ingresan por los dispositivos Z-80B PIO U33 y U35, el Z-80A DMA U31 toma el control de los buses de dirección, datos y control. En este momento, los 2 dispositivos Z-80B PIO tienen asignadas la misma dirección de puerto, al mismo tiempo que las 2 memorias 6116 tienen ambas las mismas direcciones. De esta manera, la transferencia se podrá establecer a nivel de 16 bits. Para que no exista conflicto en el bus de datos entre las muestras de las primeras 8 señales digitales con las segundas 8, se coloca el dispositivo 74LS245 U51. Terminado el muestreo de las 16 señales digitales, el dispositivo Z-80B PIO U33 tendrá otra dirección diferente a la asignada al dispositivo Z-80B PIO U35, lo mismo que la memoria 6116 U36 tendrá otras direcciones diferentes a la memoria 6116 U37.

Para conseguir esto, se utilizan los dispositivos 74157 U42 y U47. Además, cuando el Z-80 CPU está en el control de los buses de dirección, datos y control, puede escribir o leer hacia o desde el Z-80B PIO U35 y la 6116 U37 normalmente, pasando los datos a través del 74LS245 U51.

#### 2.2.2.1 CONSIDERACIONES DE TEMPORIZACION PARA EL DISEÑO DE LA UNIDAD DE ADQUISICION.-

Desde que se ha considerado una configuración especial para el diseño de la Unidad de Adquisición, los diferentes dispositivos involucrados en cualquier

transferencia de información considerados en esta unidad, han de cumplir con los requerimientos de temporización que se impongan. Para este caso, se tomará en cuenta la condición más crítica, es decir, cuando las transferencias de información sean realizadas por el dispositivo Z-80A DMA U31, ya que éstas se realizarán en un menor número de ciclos de reloj. Para este caso, el dispositivo Z-80A DMA U31 se programará para que establezca una transferencia entre "memoria" y "memoria", estableciéndose para cada ciclo ( lectura o escritura ) una duración de 2 ciclos de reloj ( No Early Cycle End ).

En la figura 14 se muestra el diagrama de tiempos de las señales que se generan cuando el dispositivo Z-80A DMA U31 tiene el control de los buses.

Para el establecimiento de las ecuaciones de diseño, se tomará como referencia los datos técnicos de los dispositivos Z-80A DMA, Z-80 PIO y memoria 6116, cuyas especificaciones se muestran en los apéndices correspondientes.

- Para los dispositivos Z-80B PIO U33 y U35:
- a) En el ciclo de lectura normal:

$$\begin{aligned}
 TdRI(DO)_{max} &\leq TcC - TdCf(Rf)_{max} + TwC1 + TrC + TdCr(Rr)_{max} \dots(10) \\
 TdRI(DO)_{max} &\leq ( 250 - 95 + 115 + 10 + 85 ) \text{ ns} \\
 TdRI(DO)_{max} &\leq 365 \text{ ns}
 \end{aligned}$$

b) En el ciclo de escritura normal:

$$\begin{aligned} TdRI(DO)_{max} &\leq TcC - TdCf(Mf)_{max} + TwCl + TrC + TdCr(Wr)_{max} \dots(11) \\ TdRI(DO)_{max} &\leq ( 250 - 85 + 115 + 10 + 80 ) \text{ ns} \\ TdRI(DO)_{max} &\leq 370 \text{ ns} \end{aligned}$$

La única versión del Z-80 PIO que cumple a satisfacción con los requerimientos de temporización, es la versión B, que es de 6 MHz, como se muestra a continuación:

$$TdRI(DO)_{max} = 300 \text{ ns}$$

- Para los dispositivos 6116 U36 y U37:

a) En el ciclo de lectura normal:

$$\begin{aligned} t_{awmin} &\leq 2TcC - TdA_{max} + TdCr(Mr)_{max} \dots(12) \\ t_{awmin} &\leq ( 2 \times 250 - 110 + 85 ) \text{ ns} \\ t_{awmin} &\leq 475 \text{ ns} \end{aligned}$$

$$\begin{aligned} t_{wpmmin} &\leq TcC - TdCf(Rf)_{max} + TwCl + TrC + TdCr(Rr)_{max} \dots(13) \\ t_{wpmmin} &\leq ( 250 - 95 + 115 + 10 + 85 ) \text{ ns} \\ t_{wpmmin} &\leq 365 \text{ ns} \end{aligned}$$

$$tdwmin \leq \{ TcC - TdCf(Rf)_{max} + TwCl + TrC + TdCr(Rr)_{max} \} - TdRI(DO)_{max} \dots(14)$$

$$\begin{aligned} tdwmin &\leq \{ 250 - 95 + 115 + 10 + 85 \} \text{ ns} - 300 \text{ ns} \\ tdwmin &\leq 65 \text{ ns} \end{aligned}$$

$$\begin{aligned} t_{dHmin} &\leq TdRI(DOs)_{max} \dots(15) \\ t_{dHmin} &\leq 70 \text{ ns} \end{aligned}$$

b) En el ciclo de escritura normal:

$$\begin{aligned} t_{awmin} &\leq 2TcC - TdA_{max} + TdCr(Wr)_{max} \dots(16) \\ t_{awmin} &\leq ( 2 \times 250 - 110 + 80 ) \text{ ns} \\ t_{awmin} &\leq 470 \text{ ns} \end{aligned}$$

$$\begin{aligned}
 t_{wPmin} &\leq T_{cC}-T_{dCf}(Mf)_{max}+T_{wCl}+T_{rC}+T_{dCr}(Wr)_{max} \dots(17) \\
 t_{wPmin} &\leq ( 250 - 85 + 115 + 10 + 80 ) \text{ ns} \\
 t_{wPmin} &\leq 370 \text{ ns}
 \end{aligned}$$

$$t_{dWmin} \leq \{T_{cC}-T_{dCf}(Mf)_{max}+T_{wCl}+T_{rC}+T_{dCr}(Wr)_{max}\}-T_{dRI}(DO)_{max} \dots(18)$$

$$\begin{aligned}
 t_{dWmin} &\leq \{ 250 - 85 + 115 + 10 + 80 \} \text{ ns} - 300 \text{ ns} \\
 t_{dWmin} &\leq 70 \text{ ns}
 \end{aligned}$$

$$\begin{aligned}
 t_{dHmin} &\leq T_{dRI}(DOs)_{max} \dots(19) \\
 t_{dHmin} &\leq 70 \text{ ns}
 \end{aligned}$$

La única versión de memoria RAM 6116 que cumple a satisfacción con los requerimientos de temporización, es la 6116A-3 como se muestra a continuación:

$$\begin{aligned}
 t_{Awmin} &= 90 \text{ ns} \\
 t_{wPmin} &= 90 \text{ ns} \\
 t_{dWmin} &= 50 \text{ ns} \\
 t_{dHmin} &= 5 \text{ ns}
 \end{aligned}$$

De acuerdo a las ecuaciones establecidas, podemos decir que las configuraciones consideradas, para el establecimiento del muestreo de las 16 señales digitales por medio de la Unidad de Adquisición, cumplirán su cometido.

**2.2.3 DISEÑO DE LA UNIDAD DE VISUALIZACIÓN.**- La Unidad de Visualización es la unidad encargada de tomar los datos en memoria almacenados que corresponden a las muestras de las 16 señales digitales, para luego mostrarlos convenientemente en la pantalla

del osciloscopio. La visualización de las señales se consigue operando el osciloscopio en el modo de trabajo X-Y. Los diagramas esquemáticos que se muestran en las figuras 15, 16 y 17 forman parte de la Unidad de Visualización.

En la figura 15 se muestra al dispositivo Z-80A DMA U32, el cual se encarga de acceder a las memorias de los datos correspondientes a las muestras de las 16 señales digitales, para enviarlos al dispositivo Z-80A PIO U34. Igualmente, se encarga de generar conjuntamente con el dispositivo Z-80B PIO U33, los caracteres que identifican a cada señal digital.

Al término de una transferencia DMA por parte del dispositivo Z-80A DMA U32, éste genera una petición de interrupción para que el Z-80A CPU lo atienda y se determine la acción a tomar, de acuerdo a la reciente transferencia DMA. Para el diseño del analizador lógico, se tomará en cuenta la configuración Daisy Chain Priority para el manejo de interrupciones, en donde el Z-80A DMA U31 tendrá la mayor prioridad y luego le seguirá el Z-80A DMA U32. Igualmente, para el manejo del requerimiento del bus, el dispositivo que tendrá mayor prioridad será el Z-80A DMA U31, mientras que el Z-80A DMA U32 tendrá menor prioridad.

En la figura 16 se muestra el diagrama esquemático correspondiente a la generación del desplazamiento horizontal del haz del osciloscopio. En este punto hay que definir como será la visualización de las señales digitales en la pantalla del osciloscopio.

En la figura 18 se muestran los 2 modos de visualización del analizador lógico. En la parte A) de esta figura se muestra el Modo de Visualización de Pantalla Completa, y en la parte B) se muestra el Modo de Visualización de Ventana.

En el Modo de Visualización de Pantalla Completa se puede apreciar que la visualización corresponde a 16 señales digitales, teniéndose la primera señal en la parte inferior de la pantalla del osciloscopio y la última en la parte superior de la misma. Cada señal digital tiene su nombre que la identifica y que consta de 2 caracteres alfanuméricos ( del 0 al 9 y de la A a la Z ). En este modo, lo que se muestra son 256 muestras de cada una de las 16 señales, en la que además se visualiza una pequeña franja que comprende a 32 muestras de cada una de las 16 señales. Esta franja se podrá desplazar a lo largo de la pantalla.

Desde que las memorias 6116 U36 y U37 que almacenan las muestras de las 16 señales digitales son de una capacidad de 2048 bytes, se podrán visualizar 8 pantallas diferentes y en cada una de ellas la franja podrá desplazarse.

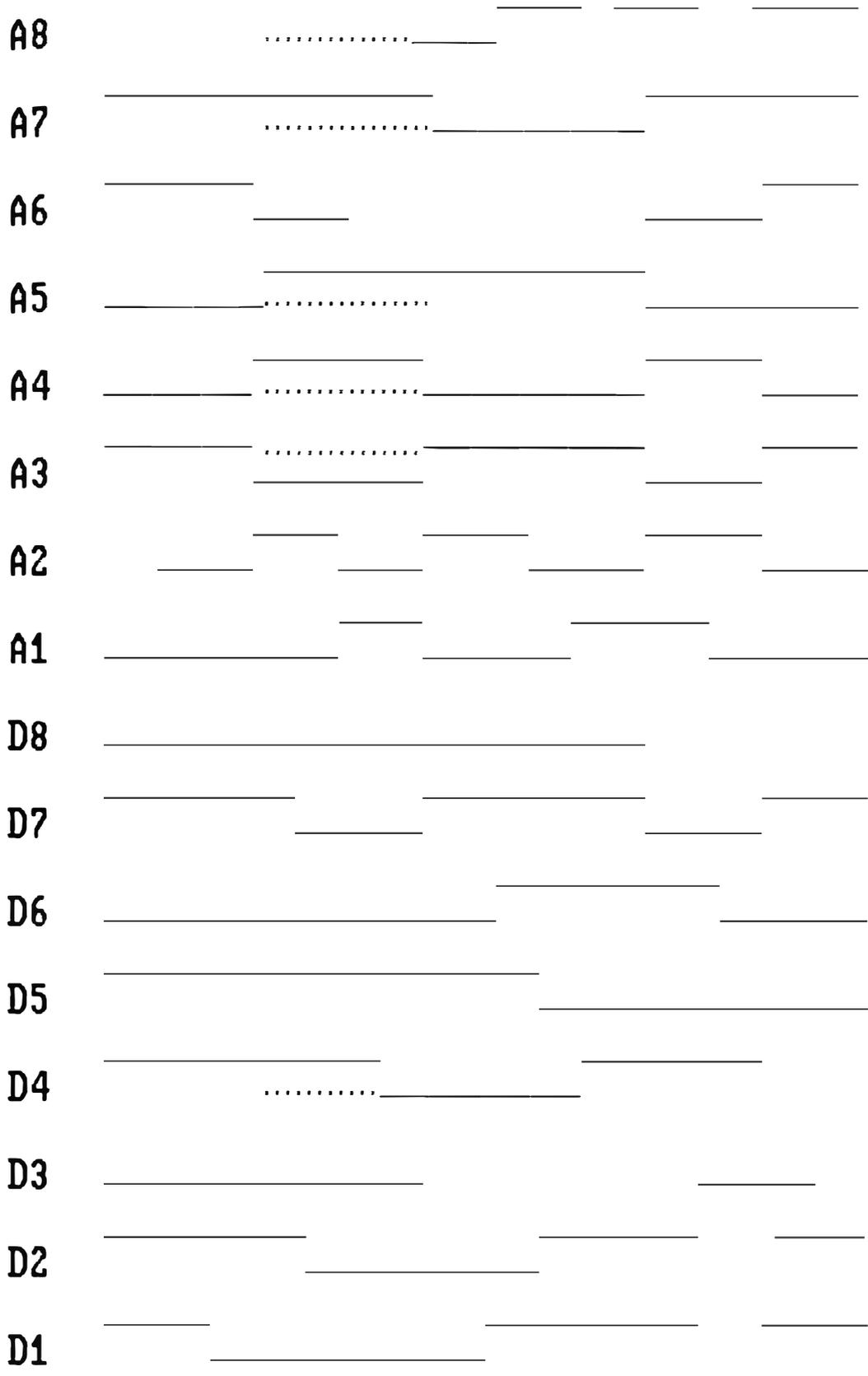
En el modo de Visualización de Ventana, también se tiene la visualización de los caracteres que corresponden a cada una de las 16 señales, pero en lugar de visualizar 256 muestras de estas 16 señales, lo que se visualiza son 32 muestras, las mismas que corresponden a aquellas que encerraba la franja en el Modo de Visualización de

Pantalla Completa. Entonces, lo que permite este modo es, expandir la franja, para una mejor visualización.

El posicionamiento de la franja, relativo al inicio de la pantalla, es apreciado en el display del módulo MPF-I, y varía desde 0 hasta 224, donde este número indica la posición del borde izquierdo de la misma. Asimismo, el número de la pantalla aparece en el display del módulo MPF-I, y este varía desde 0 hasta 7, constituyendo 8 pantallas cada una de 256 muestras, lo que equivale a 2048 muestras en total.

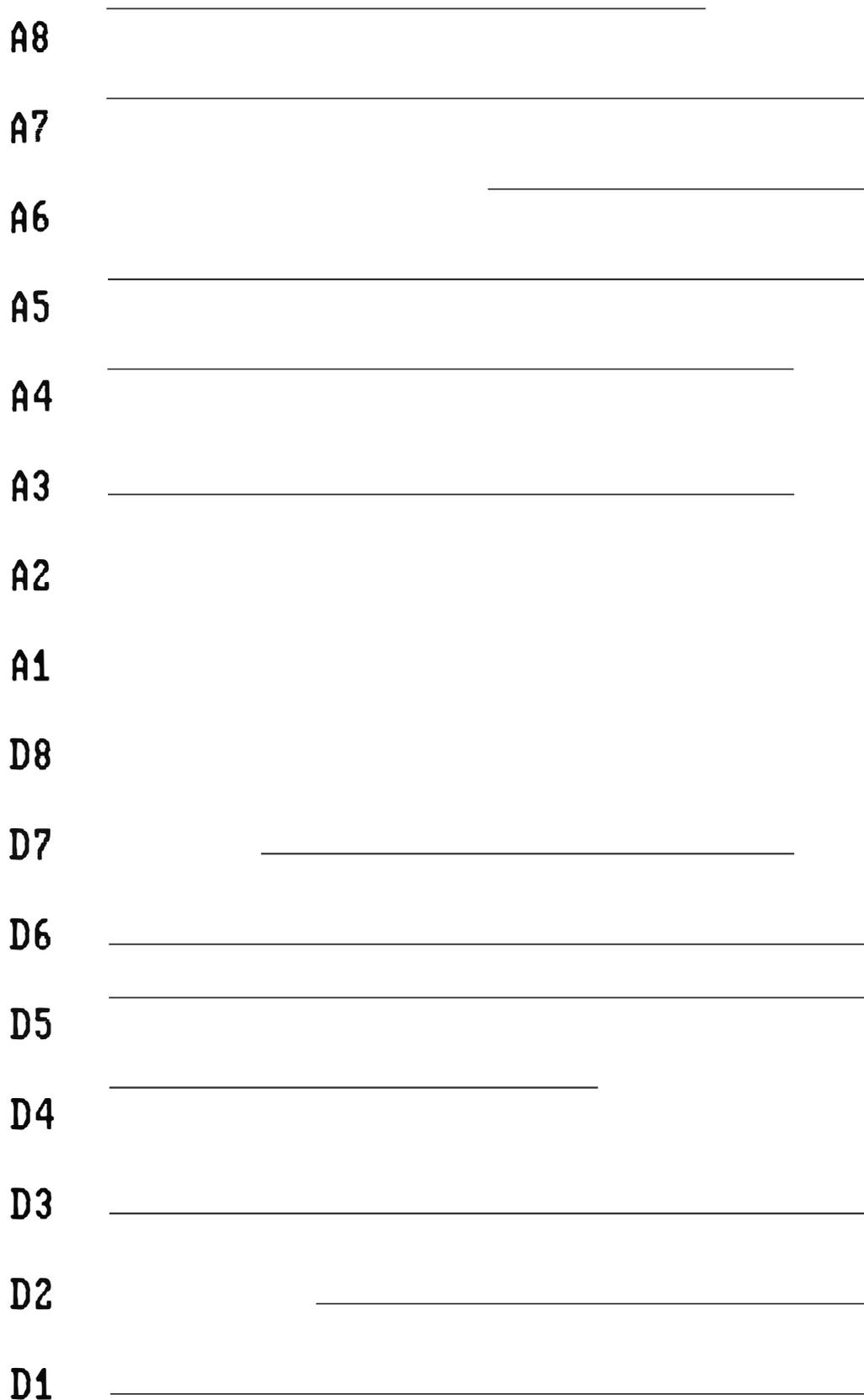
En el diagrama de la figura 16 se muestra toda la lógica para conseguir el desplazamiento horizontal del haz del osciloscopio. Lo que se aplica a la entrada X del mismo va a ser una señal analógica y que guarda relativa relación con las direcciones de memoria que se generen en el momento de la visualización en pantalla. Las direcciones generadas parten desde una dirección múltiplo de 256 y se genera un máximo de 256 posiciones consecutivas. Por esto, sólo se usan las señales A<sub>0</sub> a A<sub>7</sub> del Bus de Direcciones. Las direcciones son capturadas por el dispositivo 74LS373 U40 sólo cuando el dispositivo Z-80A DMA U32 esté en el control de los buses de datos, direcciones y control, y durante el ciclo de lectura de memoria correspondiente a una transferencia de DMA.

Cuando se muestran los caracteres, el desplazamiento horizontal es directamente proporcional al valor de la dirección de memoria leída ( sólo A<sub>0</sub> a A<sub>7</sub> ). Para esto, la señal A/B de los dispositivos 74157 U43 y U44



A) MODO DE VISUALIZACION DE PANTALLA COMPLETA.

FIG. 18 .- MODOS DE VISUALIZACION DEL ANALIZADOR LOGICO EN LA PANTALLA DEL OSCILOSCOPIO.



B) MODO DE VISUALIZACION DE VENTANA.

FIG. 18 .- MODOS DE VISUALIZACION DEL ANALIZADOR LOGICO EN LA PANTALLA DEL OSCILÓSCOPIO. (CONT.)

es "0" lógico, y la señal A/B del 74157 U45 es "1" lógico; y sólo se generan 32 direcciones consecutivas.

Cuando se muestran las trazas de las señales digitales que corresponden al Modo de Visualización de Pantalla Completa o el Modo de Visualización de Ventana, éstas empiezan con un desplazamiento horizontal de 32 niveles ( A/B = "0" para el 74157 U45 ).

Cuando se muestran las trazas en el Modo de Visualización de Pantalla Completa ( 256 muestras ), la señal A/B de los 74157 U43 y U44 es "0" lógico, y se tiene a la entrada del convertidor Digital/Análogo una dirección igual a la original del Bus de Direcciones ( sólo A<sub>0</sub> a A<sub>7</sub> ) incrementada en 32. Cuando se muestran las trazas correspondientes al Modo de Visualización de Ventana ( 32 muestras ), cada muestra original en memoria es almacenada en un buffer especial en memoria, cuya dirección inicial es múltiplo de 256 y las muestras son magnificadas 8 veces, teniéndose a la entrada del convertidor Digital/Análogo una dirección igual a la dirección de este buffer de memoria ( sólo A<sub>0</sub> a A<sub>7</sub> ) e incrementada en 32.

Las señales A/B de los dispositivos 74157 U43, U44 y U45 provienen del Z-80B PIO U33, y ellas varían de acuerdo a las transferencias de datos realizadas por el Z-80A DMA U32 para la visualización en la pantalla del osciloscopio. En la tabla Nro. 2 se muestran las combinaciones utilizadas para permitir una correcta visualización de las señales en la pantalla del osciloscopio.

Z-80B PIO U33			FUNCION
PB <sub>2</sub>	PB <sub>1</sub>	PB <sub>0</sub>	
0	0	0	TRAZA DE PANTALLA
0	0	1	CARACTERES
0	1	0	FRANJA
0	1	1	NO SE USA
1	0	0	TRAZA DE VENTANA
1	0	1	NO SE USA
1	1	0	NO SE USA
1	1	1	NO SE USA

TABLA Nro. 2.- Tipo de visualización en la pantalla del osciloscopio en función de las señales PB<sub>0</sub>, PB<sub>1</sub> y PB<sub>2</sub> del Z-80B PIO U33.

Desde que, cualquiera de los modos de visualización que esté en uso ( Pantalla Completa o Ventana ) usa 256 niveles horizontales en un caso y, 32x8 niveles horizontales en el otro, agregándose a ésto 32 niveles horizontales para permitir la visualización de los caracteres, se necesita de un conversor Digital/Análogo que convierta una señal digital de más de 256 niveles. Es por ello, que se tendrá que usar un conversor de 9 bits, el que se implementará en una configuración escalera R-2R, donde R = 12 KΩ. En el Apéndice B se detalla más acerca de este tipo de conversor.

En la figura 17 se muestra el diagrama esquemático correspondiente a la generación del desplazamiento vertical del haz del osciloscopio, así como la generación de la señal Z que será aplicada al eje Z del osciloscopio, para modular la intensidad de

brillo del haz del osciloscopio. En esta figura, el dispositivo Z-80A PIO U34 es programado en el Modo de Salida para sus 2 puertos, utilizándose el puerto B para generar la señal Y que será aplicada al canal Y del osciloscopio ( modo de trabajo X-Y ).

El dispositivo 74151 U48 es utilizado para modular la intensidad de brillo del haz del osciloscopio, en el momento en que se muestran los caracteres. Cada carácter a visualizar consta de una matriz de puntos, la que al momento de ser mostrada, se barre una fila de ésta a la vez, pasando la información de una fila a la salida del dispositivo 74151 U48. La matriz original de cada carácter y que está almacenada en memoria EPROM, consta de 8 filas, de las cuales sólo se utilizan 7, y de 8 columnas, pero los caracteres a visualizar y que están almacenados en memoria RAM, tendrán duplicada la información concerniente a cada columna, visualizándose de esta manera 2 veces consecutivas el contenido de cada columna de la matriz original en memoria EPROM. La matriz correspondiente a cada carácter alfanumérico almacenado en EPROM se muestra en el Apéndice C.

El dispositivo 74150 U49 es utilizado para modular la intensidad de brillo del haz del osciloscopio, en el momento de visualizar las trazas correspondientes a las 16 señales digitales. Cada señal digital tendrá un nivel "Bajo" y un nivel "Alto" que corresponden al "0" lógico y al "1" lógico, respectivamente.

La selección de una determinada fila de la matriz de caracteres a visualizar o de un

nivel de una señal determinada ( "Alto" o "Bajo" ), queda definida por la combinación binaria que se tenga a la salida del puerto B del Z-80B PIO U33. Además, la selección entre visualizar caracteres o visualizar trazas de señal, se hace con la señal PB<sub>0</sub> del Z-80B PIO U33. Para la visualización de la franja, se usará la señal PB<sub>1</sub> = "1" del Z-80B PIO U33.

Además, la modulación de la intensidad de brillo del haz sólo es válida cuando el dispositivo Z-80A DMA U32 está con el control de los buses de datos, direcciones y control, es decir cuando BA01 = "0". En cualquier otro tiempo, el brillo del haz en el osciloscopio se ve reducido notablemente.

Para generar la deflexión vertical del haz en el osciloscopio, se utiliza un conversor Digital/Análogo de 8 bits, implementado en la configuración R-2R con  $R = 12 \text{ K}\Omega$ . Cada señal ocupa 8 niveles verticales y cada señal está separada una de la otra en 8 niveles. Entonces, tendremos  $( 16 \times 8 + 15 \times 8 ) = 248$  niveles verticales, con lo que sólo es necesario utilizar un conversor D/A de 8 bits. En el Apéndice B se detallará más acerca de este tipo de conversor.

**2.2.3.1 CONSIDERACIONES DE TEMPORIZACION PARA EL DISEÑO DE LA UNIDAD DE VISUALIZACION.**- Los diversos dispositivos utilizados en la Unidad de Visualización, deben cumplir con los requerimientos de temporización que el sistema impone.

Para el establecimiento de las ecuaciones de diseño se tomará como referencia los datos técnicos de los dispositivos Z-80A CPU, Z-80A DMA, Z-80A PIO y memoria 6116A-3, cuyas especificaciones se muestran en los apéndices correspondientes.

- Para el dispositivo Z-80A PIO U34:

a) Cuando el Z-80A CPU tiene el control de los buses de datos, direcciones y control:

$$T_{dRI}(DO)_{max} \leq 2t_c - t_{DL\bar{\phi}}(RD)_{max} + t_{w(\bar{\phi}H)} + t_r - t_{s\bar{\phi}(D)min} \quad \dots(20)$$

$$T_{dRI}(DO)_{max} \leq ( 2 \times 250 - 85 + 115 + 10 - 50 ) \text{ ns}$$

$$T_{dRI}(DO)_{max} \leq 490 \text{ ns}$$

$$T_{sDI}(C)_{min} \leq 2t_c + t_r + t_{w(\bar{\phi}L)} - t_{D(D)max} \quad \dots(21)$$

$$T_{sDI}(C)_{min} \leq ( 2 \times 250 + 10 + 115 - 150 ) \text{ ns}$$

$$T_{sDI}(C)_{min} \leq 475 \text{ ns}$$

b) Cuando el dispositivo Z-80A DMA U32 tiene el control de los buses de datos, direcciones y control ( usando 4 ciclos de reloj por ciclo de lectura y escritura, y con Early Cycle End):

$$T_{sDI}(C)_{min} \leq 3T_{cC} + T_{rC} + T_{wCl} - T_{dCf}(DO)_{max} \quad \dots(22)$$

$$T_{sDI}(C)_{min} \leq ( 3 \times 250 + 10 + 115 - 150 ) \text{ ns}$$

$$T_{sDI}(C)_{min} \leq 725 \text{ ns}$$

De acuerdo a las ecuaciones establecidas, se comprueba que el dispositivo Z-80A PIO U34 cumple a satisfacción con los requerimientos de temporización, como se muestra:

$$T_{dRI}(DO)_{max} = 380 \text{ ns}$$

$$T_{sDI}(C)_{min} = 50 \text{ ns}$$

-Para los dispositivos 6116 U36 y U37:

a) Cuando el Z-80A CPU tiene el control de los buses de datos, direcciones y control:

$$\begin{aligned} t_{AAMax} &\leq 2t_c - t_{D(AD)max} - t_{s\phi(D)min} && \dots(23) \\ t_{AAMax} &\leq ( 2 \times 250 - 110 - 35 ) \text{ ns} \\ t_{AAMax} &\leq 355 \text{ ns} \end{aligned}$$

$$\begin{aligned} t_{AWmin} &\leq 2t_c - t_{D(AD)max} + t_{w(\phi H)} + t_r + t_{DH\phi(WR)max} && \dots(24) \\ t_{AWmin} &\leq ( 500 - 110 + 115 + 10 + 80 ) \text{ ns} \\ t_{AWmin} &\leq 595 \text{ ns} \end{aligned}$$

$$\begin{aligned} t_{DWmin} &\leq t_c + t_r + t_{w(\phi L)} - t_{D(D)max} + t_{w(\phi H)} + t_r + t_{DH\phi(WR)max} && \dots(25) \\ t_{DWmin} &\leq ( 250 + 10 + 115 - 150 + 115 + 10 + 80 ) \text{ ns} \\ t_{DWmin} &\leq 430 \text{ ns} \end{aligned}$$

$$\begin{aligned} t_{DHmin} &\leq t_{c\phi rmin} = t_{w(\phi L)} + t_r - 70 \text{ ns} && \dots(26) \\ t_{DHmin} &\leq ( 115 + 10 - 70 ) \text{ ns} \\ t_{DHmin} &\leq 55 \text{ ns} \end{aligned}$$

b) Cuando el dispositivo Z-80A DMA U32 tiene el control de los buses de datos, direcciones y control ( usando 4 ciclos de reloj para los ciclos de lectura y escritura, y con Early Cycle End ):

$$\begin{aligned} t_{AAMax} &\leq 3T_c - T_{dAmax} + T_{wCh} + T_{fC} - T_{sDI(Cf)min} && \dots(27) \\ t_{AAMax} &\leq ( 3 \times 250 - 110 + 115 + 10 - 50 ) \text{ ns} \\ t_{AAMax} &\leq 715 \text{ ns} \end{aligned}$$

$$\begin{aligned} t_{AWmin} &\leq 3T_c - T_{dAmax} + T_{wCh} + T_{fC} + T_{dCf(Wr)max} && \dots(28) \\ t_{AWmin} &\leq ( 3 \times 250 - 110 + 115 + 10 + 80 ) \text{ ns} \\ t_{AWmin} &\leq 845 \text{ ns} \end{aligned}$$

$$\begin{aligned} t_{DWmin} &\leq 3T_c + T_{rC} + T_{wCl} - T_{dCf(DO)max} + T_{wCh} + T_{fC} + T_{dCf(Wr)max} && \dots(29) \\ t_{DWmin} &\leq ( 3 \times 250 + 10 + 115 - 150 + 115 + 10 + 80 ) \text{ ns} \\ t_{DWmin} &\leq 930 \text{ ns} \end{aligned}$$

$$\begin{aligned} t_{DHmin} &\leq T_{wCl} - T_{dCf(Wr)max} + T_{rC} + T_{dCr(Dz)max} && \dots(30) \\ t_{DHmin} &\leq ( 115 - 80 + 10 + 90 ) \text{ ns} \\ t_{DHmin} &\leq 135 \text{ ns} \end{aligned}$$

De acuerdo a las ecuaciones establecidas, se comprueba que la memoria RAM 6116A-3 escogida, cumple satisfactoriamente los requerimientos de temporización, como se muestra:

```

tAAMax = 150 ns
tAWmin = 90 ns
tDwmin  50 ns
tDHmin  5 ns

```

De acuerdo a las ecuaciones establecidas para los dispositivos Z-80A PIO U34 y memorias 6116 U36 y U37, podemos decir que los requerimientos de temporización para el correcto funcionamiento de la Unidad de Visualización se cumplen a satisfacción.

Para el correcto funcionamiento del sistema, es necesario asegurar que los dispositivos periféricos, llámense Z-80 A o B PIO, o Z-80A DMA, sean debidamente seleccionados. Esto se consigue decodificando las diferentes direcciones de los puertos. En la figura 19 se muestra la lógica de selección de los dispositivos periféricos, así como una tabla indicando las direcciones que ocupan cada uno de ellos.

2.3 PROGRAMACION DE LOS PERIFERICOS. - En este punto se definirá la programación de los periféricos utilizados en el Analizador Lógico.

## A) Z-80A DMA U31

Tipo de Operación	Transferencia
Longitud del Bloque	03FFH
Vector de Interrupción	40H
Interrupción al Fin del Bloque	
Ready Activo con Nivel Alto	

## A1) Puerto Origen : B

- Tipo de Puerto	Memoria
Dirección Inicial	4000H
- Longitud del Ciclo	500 nseg
- Incremento de Direcciones	
- No Early Cycle End	

## A2) Puerto Destino : A

- Tipo de Puerto	Memoria
- Dirección Inicial	4400H
- Longitud del Ciclo	500 nseg
- Incremento de Direcciones	
- No Early Cycle End	

## B) Z-80A DMA U32 :

Tipo de Operación	Transferencia
Longitud del Bloque	FFH
Vector de Interrupción	42H
Interrupción al Fin del Bloque	
Ready Activo con Nivel Alto	

## B1) Puerto Origen : A

- Tipo de Puerto	Memoria
- Dirección Inicial	4000H
- Longitud del Ciclo	1 useg
- Incremento de Direcciones	
- Early Cycle End	

## B2) Puerto Destino : B

- Tipo de Puerto	Entrada/Salida
- Dirección Fija	40H
- Longitud del Ciclo	1 useg

- Early Cycle End

C) Z-80B PIO U33

C1) Puerto A

- Modo de Trabajo : Entrada
- Sin Interrupciones

C2) Puerto B

- |                   |   |
|-------------------|---|
| Modo de Trabajo   | Control   |
| Líneas de Salida  | PB <sub>0</sub> ,PB <sub>1</sub> ,PB <sub>2</sub>                                   |
| Líneas de Entrada | PB <sub>3</sub> ,PB <sub>4</sub> ,PB <sub>5</sub> ,PB <sub>6</sub> ,PB <sub>7</sub> |
- Sin Interrupciones

D) Z-80A PIO U34 :

D1) Puerto A :

- Modo de Trabajo : Salida
- Sin Interrupciones

D2) Puerto B :

- Modo de Trabajo : Salida
- Sin Interrupciones

E) Z-80B PIO U35

E1) Puerto A

- Modo de Trabajo : Entrada
- Sin Interrupciones

E2) Puerto B

No está programado.

De acuerdo a todo lo visto en este capítulo, estamos en capacidad de resumir las características que proporcionará el Analizador Lógico propuesto, como se muestra en la Tabla Nro. 3.

FUNCION	CARACTERISTICA
Número de Canales de Datos	16
Nivel de Umbral (Threshold)	Nivel TTL
Set-Up Time	50 ns
Hold Time	5 ns
Ancho del Pulso de Muestreo	125 ns
Muestreo de las Señales	Asíncrono
Frecuencia de Muestreo	2 Mhz
Función de Arranque	Manual y Externa
Función de Disparo	No se proporciona
Profundidad de Memoria ( por Canal )	2048 bits
Modo de Muestreo	Señales muestreadas con el flanco de subida del pulso de muestreo.
Modo de Captura o Latch	No se proporciona
Modo de Visualización	Temporal, con control del cursor.
Tipo de Visualizador	Tubo de Rayos Catódicos de Osciloscopio.

TABLA Nro. 3 - CARACTERISTICAS DEL ANALIZADOR LOGICO.

## CAPITULO III

### DISEÑO DEL SOFTWARE DEL SISTEMA

El software del sistema es el que se encarga de controlar al Analizador Lógico. Se establecen comandos, que se ingresan por el teclado del módulo MPF-I, y por medio del software, se dan las órdenes al sistema para que las ejecute. El medio de visualización es la pantalla del osciloscopio y el display del módulo MPF-I.

3.1 CONSIDERACIONES EN EL DISEÑO DEL SOFTWARE DEL SISTEMA.- Para el desarrollo del presente sistema, por el hecho de usar dispositivos periféricos programables, la relación entre el hardware y el software se hace evidente. Más aún, si en el hardware del sistema se incluyen modificaciones que alteran ligeramente la arquitectura convencional, en lo que respecta a la interconexión entre los dispositivos periféricos y el procesador central, el software tiene que ser adecuado para cumplir su cometido.

Se debe establecer un mecanismo de comunicación entre el usuario y el equipo a diseñar, y éste ha de ser en forma interactiva, de tal manera que el usuario pueda ver el resultado del ingreso de comandos, y así poder verificar o modificar los mismos.

En lo que respecta a la relación entre el hardware y el software, habrá una primera parte en el software del sistema, que inicialice tanto el modo de trabajo del CPU como de los dispositivos periféricos, con el fin de preparar al sistema para su funcionamiento. Luego, otra parte incluirá la programación dinámica, de algún dispositivo, para permitir el flujo de transferencia de datos, así como el envío de datos de control para el correcto funcionamiento del sistema.

En la comunicación entre el usuario y el sistema a diseñar, si el usuario ingresara un comando no permitido, éste será desatendido; mientras que si éste ingresara uno permitido, los patrones de presentación, tanto en la pantalla del osciloscopio como en el display del módulo MPF-I se verán modificados de acuerdo al comando.

3.2 DISEÑO DEL SOFTWARE DEL SISTEMA. - El software del sistema estará almacenado en memoria EPROM que estará instalada en el módulo MPF-I. La capacidad de la memoria será de 4 Kbytes y se colocará en el socket correspondiente. Para un fácil manejo del sistema, se definirán algunas teclas en el teclado del módulo MPF-I. Algunas teclas tendrán doble función, dependiendo del modo de trabajo en que se encuentre funcionando el sistema.

Para el Analizador Lógico se definirán los siguientes modos de trabajo:

- Modo de Trabajo de Ingreso de Datos.
- Modo de Trabajo de Pantalla/Ventana.

3.2.1 COMANDOS DEL ANALIZADOR LOGICO. - En el Modo de Trabajo de Ingreso de Datos, el usuario

deberá ingresar información concerniente al tipo de carácter a visualizar por cada señal digital a ser accesada.

En este modo, se definirá el uso de las siguientes teclas:

TECLA +        Permite acceder al patrón del siguiente carácter a visualizar. Sólo será posible acceder a 32 caracteres ( 2 por cada señal digital ).

TECLA        Permite acceder al patrón del anterior carácter a visualizar. Sólo será posible acceder a 32 caracteres ( 2 caracteres por señal digital ).

TECLA GO   .- Permite iniciar el muestreo de las 16 señales digitales por medio del analizador lógico, y visualizar el resultado en la pantalla del osciloscopio.

TECLAS HEXADECIMALES        Estas incluyen desde la tecla Ø hasta la tecla F, y sirven para ingresar los datos hexadecimales que permitirán definir el patrón del carácter a visualizar. Conforme se presione una tecla hexadecimal, el valor que la representa se irá desplazando de derecha a izquierda para determinar el patrón a visualizar.

El patrón de presentación del display del módulo microcomputador MPF-I para este modo de trabajo se presenta en la figura 20, indicándose el patrón del carácter a visualizar. El número del carácter a

visualizar en el osciloscopio varía entre 00H y 1FH.

En el Modo de Trabajo de Pantalla/Ventana, se tendrá ya en la pantalla del osciloscopio los caracteres correspondientes a cada señal digital y las formas de onda de estas señales. En este modo de trabajo se usarán las siguientes teclas:

TECLA ADDR .- Esta tecla será utilizada para entrar al modo de visualización de Pantalla Completa, en donde se mostrarán los caracteres correspondientes a cada señal digital y 256 muestras de c/u de éstas. Si ya se estaba en este modo, esta tecla será desatendida si es que se presionara.

TECLA DATA .- Esta tecla será utilizada para entrar al modo de visualización de Ventana, en donde se mostrarán los caracteres correspondientes a cada señal digital y 32 muestras de c/u de éstas. Si ya se estaba en este modo, esta tecla será desatendida si es que se presionara.

TECLA INS Esta tecla será válida sólo cuando estamos en el modo de visualización de Pantalla Completa, y sirve para visualizar las formas de onda de las 16 señales digitales de la siguiente pantalla. Sólo se podrán visualizar 8 pantallas diferentes. Si el ingreso de esta tecla fuera válido, el número de la pantalla a mostrar se incrementa y la posición de la ventana se coloca al principio de esta nueva pantalla.

TECLA DEL        Esta tecla será válida sólo cuando estamos en el modo de visualización de Pantalla Completa, y sirve para visualizar las formas de onda de las 16 señales digitales correspondientes a la anterior pantalla. Sólo se podrán visualizar 8 pantallas diferentes. Si el ingreso de esta tecla fuera válido, el número de la pantalla a mostrar se decrementa y la posición de la ventana se coloca al principio de esta pantalla.

TECLA + .- Esta tecla será válida sólo cuando estamos en el modo de visualización de Pantalla Completa, y sirve para desplazar a la derecha la franja mostrada en el osciloscopio. Una vez presionada esta tecla, el número que indica la posición inicial de la franja dentro de la pantalla actual se incrementa en 1.

TECLA - - Esta tecla será válida sólo cuando estamos en el modo de visualización de Pantalla Completa, y sirve para desplazar a la izquierda la franja mostrada en el osciloscopio. Una vez presionada esta tecla, el número que indica la posición inicial de la franja dentro de la pantalla actual se decrementa en 1.

El patrón de presentación del display del módulo microcomputador MPF-I para este modo de trabajo se muestra en la figura 21, indicándose el número de la pantalla actual y la posición inicial de la franja dentro de esta pantalla. El número de la pantalla varía

entre 0 y 7 y la posición inicial de la franja para cada pantalla varía entre 0 y 224.

3.2.2 RELACION ENTRE EL HARDWARE Y EL SOFTWARE EN EL ANALIZADOR LOGICO.- En el Analizador Lógico diseñado se escogió el modo de funcionamiento por interrupciones vectorizadas ( Modo 2 ) para el CPU. Este modo de funcionamiento permitirá realizar una programación dinámica de ciertos dispositivos con el fin de lograr el correcto funcionamiento del sistema. De acuerdo con este modo, habrán dispositivos que requieran atención, y que serán atendidos cuando el CPU acepte el envío de un vector de interrupción por parte de éstos, logrando apartar al CPU de lo que estaba realizando, para proceder a programar a los dispositivos de acuerdo a como se vayan sucediendo las transferencias de información por parte del Z-80A DMA U32.

De acuerdo a lo dicho, habrá un programa principal que estará ejecutándose continuamente y subrutinas de atención de interrupción para cada dispositivo que pueda interrumpir. Así, sólo se considera necesario que los dispositivos periféricos Z-80A DMA U31 y U32 sean, los que puedan interrumpir al CPU. El primero de éstos acusará pedido de interrupción cuando termine de muestrear a las 16 señales digitales. El segundo de éstos, acusará pedido de interrupción cada vez que se haga una transferencia DMA para visualizar ya sea una traza de pantalla, una

fila de caracteres o una fila de la franja ( modo de visualización de Pantalla Completa ); o una traza de ventana o una fila de caracteres ( en el modo de visualización de Ventana ).

De esta forma, dentro de la subrutina de interrupción para el Z-80A DMA U32, se procederá a la programación dinámica del mismo, de acuerdo a la última transferencia DMA y se darán las órdenes adecuadas para la visualización de trazas, fila de caracteres, etc. En el programa principal, luego de la inicialización de los periféricos, se ejecutarán los comandos que ingrese el usuario por el teclado, y se mostrarán los resultados en el display y en la pantalla del osciloscopio, en función de éstos.

3.2.3 DIAGRAMAS DE FLUJO DEL SOFTWARE DEL SISTEMA - En esta parte, mostraremos los diagramas de flujo del software del sistema, el cual consta de:

- El Programa Principal.
- Subrutinas Especiales.
- Subrutinas de Interrupción.

Dentro de las subrutinas especiales, tendremos las desarrolladas específicamente para el sistema, y aquellas propias del sistema MPF-I. Así, dentro del primer grupo, tendremos la subrutina NUM\_VENT, desarrollada para convertir la posición de la franja dentro de una pantalla en formato de presentación en el display del MPF-I. Dentro

del segundo grupo, tendremos las siguientes subrutinas:

- SCAN - Esta subrutina realiza un scan del teclado y display del módulo MPF-I indefinidamente, hasta que se ingrese una nueva tecla.

- SCAN1 - Esta subrutina realiza un scan del teclado y display del módulo MPF-I por una sola vez.

HEX7 Esta subrutina realiza la conversión de un número hexadecimal a un formato de presentación en display de 7 segmentos.

HEX7SG Esta subrutina realiza la conversión de 2 números hexadecimales a un formato de presentación de display de 7 segmentos.

Información adicional concerniente a estas últimas subrutinas, se encuentra en los manuales del módulo microcomputador MPF-I de Multitech Industrial Corp.

Dentro de las subrutinas de interrupción, tendremos una subrutina por cada dispositivo que haya sido programado para interrumpir al CPU. Así, tendremos una subrutina para el dispositivo Z-80A DMA U31 y otra para el dispositivo Z-80A DMA U32.

Los diagramas de flujo correspondientes al Programa Principal se muestran desde la fig. 22 hasta la fig. 28.

En la fig. 22 se realiza la inicialización tanto del modo de trabajo del CPU, como de los diferentes periféricos. Asimismo se ingresa al Modo de Trabajo de

Ingreso de Datos, en el que se chequea la activación de las teclas "+" "GO" y las teclas hexadecimales. La activación de cada una de estas teclas, modifica el patrón de presentación del display del MPF-I en la forma conveniente.

En la fig. 23 se almacenan en RAM los caracteres alfanuméricos que identifican a cada señal digital, para luego proceder con el muestreo de las 16 señales digitales. Terminado el muestreo, el Z-80A DMA U31 produce una interrupción para darle aviso al CPU de que este proceso terminó, para que luego el CPU proceda al ordenamiento de las muestras y preparación del sistema para visualizar la 1ra. traza de la 1ra. señal digital en el Modo de Visualización de Pantalla Completa.

En la fig. 24 se habilita al Z-80A DMA U32 para permitir la visualización de trazas, caracteres, etc. Al término de una transferencia de DMA para visualizar ya sea una traza, fila de caracteres o franja, el Z-80A DMA U32 produce una interrupción para darle aviso al CPU del término de la transferencia.

Terminada la visualización de 8 señales en la pantalla del osciloscopio, se procede a chequear si es que se presionó alguna tecla válida en el Modo de Trabajo de Pantalla/Ventana.

La pulsación de una tecla se acepta luego que el contador de tecla alcanza el valor de cero. Para este caso, sólo se utilizan las teclas "INS", "DEL", "+",

"ADDR" y "DATA" del módulo MPF-I, cuyas funciones han sido detalladas anteriormente.

Si no se ha presionado ninguna tecla, se sigue visualizando en la pantalla del osciloscopio las mismas formas de onda de las 16 señales digitales, ya sea si se está en el Modo de Visualización de Pantalla Completa o en el Modo de Visualización de Ventana.

En la fig. 25 se muestra el diagrama de flujo de como se procesa la activación de la tecla "DEL". Si el Analizador Lógico está en el Modo de Visualización de Pantalla Completa se acepta la pulsación de esta tecla, y en caso contrario se descarta.

De ser aceptada esta tecla, se determina el grupo de 8 señales digitales a visualizar para la nueva pantalla, posicionando la franja al inicio de ésta. Además, actualizamos el display del módulo MPF-I, decrementando en 1 el número de la pantalla e indicando que la franja se ubica al inicio de ésta.

En la fig. 26 se muestra el diagrama de flujo de como se procesa la activación de la tecla "INS". Mientras el Analizador Lógico no está en el Modo de Visualización de Ventana, la tecla "INS" será aceptada, en caso contrario será descartada. Al aceptarse esta tecla, se determina el grupo de 8 señales digitales a visualizar para la nueva pantalla, posicionando la franja al inicio de ésta.

En la fig. 27 se muestra el diagrama de flujo para procesar la activación de las teclas "-", "+" y "DATA".

En la parte superior de esta figura se muestra el procesamiento correspondiente al ingreso de la tecla " ". La activación de esta tecla sólo es válida en el Modo de Visualización de Pantalla Completa.

De ser aceptada la activación de esta tecla, se verifica la posición de la franja en la pantalla. Si la franja no se encuentra al principio de la pantalla, ésta se desplazará una posición hacia la izquierda y, en caso contrario, la tecla " " no será atendida.

Si hubo desplazamiento por efecto de ingresar esta tecla, se actualizará la posición de la franja en el display del MPF-I.

En la parte central de esta figura se aprecia el procesamiento que corresponde al ingreso de la tecla "+". Al igual que la tecla "-", esta tecla sólo se acepta cuando el Analizador Lógico está en el Modo de Visualización de Pantalla Completa.

Cuando se acepta la activación de esta tecla, se verifica que la posición de la franja en la pantalla no sea la última dentro de ésta. Si la franja no se encuentra al final de la pantalla, ésta se desplazará una posición hacia la derecha, para luego actualizar la posición de la franja en el display del módulo MPF-I.

En la parte inferior de esta figura se muestra el procesamiento correspondiente al ingreso de la tecla "DATA". De igual manera que las teclas " " y "+", esta tecla sólo se acepta cuando el Analizador Lógico está en el Modo de Visualización de Pantalla Completa.

Cuando se acepta esta tecla, ingresamos al Modo de Visualización de Ventana, donde el contenido de las señales digitales comprendidas en la franja, se almacena en un buffer especial en RAM. Además, se determina cual grupo de 8 señales digitales se va a visualizar en la pantalla del osciloscopio.

En la fig. 28 se muestra el diagrama de flujo de como se procesa la activación de la tecla "ADDR". La activación de esta tecla sólo es válida cuando estamos en el Modo de Visualización de Ventana.

Al ser aceptada la pulsación de esta tecla, regresamos al Modo de Visualización de Pantalla Completa. A continuación, se determina el grupo de 8 señales digitales a visualizar en la pantalla del osciloscopio, actualizándose ella y la posición de la franja en la misma.

En la fig. 29 se muestra el diagrama de flujo correspondiente a la subrutina NUM\_VENT. Esta subrutina permite convertir la posición del inicio de la franja (borde izquierdo) en la pantalla actual en formato de presentación en el display del MPF-I. Para ello, se determina el número de unidades, decenas y centenas de la posición del borde izquierdo de la franja relativa al inicio de la pantalla actual.

En la fig. 30 se muestra el diagrama de flujo de la subrutina de servicio de interrupción para el Z-80A DMA U31 en la que se da la indicación de que terminó el muestreo de las 16 señales digitales.

Los diagramas de flujo que corresponden a la subrutina de servicio de interrupción

del Z-80A DMA U32 se muestran en las figuras 31, 32 y 33.

En la fig. 31 se deshabilita momentáneamente al Z-80A DMA U32 para averiguar cual fue la última transferencia DMA recientemente efectuada. Si lo último visualizado fue una traza par en el Modo de Visualización de Pantalla Completa, se establece el control para visualizar la 1ra. fila de caracteres correspondiente a esta traza.

Para ello, obtenemos el nivel Y (vertical) en la pantalla del osciloscopio, a partir del número de la traza visualizada recientemente, donde  $Y = \#TRAZA \times 8 + 1$ . Si el número de la traza es mayor que 15, se selecciona la parte más alta del buffer de caracteres en RAM, a partir de la posición 256. En caso contrario, se selecciona la parte más baja de este buffer, a partir de la posición 0.

En la fig. 32 se averigua si lo último visualizado fue una fila de la franja, una fila de caracteres o una traza impar en el Modo de Visualización de Pantalla Completa.

Si fue una fila de franja, se pregunta si fue la última, y si así fuera se procede a visualizar el nivel "Alto" de la traza correspondiente. Si no fue la última fila de la franja, se procede a visualizar la siguiente fila de la matriz de caracteres en RAM.

Si lo último visualizado fue una traza impar, se procede a visualizar el nivel "Bajo" de la siguiente señal digital. Para

ello, se incrementa el número de la traza para obtener el nivel  $Y = \#TRAZAx8$ .

Además se averigua si es que lo último visualizado fue la última traza en el Modo de Visualización de Pantalla Completa. De ser así, se establecen los controles para comenzar con la visualización del nivel "Bajo" de la primera señal digital (  $\#TRAZA = 0$  y nivel  $Y = 0$  ).

En la fig. 33 se muestra el diagrama de flujo cuando el Analizador Lógico está en el Modo de Visualización de Ventana. Si lo último visualizado fue una traza de Ventana, se averigua si fue la última, y de no serlo se chequea si fue una traza par. De ser una traza impar se pasa a visualizar el nivel "Bajo" de la siguiente señal digital; y de ser una traza par se prepara al sistema para visualizar la 1ra. fila de la matriz de caracteres en RAM de la señal correspondiente. Si fue la última traza visualizada, se prepara al sistema para visualizar el nivel "Bajo" de la 1ra. señal digital. Si no hubiese sido una traza de ventana lo último visualizado, se averigua qué fila de caracteres se visualizó.

A continuación, se mostrarán los diagramas de flujo correspondientes al software del sistema desarrollado.

## C O N C L U S I O N E S

1) El Analizador Lógico propuesto, presenta una serie de facilidades que le permiten al usuario, disponer de un equipo para el desarrollo de hardware de sistemas basados en microprocesadores, como la elección del tipo de evento para dar inicio al muestreo de las señales digitales, identificación de las señales por la asignación de 2 caracteres alfanuméricos, análisis temporal de las mismas mediante un cursor, y medición de duración de eventos.

2) El Analizador Lógico presenta una serie de ventajas comparativas al uso de un osciloscopio para el análisis de circuitos digitales complejos, como aquellos con estructura de Bus, tales como mostrar simultáneamente 16 señales digitales y detectar/visualizar eventos no repetitivos de múltiples señales.

3) En el Analizador Lógico diseñado, la representación temporal de las señales digitales a analizar, presenta una ventaja sobre los analizadores lógicos de estado. Se puede averiguar la fuente de la falla del sistema bajo prueba, magnificando el área alrededor de la falla para una mejor visualización.

4) El uso de dispositivos programables como el Z-80 DMA permite que la labor del microprocesador se vea aliviada.

De esta forma, el muestreo de las señales digitales y su almacenamiento por parte de la Unidad de Adquisición, es

mucho más rápido que si lo hubiera hecho el procesador. Igualmente, el uso del Z-80 DMA en la Unidad de Visualización permite una mejor visualización de las señales bajo estudio y por lo tanto un mejor análisis de las mismas.

5) La configuración especial de la Unidad de Adquisición permite aumentar la frecuencia de muestreo de las señales digitales a 2 MHz, que es el doble del valor máximo que se hubiese conseguido sin la incorporación del hardware adicional.

6) A pesar que el microprocesador y los dispositivos periféricos utilizados en el diseño del Analizador Lógico transfieren datos a través de un bus de 8 bits, se establecen transferencias de datos de 16 bits en el momento del muestreo de las señales digitales por medio de la Unidad de Adquisición, utilizando multiplexores y buffers bidireccionales.

7) El muestreo de las señales digitales por medio de la Unidad de Adquisición puede ser iniciado ya sea de manera manual o por la ocurrencia de un evento, utilizando el monoestable 74121. Adicionalmente, el muestreo de las señales podría ser iniciado cuando se reconozca una palabra de datos definida previamente. Para este caso, se puede aprovechar el uso del monoestable, siendo necesario utilizar lógica adicional, para detectar la palabra seleccionada, y ésta estaría conformada básicamente por decodificadores.

8) La función de disparo no se ha considerado en el diseño del Analizador Lógico; pudo ser considerada ya que el dispositivo Z-80A DMA tiene la capacidad de búsqueda de una palabra seleccionada (sólo 8 bits), pero la inclusión de esta facilidad ocasionaría que la máxima frecuencia de muestreo para las señales digitales sea reducida a 1 MHz.

9) El Analizador Lógico puede ser mejorado en los siguientes aspectos:

- Facilidad de análisis de señales digitales de otras familias lógicas. Para esto, sólo es necesario incluir una etapa de acondicionamiento de niveles para las señales de entrada a estudiar.

- Incorporar un reloj externo para realizar muestreo síncrono, en cuyo caso, solamente es necesario adicionar lógica de sincronización.

10) Se puede mejorar la visualización de los resultados, representando los datos en forma binaria, octal, hexadecimal, o en forma de mnemotécnicos. Para esto, solamente es necesario adicionar una memoria RAM para la visualización, y memoria EPROM en donde se almacene el software que permita dicha visualización.

11) El Analizador Lógico diseñado se puede utilizar como equipo para el mantenimiento de hardware de sistemas basados en procesadores digitales, como lo es el caso de computadoras personales.

12) Una aplicación de especial interés del Analizador Lógico diseñado es el educativo, puesto que puede servir como herramienta para el aprendizaje, enseñanza y diseño de sistemas digitales y/o sistemas digitales basados en microprocesadores.

13) La implementación circuital del equipo diseñado implicaría un costo muchas veces menor que el de un Analizador Lógico comercial.

14) En las fotos Nro. 1, 2, 3, 4 y 5 se muestran los resultados experimentales del diseño del Analizador Lógico propuesto.

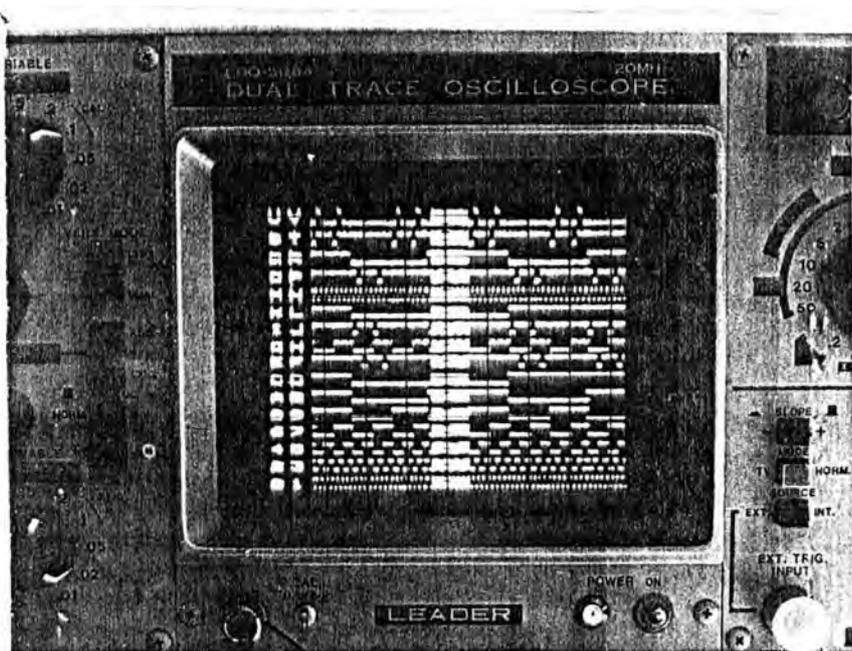


FOTO Nro. 1 MODO DE VISUALIZACION DE PANTALLA COMPLETA.



FOTO Nro. 2 MODO DE VISUALIZACION DE VENTANA.

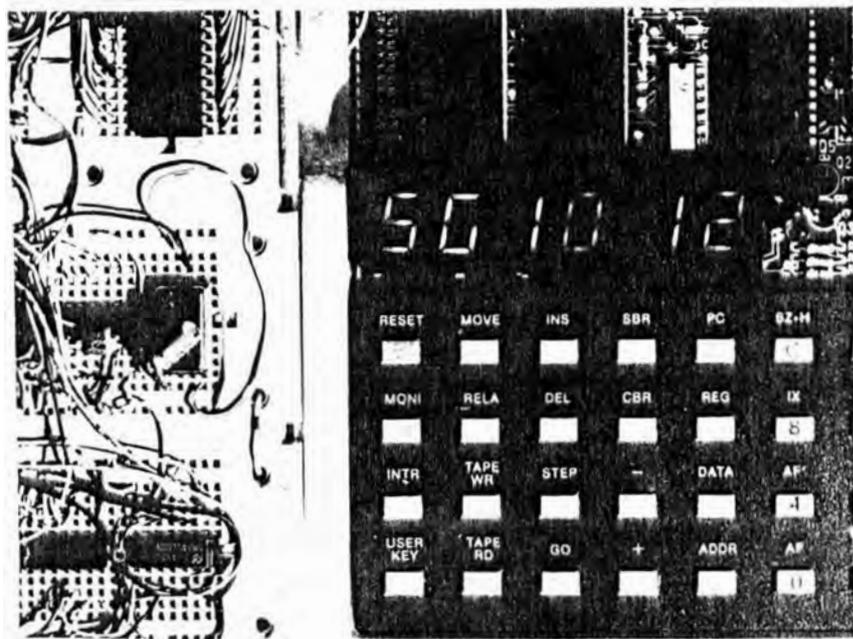


FOTO Nro. 3 MODO DE TRABAJO DE INGRESO DE DATOS.

## B I B L I O G R A F I A

- 1.- MPF-I Experiment Manual (Software/Hardware).  
Multitech Industrial Corp. 1981
- 2.- MPF-I Monitor Program Source Listing.  
Multitech Industrial Corp. 1981
- 3.- Analizadores Lógicos de Estados y de Tiempos,  
técnicas y aplicaciones.  
Serie Mundo Electrónico, Nro. 82.  
Marcombo Boixareu 1979
- 4.- Instrumentación para Desarrollo y Aplicaciones  
de Microprocesadores.  
Serie Mundo Electrónico, Nro. 92.  
Marcombo Boixareu 1980
- 5.- Z80-CPU,Z80A-CPU Technical Manual  
Zilog Inc. 1980
- 6.- Z80 Family Product Specifications Handbook  
Zilog Inc. 1984
- 7.- The TTL Data Book for Design Engineers  
Texas Instruments 1979
- 8.- RCA Solid State Databook  
CMOS Microprocessors, Memories and Peripherals  
RCA Corporation 1984
- 9.- Component Data Catalog  
Intel Corp. 1982
- 10.- Memory Components Handbook  
Intel Corp. 1987
- 11.- 1986 Products Catalog  
Tektronix 1986